

UNIVERSITÄT DER BUNDESWEHR MÜNCHEN
Fakultät für Elektrotechnik und Informationstechnik

Herstellung und Charakterisierung von high-k Metal-Gate CMOS Transistoren

Josef Biba

Vollständiger Abdruck der von der Fakultät für
Elektrotechnik und Informationstechnik
der Universität der Bundeswehr München
zur Erlangung des akademischen Grades eines

Doktor-Ingenieurs

genehmigten Dissertation.

Gutachter/Gutachterin: 1. Univ.-Prof. Dr.-Ing. Walter Hansch
2. Univ.-Prof. Dr.-Ing.habil. Jörg Schulze,
Universität Stuttgart

Die Dissertation wurde am 15.06.2012 bei der
Universität der Bundeswehr München eingereicht und durch die Fakultät für
Elektrotechnik und Informationstechnik am 27.06.2012 angenommen.

Die mündliche Prüfung fand am 17.12.2012 statt.

Zusammenfassung

Die vorliegende Arbeit befasst sich mit der technologischen Entwicklung eines CMOS (Complementary-Metal-Oxide-Semiconductor) Prozesses zur Herstellung von integrierten Schaltungen. Dabei werden Siliziumoxid und Aluminiumoxid als Gatedielektrika verwendet und untersucht. Dadurch ergibt sich ein Vergleich zwischen einem selbstjustierenden Gate-Prozess, mit Polysilizium als Gateelektrode und Siliziumoxid als Dielektrikum, und dem Metal-Gate Prozess mit einem Gatestack basierend auf Aluminiumoxid mit metallischer Gateelektrode.

Neben den theoretischen Grundlagen zur Thematik der Feldeffekttransistoren wird auf das statische Verhalten des CMOS-Inverters eingegangen. Dieser wird im Rahmen der Arbeit als integrierte Schaltung hergestellt.

Bei der Entwicklung der Prozesse wird ein Hauptaugenmerk auf die Dotierung mit Spin-On-Gläsern gelegt, da dies eine oberflächennahe Dotierung erlaubt. Dabei wird das Verfahren zur Herstellung der Source/Drain Gebiete sowie für die Wannen eingesetzt. Es wird ein Prozess entwickelt, bei dem die Source/Drain Gebiete gleichzeitig mit der Gateelektrode aus Polysilizium, dotiert werden. Bei der Verwendung von Bor als Dopand bildet sich nach der Diffusion eine ätzresistente Borschicht. Im Hinblick auf diese Problemstellung werden verschiedene Verfahren zur Entfernung der Schicht aufgezeigt. Dabei stellt sich heraus, dass eine trockenchemische Ätzung die besten Ergebnisse liefert.

Neben diesem Prozessschritt wird auch auf die Entwicklung eines Nitridspacers eingegangen. Dieser ist für die Herstellung der Transistoren mit selbstjustierendem Gateprozess notwendig. Dabei werden sowohl unterschiedliche Ätzverfahren für Polysilizium, als auch ein Spacer mit zusätzlichem Siliziumoxid dargestellt. Es stellt sich heraus, dass die trockenchemischen Ätzverfahren die besten und reproduzierbarsten Ergebnisse liefern. Des Weiteren wird auf den Unterschied in der Prozessierung zwischen einem selbstjustierenden Gate-Prozess und einem Metal-Gate eingegangen. Bei letzterem wird auf die Abscheidetechnik des Aluminiumoxids und die Passivierung näher eingegangen. Dabei muss auf Grund des metallischen Gatestacks eine Niedertemperatur-Passivierung gewählt werden.

Der Schwerpunkt dieser Arbeit liegt auf der elektrischen Charakterisierung und dem Vergleich mit analytischen Berechnungen. Dabei werden sowohl die Feldeffekttransistoren als auch die Schaltungen in Form von Invertern behandelt. Bei den Transistoren mit Polysilizium als Gateelektrode und Siliziumoxid wurden nur n-Kanal Bauelemente hergestellt. Dabei ergibt sich aufgrund der hohen Substratdotierung eine Einsatzspannung von $V_{Tn} = 5,28 \text{ V}$ und eine Unterschwellsteigung $S = 290 \frac{\text{mV}}{\text{dek}}$. Diese Werte stimmen mit den Erwartungswerten überein. Jedoch zeigt sich eine Abhängigkeit des Off-Stroms von

der Drain-Source Spannung. Anhand von analytischen Berechnungen und Messungen an den pn-Dioden des Transistors stellt sich heraus, dass der Off-Strom von der Güte der Drain-Bulk Diode maßgeblich abhängig ist.

Mit dem Metal-Gate Prozess wurden die ersten CMOS-Transistoren am Institut hergestellt. Der Inverter zeigt ein typisches Verhalten auf, indem er das Bit am Eingang negiert. Jedoch liegt aufgrund von nicht symmetrischen Einsatzspannungen der komplementären Transistoren kein symmetrischer Inverter vor. In diesem Fall ist der Umschaltpunkt des Inverters gegenüber einem idealen symmetrischen Inverter in positiver Spannungsrichtung verschoben. Die zugehörigen Transistoren zeigten ein Verhältnis von I_{On}/I_{Off} von 7 Dekaden auf. Die Ausbeute der hergestellten p-Kanal Bauelemente liegt bei ca. 97 %, die der n-Kanal bei ca. 50 %. Bei beiden Transistoren zeigt sich eine Abhängigkeit des Off-Stroms von der Gate-Source Spannung. Dieses Verhalten wird anhand von analytischen Berechnungen erörtert und kann dem sogenannten GIDL-Effekt (Gate-Induced Drain Leakage) zugeordnet werden. Dabei wird die Abhängigkeit dieses Stroms von den Gatedielektrika und dem Überlappbereich zwischen Gate und Drain diskutiert. Ein Vergleich der Parameter zwischen den beiden Gatestackmaterialien, Siliziumoxid und Aluminiumoxid, wird anhand der beiden n-Kanal Transistoren durchgeführt. Dabei stellt sich heraus, dass bis auf die Einsatzspannung keine großen Unterschiede festzustellen sind.

Abstract

The present work shows the technological development of a CMOS-Process (Complementary-Metal-Oxide-Semiconductor) to fabricate integrated circuits. For this case various gate stack materials as siliconoxide and aluminumoxide are investigated. This includes a comparison between a self-aligned gate-process, with polycrystalline silicon and siliconoxide and a metal-gate process with a gate stack consisting of aluminumoxide and metallic gate electrode.

Besides the theoretical background of field-effect-transistors, the static behavior of a CMOS-Inverter is discussed. Consequently the inverter is fabricated as an integrated circuit in this work.

The main part of the process development is about the diffusion with Spin-on-Glasses. This procedure will be used for the fabrication of the source/drain areas and the wells. Thereby a process will be developed, which allows to dope the source/drain areas and the gate electrode, polycrystalline silicon, at the same time. Using boron as a dopant, an etch resisting layer is formed. To remove this layer, various methods are proposed. In this case a dry chemical etching process leads to the best result.

Besides this process step a spacer out of silicon nitride is developed, which is necessary for the self-aligned gate process. Therefor various etching mechanism for polycrystalline silicon are shown. Besides that a spacer with additional siliconoxide is developed. The dry etching leads to reproducible and reliable results. Furthermore the fabrication difference between a self-aligned and a metal-gate process are shown. For the second process the deposition of aluminumoxide and the passivation are discussed. Because of the metallic gate electrode a low temperature passivation has to be investigated.

The focus of this work is the electrical characterization and the comparison to analytical calculations. Thereby the CMOS inverter and the field-effect-transistors are discussed. For the self-aligned gate-process with polycrystalline silicon and siliconoxide only n-channel devices are fabricated. Because of the high doping of the substrate the threshold voltage of $V_{Tn} = 5,28 \text{ V}$ and a subthreshold swing $S = 290 \frac{\text{mV}}{\text{dek}}$ are achieved. This values accord with the analytical calculations. But the transistors show a dependence of the off-current towards the drain-source voltage. Analytical calculations and measurements of pn-diodes lead to the result that the off-current relies on the quality of the pn-diodes.

With the metal-gate process the first CMOS inverters within the institute were fabricated. They work as expected, as they negate the incoming signal. Because of not symmetrical threshold voltages, no symmetrical inverter exists. In this case the switching point towards an ideal inverter is shifted. The associated transistors have a relation of

I_{On}/I_{Off} of 7 decades. The yield of the p-channel transistors is 97 % and of the n-channel devices 50 %. The off-current of both transistors shows a dependence of the gate-source voltage. Through analytical calculations it is investigated that this dependence exists because of the so called GIDL-effect (Gate-Induced Drain Leakage). The dependence on the current of the gate dielectric and the overlap between gate and drain is discussed. As last point a comparison of the fabricated n-channel transistors with various gate dielectrics is done. It shows that besides of the threshold voltage there is no big difference.

Inhaltsverzeichnis

Zusammenfassung	i
Abstract	iii
1 Einleitung	1
2 MOS-Kapazität	3
2.1 Verhalten der MOS-Struktur	3
2.2 Messtechnische Bestimmung der Kenngrößen	7
2.2.1 Flachbandspannung V_{FB}	8
2.2.2 Grenzflächenzustandsdichte D_{it}	10
2.2.3 Äquivalente Oxiddicke	12
3 Physik des Langkanal MOSFETs	15
3.1 Funktionsweise	16
3.2 Kennlinien des MOSFETs	17
3.3 Kenngrößen	26
4 CMOS Inverter	35
4.1 Aufbau	35
4.2 Funktionsweise	36
4.3 Dimensionierung	38
4.4 Kenngrößen	40
5 SOD-CMOS-Prozess	45
5.1 Grundkonzept	45
5.2 Prozessablauf	46
5.2.1 Selbstjustierendes Gate	49
5.2.2 Metal-Gate	53
5.3 Entwicklung des SOD-CMOS-Prozesses	56
5.3.1 Dotierung	57
5.3.2 Nitridspacer	76
5.3.3 Prozesse für Metal-Gatestack	81

6 Elektrische Charakterisierung	85
6.1 Selbstjustierendes Gate	85
6.2 Metal-Gate	94
6.2.1 MIS-Kapazität	94
6.2.2 MISFET	97
6.2.3 Inverter	112
6.3 Diskussion der Ergebnisse der Transistoren	119
7 Zusammenfassung und Ausblick	149
Anhang	152
A Maskenlayout	153
B Prozessparameter	159
B.0.1 Prozessschritte Selbstjustierender-Gate-Prozess	159
B.0.2 Prozessschritte Metal-Gate-Prozess	169
C Konstanten	177
Formelzeichen	178
Abkürzungen	183
Abbildungsverzeichnis	186
Tabellenverzeichnis	192
Literaturverzeichnis	193
Publikationen	199
Danksagung	201

Kapitel 1

Einleitung

Die Entwicklung der ersten integrierten Schaltung durch R. Noyce im Jahre 1959 ebnete den Weg für die heutige Informations- und Kommunikationsgesellschaft. Dabei ist die Digitaltechnik in DRAM-Speichern, Mikroprozessoren, Digitalen Signalprozessoren (DSP) und Anwendungsspezifischen integrierten Schaltungen (ASIC) zu finden [Kan96]. Die in dieser Technik verwendeten Logikelemente bestehen in ihrer untersten Ebene aus Transistoren. Diese werden dabei als Schalter betrieben und nehmen die Zustände “Ein“ und “Aus“ an. Durch richtiges Verschalten der Transistoren werden digitale logische Schaltungen aufgebaut. Die einfachste und grundlegendste Schaltung ist der Inverter, dieser negiert das Eingangssignal.

Aufgrund von stetig wachsenden Anforderungen an Verlustleistungen, Schaltzeiten und Platzbedarf werden die digitalen Schaltungen seit ca. 1970 mit der CMOS-Technologie hergestellt. Dies gilt vor allem für portable Systeme, da dort die Verlustleistung Einfluss auf die Temperatur, Batterielaufzeit und Zuverlässigkeit hat. Aus diesem Grund macht die CMOS-Technologie 85 % des Halbleitermarktes aus. Dabei steht CMOS für Complementary-Metal-Oxide-Semiconductor und bedeutet, dass sich mindestens zwei komplementäre Transistoren auf einem Substrat befinden.

Die stetige Weiterentwicklung und Verkleinerung der Transistoren führt zu einer Verbesserung der integrierten Schaltungen. Dabei befolgt die Halbleiterindustrie das Mooresche Gesetz um ein jährliches Wachstum von ca. 17 % zu erreichen. Dies ist möglich, wenn sich die Anzahl der Bauelemente pro Chip alle drei Jahre vervierfacht [Moo65]. Für eine längerfristige Planung ist das Gesetz von Moore in der ITRS (International Technology Roadmap of Semiconductor Industries) verankert.

Durch die dort vorgegebene Verkleinerung der Strukturen ist die Anforderung an das Gateoxid gestiegen. Dabei wurde die Schichtdicke des Gateoxids reduziert, um eine Abnahme der Kapazität des Gates bei kleiner werdender aktiver Fläche zu vermeiden. Dadurch kam es zu einem Anstieg der Gateleckströme, was zur Folge hatte, dass auch die statische Verlustleistung zunahm. Bei einer Schichtdicke von 1,5 nm kann thermisch gewachsenes Siliziumdioxid nicht mehr verwendet werden, da die Verlustleistungen, auf Grund der Leckströme durch direktes Tunneln, zu groß sind.

Abhilfe schaffen Gatedielektika mit hoher Permittivität, da sie aufgrund gleicher Flächenladungsdichte dickere Isolatorschichten mit reduzierten Leckströmen erlauben.

Diese high-k Materialien ermöglichen die weitere Miniaturisierung und die Leistungssteigerung der Transistoren. Im Jahre 2008 wurde die Verwendung von diesen Materialien als Gatedielektrika von den großen Halbleiterherstellern (IBM, Intel und Global Foundries) realisiert.

Am Institut für Physik werden neuartige Bauelemente hergestellt. Diese benötigen ein scharfes Dotierprofil, welche durch Hochtemperaturprozesse wie die Gateoxidation verlaufen. Dadurch ergibt sich ein schlechteres elektrisches Verhalten der Bauelemente. Die ingenieurwissenschaftliche Fragestellung bestand darin einen neuartigen Niedertemperaturprozess ($T < 400^{\circ}\text{C}$) für die Bauelemente zu finden und zu etablieren. Dabei wird auf den neuartigen Industrieprozess mit high-k Dielektrikum und metallischer Gateelektrode zurückgegriffen. Jedoch wird das Dielektrikum mit einem Atomic Layer Deposition (ALD) Verfahren abgeschieden. Um die Auswirkungen der Niedertemperaturprozesse auf das elektrische Verhalten der Bauelemente zu verifizieren, werden CMOS-Bauteile und Inverter hergestellt.

Kapitel 2 beschreibt die physikalischen Grundlagen der MOS-Kapazität. Im Schwerpunkt stehen die elektrischen Charakterisierungsverfahren, die zur Bestimmung von physikalischen Kenngrößen dienen.

Kapitel 3 befasst sich aufbauend auf der MOS-Kapazität mit den Grundlagen eines MOSFETs als Langkanal-Bauelement. Bei den analytischen Beschreibungsansätzen wird sowohl auf den n-Kanal als auch auf den p-Kanal Transistor eingegangen. Die messtechnische Bestimmung der physikalischen Kenngrößen steht im Mittelpunkt dieses Kapitels.

In **Kapitel 4** wird aufbauend auf die Grundlagen der MOS-Transistoren der CMOS-Inverter behandelt. Dabei wird das statische Verhalten sowie die designtechnische Dimensionierung diskutiert. Zusätzlich werden für die typischen Kenngrößen des Inverters analytische Beschreibungsansätze und messtechnische Verfahren aufgezeigt.

Kapitel 5 beinhaltet die technologische Umsetzung des CMOS-Prozesses. Ausgehend von den Rahmenbedingungen wird der technologische Ablauf des Prozesses für einen Gatestack aus Polysilizium und Siliziumoxid sowie einen mit Metal-Gate und high-k Material dargestellt. Daneben werden die Prozessschritte behandelt, die im Rahmen dieser Arbeit entwickelt wurden. Dabei wird das Hauptaugenmerk auf die Entwicklung des Diffusionsprozesses mit Spin-On-Gläsern gelegt. Die dadurch gewonnenen Ergebnisse werden mit analytischen Berechnungen verglichen. Zusätzlich wird auf entwickelte Prozesse eingegangen, die nur für die jeweilige Gatestack-Technik angewendet werden.

Kapitel 6 beschäftigt sich mit der elektrischen Charakterisierung der CMOS-Bauelemente. Im Schwerpunkt stehen die Bestimmung der Kenngrößen der MOSFETs und der Vergleich mit analytischen Berechnungen. Dabei werden die Unterschiede der MOSFET-Kennlinien der verschiedenen Gatestacks aufgezeigt und diskutiert. Auf Grundlage der Eigenschaften der Transistoren werden Charakteristika des CMOS-Inverters behandelt. Dabei wird ein Vergleich zwischen Theoriewerten und messtechnisch bestimmten Kenngrößen gezogen. Zusätzlich wird auf die Ausbeute der Bauelemente eingegangen.

Die Ergebnisse dieser Arbeit sind in **Kapitel 7** zusammengefasst. Verbesserungsvorschläge sowie ein Ausblick auf zu bearbeitende Themengebiete werden aufgezeigt.

Kapitel 2

MOS-Kapazität

Das Kernbauelement jeder Schaltung in der Mikroelektronik bildet der Transistor. Dieser stellt in seiner einfachsten Form einen veränderbaren Widerstand dar. In der CMOS-Technologie ist der Metal-Oxide-Semiconductor-Field-Effect-Transistor (MOSFET) das bedeutendste Bauelement. Das Kernstück des Transistors bildet dabei die Metal-Oxide-Semiconductor (MOS) Kapazität. Im folgenden Abschnitt werden die physikalischen Grundlagen dieser Struktur behandelt. Anschließend wird auf die messtechnische Bestimmung wichtiger Parameter der MOS-Kapazität eingegangen.

2.1 Verhalten der MOS-Struktur

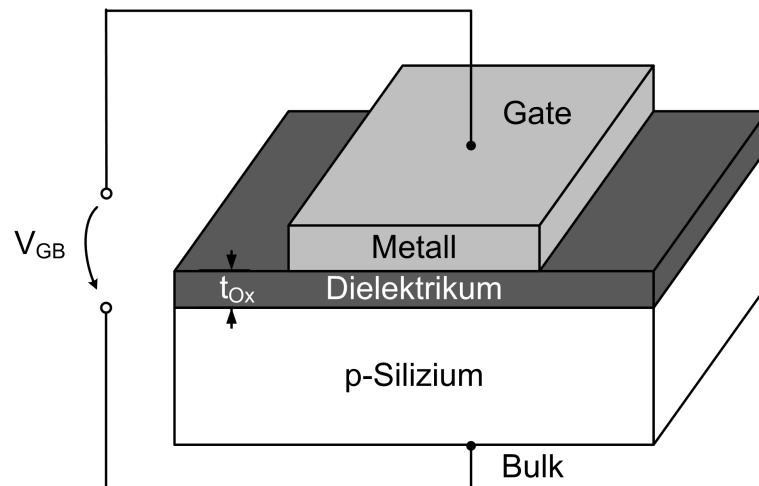


Abbildung 2.1: Schematische Zeichnung einer MOS-Struktur, dabei ist t_{Ox} die Dicke des Gatedielektrikums

In Abbildung 2.1 ist der prinzipielle Aufbau einer MOS-Kapazität bzw. MOS-Diode aufgezeigt. Dieser besteht aus einer metallischen Schicht, der Gateelektrode, die mit ihrer Geometrie die Gatefläche über einer dielektrischen Schicht und dem Halbleiter Silizium definiert. Für messtechnische Anwendungen wird zwischen der Gateelektrode (G) und

dem Rückseitenkontakt, dem sogenannten Bulk-Anschluss (B), die Spannung V_{GB} angelegt. Die angelegte Spannung V_{GB} , die eingesetzten Materialien und die Geometrie beeinflussen die Kapazität. An dieser Stelle wird die MOS-Struktur anhand der realen p-MOS-Kapazität erklärt. Das bedeutet, dass die Austrittsarbeitsdifferenz ϕ_{MS} zwischen Silizium und Aluminium als auch die im Dielektrikum vorhandenen Ladungen berücksichtigt werden.

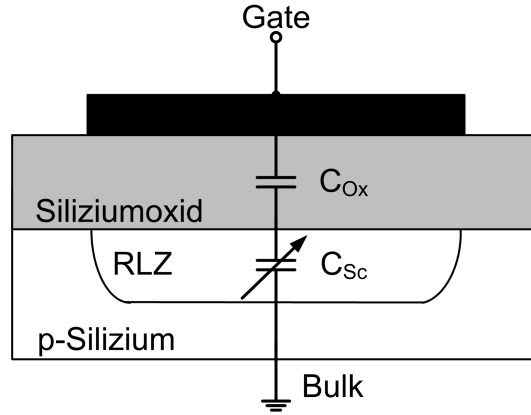


Abbildung 2.2: Querschnitt einer MOS-Kapazität

Die MOS-Struktur setzt sich aus der Oxidkapazität C_{Ox} und der Raumladungskapazität C_{Sc} zusammen. Diese beiden Kondensatoren sind in Serie angeordnet (Abb. 2.2). Aufgrund der sich im Halbleiter ausbildenden Raumladungszone ist die Raumladungskapazität C_{Sc} eine Funktion der Höhe der Dotierung des Halbleiters und der am Gate anliegenden Spannung V_{GB} . Daraus ergibt sich für die Gesamtkapazität $C_{Ges}(V_{GB})$ folgende Formel:

$$\frac{1}{C_{Ges}} = \frac{1}{C_{Ox}} + \frac{1}{C_{Sc}} \quad (2.1)$$

Je nach Gatespannung V_{GB} kann man für eine reale MOS-Kapazität mit einem p-Halbleiter folgende Arbeitsbereiche unterscheiden:

Flachbandfall

Im Flachbandfall (Abb. 2.3(b)) tritt keine Raumladungszone und keine Bandverbiegung ψ_S auf. Aus diesem Grund befinden sich an der Halbleiter-Isolator-Grenze das Valenzband E_V , das Leitungsband E_C und die Bandmitte als Referenzenergie E_i auf demselben Niveau wie tief im Inneren des Substrats. Die Gatespannung V_{GB} , die nötig ist, um diesen Zustand zu erreichen, wird als Flachbandspannung V_{FB} bezeichnet. Sie ist bei realen MOS-Kapazitäten ungleich Null ($V_{FB} \neq 0$). Unter Vernachlässigung von Oxidladungen lässt sich über das Potential der Austrittsarbeitsdifferenz ϕ_{MS} des Materialsystems diese Spannung berechnen [Bot83].

$$\phi_{MS} = \phi_M - |\chi_{Si}| - \left| \frac{E_g}{2q} \right| - |\psi_B| \quad (2.2)$$

$$V_{FB} = \phi_{MS} \quad (2.3)$$

Dabei ist ϕ_M die Austrittsarbeit des Metalls, q die Elementarladung, χ_{Si} die Elektronenaffinität und E_g die Bandlücke von Silizium. In Abhängigkeit der Temperaturspannung V_{Th} , der Eigenleitungsträgerdichte n_i und der Akzeptordichte N_A des p-dotierten Siliziums ergibt sich das Fermipotential ψ_B wie folgt

$$\psi_B = V_{Th} \ln \frac{N_A}{n_i} \quad (2.4)$$

$$V_{Th} = \frac{kT}{q} \quad (2.5)$$

Dabei ergibt die Temperaturspannung in Abhängigkeit der Boltzmann-Konstante k bei einer Temperatur T von 300 K einen Wert von 26 mV.

Akkumulation

Die MOS-Struktur befindet sich in Akkumulation, auch Anreicherung genannt, wenn die angelegte negative Spannung am Gate gegenüber dem p-Substrat kleiner als die Flachbandspannung $V_{GB} < V_{FB}$ ist (Abb. 2.3(a)). Anhand der negativen Spannung werden die Majoritätsträger aus dem Substrat an die Silizium/Siliziumoxid Grenzfläche gezogen. Dadurch verschwindet die Raumladungszone und die Gesamtkapazität C_{Ges} ergibt sich wie in Gleichung 2.6 dargestellt.

$$C_{Ges} = C_{Ox} = C'_{Ox} \cdot A = \frac{\epsilon_0 \cdot \epsilon_{Ox}}{t_{Ox}} \cdot A \quad (2.6)$$

Dabei ist ϵ_0 die Dielektrizitätskonstante des Vakuums, ϵ_{Ox} die Dielektrizitätskonstante des Oxids, A die Fläche der Kapazität und C'_{Ox} die flächenbezogene Oxidkapazität. Bei einer Siliziumoxiddicke t_{Ox} von 20 nm und einer Fläche $A = 1 \cdot 10^{-4} \text{ cm}^2$ ergibt sich für die Kapazität C_{Ox} ein Wert von 17 pF.

Verarmung

Liegt an der MOS-Struktur eine positive Gatespannung $V_{GB} > V_{FB}$ an, werden die Majoritätsladungsträger von der Silizium/Siliziumoxid Grenzfläche zurück ins Substrat gedrängt. Die zurückbleibenden ionisierten, ortsfesten Akzeptoratome bilden eine negative Spiegelraumladungszone aus. Dadurch ist die p-dotierte MOS-Kapazität im Zustand der Verarmung (Abb. 2.3(c)). Wird die Gatespannung V_{GB} weiter vergrößert, erreicht man den sogenannten Midgappunkt. An dieser Stelle berühren sich am Halbleiter-Isolator-Übergang die Bandmitte als Referenzenergie E_i und das Ferminiveau, $\psi_S = \psi_B$. Man spricht vom Einsetzen der **schwachen Inversion**. Die maximale Tiefe der entstehenden Raumladungszone $x_{Sc,Max}$ ist abhängig von der Akzeptordichte N_A , dem Potential ψ_B und der Dielektrizitätskonstante von Silizium $\epsilon_{Si} = 11,9$.

$$x_{Sc,Max} = \sqrt{\frac{2\epsilon_{Si}\epsilon_0|2\psi_B|}{qN_A}} \quad (2.7)$$

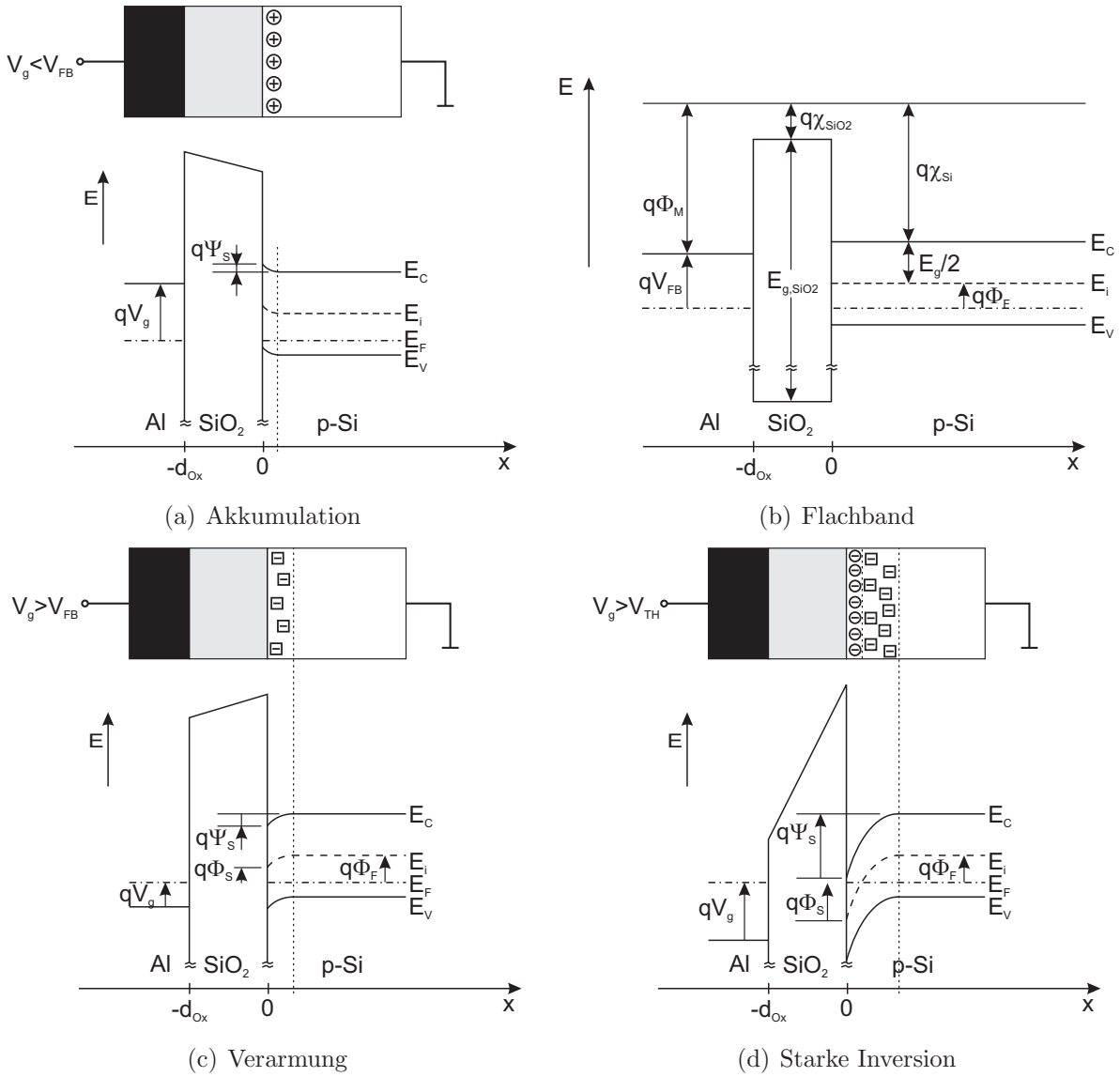


Abbildung 2.3: Bänderdiagramme einer MOS-Struktur [Sze81]

Die Raumladungskapazität C_{Sc} ergibt sich zu:

$$C_{Sc} = C'_{Sc} \cdot A = \frac{\epsilon_{Si}\epsilon_0}{x_{Sc}} \cdot A \quad (2.8)$$

Dabei beschreibt C'_{Sc} die flächenbezogene Raumladungskapazität. Für eine Dotierung von $N_A = 1 \cdot 10^{18} \frac{1}{\text{cm}^3}$ und $A = 1 \cdot 10^{-4} \text{cm}^2$ ergibt sich für die maximale Tiefe der Raumladungszone $x_{Sc,Max}$ ein Wert von 35 nm und für die Kapazität $C_{Sc} = 30 \text{pF}$. Anders als bei der Akkumulation lässt sich die Raumladungskapazität C_{Sc} bei der Gesamtkapazität C_{Ges} nicht vernachlässigen. Die Raumladungszone bleibt eine Funktion der Gatespannung V_{GB} solange die maximale Tiefe $x_{Sc,Max}$ nicht erreicht ist. Im Bereich der Verarmung nimmt die Gesamtkapazität C_{Ges} ab.

Starke Inversion

Die MOS-Kapazität befindet sich in starker Inversion, wenn die Gatespannung größer ist als die Schwellenspannung V_T . Dadurch nehmen die Elektronen in einem schmalen Bereich unter der Silizium/Siliziumoxid Grenzfläche gegenüber den Löchern überhand. Dadurch entsteht ein leitender Inversionskanal, der den Stromfluss für den Feldeffekttransistor zwischen Drain und Source bereitstellt. Das Banddiagramm für diesen Fall ist in Abbildung 2.3(d) dargestellt [Sze81].

2.2 Messtechnische Bestimmung der Kenngrößen

Die messtechnische Bestimmung einer Gatekapazität erfolgt durch das Anlegen einer Gleichspannung an die MOS-Struktur, welche von einer kleinen sinusförmigen Wechselspannung überlagert wird. Dabei wird die Amplitude sowie die Phase, aus denen die

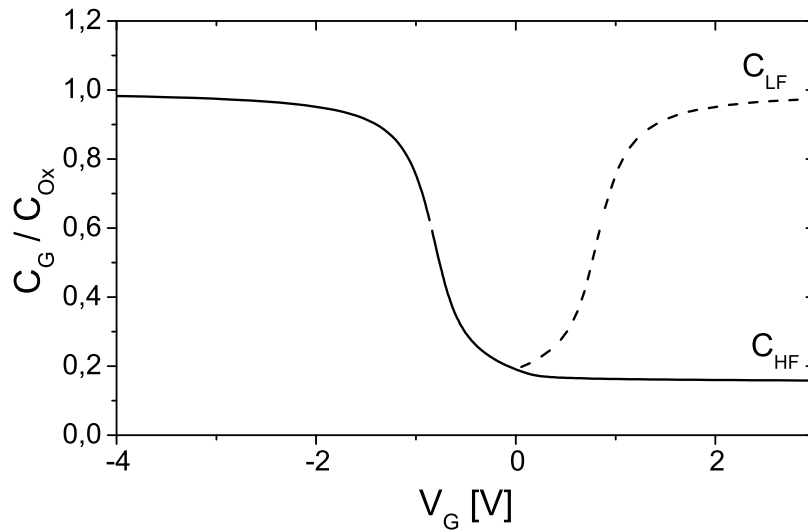


Abbildung 2.4: Hoch- (HF) und Niederfrequenz- (LF) Kapazitätsverlauf eines idealen MOS-Kondensators

Kapazität abgeleitet wird, bestimmt. Der schematische Kapazitätsverlauf einer MOS-Struktur normiert auf die Oxidkapazität C_{Ox} ist in Abbildung 2.4 dargestellt. Damit das thermodynamische Gleichgewicht nicht verletzt wird, muss unter Berücksichtigung der Zeitkonstanten der Umladevorgänge im Silizium die Messfrequenz am Messgerät angepasst werden. Die dominanten Zeitkonstanten im Silizium sind dabei die Lebensdauer der Minoritätsträger und die Relaxationszeit der Majoritätsträger. In Akkumulation wird das Verhalten der MOS-Kapazität durch die Relaxationszeit der Löcher von 10^{-12} s bestimmt [Pau94]. Damit ist für messtechnische Messfrequenzen die Bedingung von $f \ll \frac{1}{10^{-12}}$ erfüllt. In Inversion ist das Verhalten der MOS-Kapazität von der Lebensdauer der Elektronen in der Inversionsschicht abhängig. Dadurch ergeben sich zwei Messkurven die Frequenzabhängig sind.

Niederfrequenzkurve (LF-CV-Kurve)

Die Niederfrequenzkurve ergibt sich bei Messfrequenzen im Bereich bis zu 100 Hz. Bei dieser Frequenz können die Minoritätsladungsträger, die sich unmittelbar unter der Silizium/Siliziumoxid Grenzfläche befinden dem Wechsignal folgen. Dabei wird die Inversionsschicht umgeladen, da Elektronen generiert und rekombiniert werden. Dadurch wird die Raumladungszone kurzgeschlossen und der Bereich wirkt nicht mehr als Kapazität, sondern als Widerstand. Dies führt zum Anstieg der Gesamtkapazität.

Hochfrequenzkurve (HF-CV-Kurve)

Ab einer Messfrequenz von 1 kHz spricht man von einer Hochfrequenzmessung. In diesem Fall wird eine Messfrequenz f_{HF} gewählt, die über der Zeitkonstante der Minoritätsträger liegt. Diese verhalten sich wie feste Ladungen, die keinen Ladungsaustausch haben. Es kommt zu keinem Anstieg der Gesamtkapazität, da die Oxidkapazität und die Raumladungskapazität gemessen werden.

Anhand dieser Messkurven (Abb. 2.4) lassen sich Kennzahlen bestimmen, die für die Charakterisierung von Gatedielektrika und Feldeffekttransistoren notwendig sind. Im nächsten Abschnitt wird auf die Bestimmung dieser Werte eingegangen.

2.2.1 Flachbandspannung V_{FB}

In Kapitel 2.1 wird die Flachbandspannung V_{FB} für eine ideale MOS-Struktur nach Gleichung 2.2 definiert. In der Realität weichen die Dielektrika von einem idealen Isolator aufgrund von eingebauten Ladungen ab. Diese können durch den Herstellungsprozess oder durch Verunreinigungen in das Oxid gelangen. Gewöhnlich teilt man diese Ladungen ein in:

Mobile Ladungen Q'_m

Alkalische Verunreinigungen (Na^+ , K^+) verursachen mobile Oxidladungen. Diese beeinflussen die Einsatzspannung der Bauelemente und können über die Betriebszeit einer Schaltung zum Ausfall der Gesamtgruppe führen. Die Anzahl der Ladungen kann durch saubere Prozessbedingungen und der Verwendung von hochreiner Quarzware für die Prozessöfen minimiert werden. Durch Langzeithochtemperaturmessungen können die mobilen Ladungen nachgewiesen werden, da sie eine Hysterese in der CV-Kurve verursachen (Abb. 2.5(a)).

Feste Oxidladungen Q'_f

Die festen Oxidladungen sind unbewegliche und nicht umladbare Ladungen, die sich an der Silizium/Siliziumoxid Grenzfläche befinden. Diese entstehen aufgrund der nicht abgesättigten Siliziumatome im nichtstöchiometrischen Übergangsbereich im Oxid. Die CV-Kurve wird aufgrund dieser Ladungen entlang der Spannungsachse verschoben. Sind die Oxidladungen negativ, kommt es zu einer Verschiebung der CV-Kurve in positiver Spannungsrichtung (Abb. 2.5(b)).

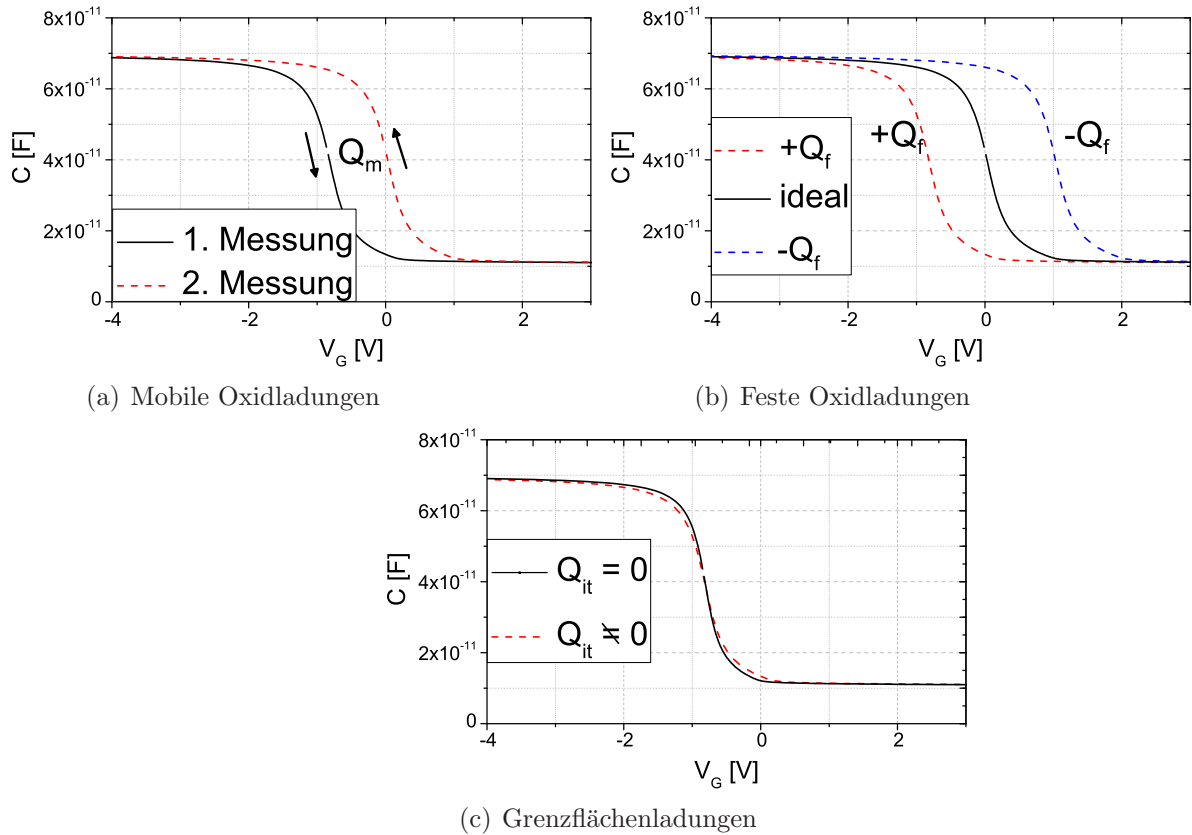


Abbildung 2.5: Einfluss der Oxidladungen auf die CV-Kurven

Getrappte Ladungen Q'_{ot}

Die getrappten Ladungen treten räumlich verteilt im Oxid auf und können dabei sowohl negativ als auch positiv sein. Die Ursache dafür können ionisierte Teilchen durch Plasmaprozesse und Strahlungsschäden sein. Der Nachweis dieser Ladungen ist aufgrund des vielseitigen Charakters schwierig.

Grenzflächenzustandsladungen Q'_{it}

Die Grenzflächenzustandsladungen sind positive sowie negative Ladungen und befinden sich direkt an der Silizium/Siliziumoxid Grenzfläche. Sie werden durch Verunreinigungen aber auch durch die Rahmenbedingungen der Oxidation hervorgerufen. Die Ladungen sind umladbar in Abhängigkeit des Oberflächenpotentials und stehen dadurch im elektrischen Zusammenhang mit dem Kanal des Bauelements. Dies führt zu einer zusätzlichen Kapazität C_{it} , die parallel zur Raumladungskapazität C_{sc} geschaltet ist. Dadurch kommt es zum Abflachen der Steigung der CV-Kurve in Verarmung (Abb. 2.5(c)). Aus diesem Grund wird eine größere Spannungsdifferenz benötigt um von Inversion in Akkumulation zu gelangen.

Diese Ladungen, die an der Grenzfläche Halbleiter-Dielektrikum und im Dielektrikum auftreten, führen ohne äußere Spannung zu einer Bandverbiegung. Das heißt, dass es

durch die Summe der Ladungen zu einer Verschiebung der Flachbandspannung um ΔV_{FB} kommt.

$$\Delta V_{FB} = \pm \frac{(Q'_f + Q'_m + Q'_{ot}) + Q'_{it}}{C'_{Ox}} \quad (2.9)$$

$$V_{FB} = \phi_M - |\chi_{Si}| - \left| \frac{E_g}{2q} \right| - |\psi_B| \pm \Delta V_{FB} \quad (2.10)$$

Die messtechnische Bestimmung der Flachbandspannung V_{FB} erfolgt über die Flachbandkapazität C_{FB} .

$$\frac{C_{FB}}{C_{Ox}} = \frac{C_{FBS}}{C_{FBS} + C_{Ox}} \quad (2.11)$$

Im Flachbandfall wird die Halbleiterkapazität C_{FBS} nach Gleichung 2.12 berechnet.

$$C_{FBS} = \frac{\epsilon_{Si}\epsilon_0}{\lambda_p} \cdot A \quad (2.12)$$

Dabei ist die Debye-Länge für p-Silizium λ_p wie folgt definiert:

$$\lambda_p = \sqrt{\frac{\epsilon_{Si}\epsilon_0 V_{Th}}{qN_A}} \quad (2.13)$$

Für eine Dotierung von $N_A = 1 \cdot 10^{18} \frac{1}{\text{cm}^3}$ und einer Fläche von $A = 1 \cdot 10^{-4} \text{cm}^2$ ergibt sich eine Kapazität C_{FBS} von 254 pF.

Die Flachbandspannung V_{FB} ist die zugehörige Spannung der Flachbandkapazität C_{FB} aus der gemessenen $C(V)$ -Kurve. Dadurch ist die Flachbandspannung für die MOS-Kapazität bestimmt.

2.2.2 Grenzflächenzustandsdichte D_{it}

In der Literatur werden verschiedene Methoden zur Bestimmung der Grenzflächenzustandsdichte vorgeschlagen. In dieser Arbeit wird die Leitwertmethode nach [Bre83], die auf den Arbeiten von Nicollian und Goetzberger [Nic67] basiert, verwendet.

Während einer Hochfrequenzmessung einer MOS-Struktur wird gleichzeitig die Leitwert- und Kapazitätskennlinie aufgenommen. Dabei werden Werte aus den gemessenen Leitwerten G_m und Kapazitäten C_m in Abhängigkeit der angelegten Gatespannung V_{GB} ausgegeben. Bei einer bestimmten Gatespannung $V_{GB,max}$ erhält man ein Maximum G_{max} in der GV-Kurve, da es zu einer Umladung der Grenzflächenzustände kommt. Aus der Höhe und Breite des Leitwertpeaks wird die Grenzflächenzustandsdichte D_{it} bestimmt.

Da die Impedanzmessung zwischen Gate und Bulk der MOS-Struktur erfolgt, wird ein serieller parasitärer Widerstand R_S , bedingt durch den Bulk-Widerstand, Rückseitenkontakt und Leistungsverluste mitgemessen. Ist der Einfluss von R_S zu groß, besteht die Möglichkeit, dass der Leitwertpeak nicht sichtbar ist. An dieser Stelle muss dann eine Korrektur der Werte erfolgen. Die dafür notwendige Vorgehensweise wird in diesem Abschnitt erklärt.

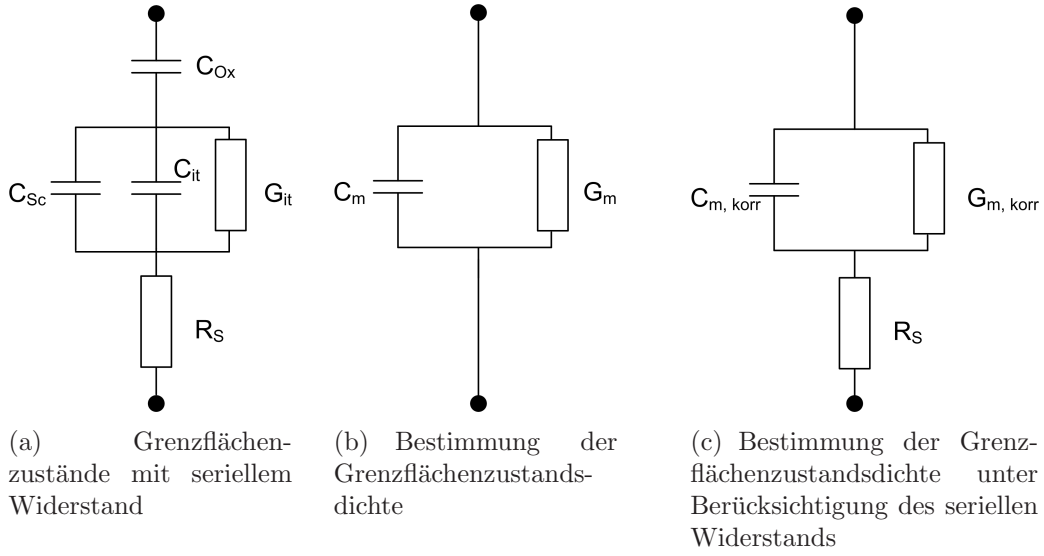


Abbildung 2.6: Ersatzschaltbilder einer MOS-Struktur

Die Abbildung 2.6(a) zeigt das Ersatzschaltbild einer MOS-Struktur mit seriellen Widerstand und Grenzflächenzuständen. Dabei ist R_S der serielle Widerstand, C_{Sc} und C_{Ox} sind die Kapazitäten der Raumladungszone und des Dielektrikums, C_{it} und G_{it} beschreiben die gemittelten Beiträge der Grenzflächenzustände zur Impedanz. Das messtechnisch erfasste Ersatzschaltbild, mit der gemessenen Kapazität C_m bzw. Leitwert G_m , ist in Abbildung 2.6(b) dargestellt.

Der serielle Widerstand R_S wird in Akkumulation nach

$$R_S = \frac{G_{ma}}{G_{ma}^2 + \omega^2 C_{ma}^2} \quad (2.14)$$

bestimmt. Dabei sind G_{ma} , C_{ma} die entsprechenden Messwerte und ω die Kreisfrequenz. In diesem Fall lässt sich das Ersatzschaltbild zu einer seriellen Verschaltung von C_{Ox} und R_S vereinfachen.

Dadurch lässt sich nun nach [Nic82] mit den Gleichungen 2.15 und 2.16 die um R_S korrigierten Werte C_{korr} und G_{korr} berechnen.

$$C_{korr} = \frac{(G_m^2 + \omega^2 C_m^2) \cdot C_m}{a^2 + \omega^2 C_m^2} \quad (2.15)$$

$$G_{korr} = \frac{(G_m^2 + \omega^2 C_m^2) \cdot a}{a^2 + \omega^2 C_m^2} \quad (2.16)$$

$$a \equiv G_m - R_S \cdot (G_m^2 + \omega^2 C_m^2) \quad (2.17)$$

Anhand dieser ermittelten Wertepaare ergibt sich das Ersatzschaltbild nach Abbildung 2.6(c).

Als nächstes wird die Oxidkapazität aus dem Leitwert herausgerechnet. Dazu werden die korrigierten Werte G_{korr} und C_{korr} nach [Nic82] in den Realteil der Impedanz mit der Kreisfrequenz $\omega = 2\pi f$ transformiert (Gln. 2.18).

$$\left\langle \frac{G_{it}}{\omega} \right\rangle = \frac{\omega C_{Ox}^2 G_{korr}}{G_{korr}^2 + \omega^2 (C_{Ox} - C_{korr})^2} \quad (2.18)$$

Dadurch ist aus dem Leitwert über der Spannung der MOS-Kapazität der Einfluss der Grenzflächenzustände bestimmt. Anschließend wird dieses Ergebnis über der zur Temperaturspannung normierten Bandverbiegung aufgetragen. Dadurch ergibt sich das Maximum der GV-Kurve. Dieses wird nach [Bre83] mit Hilfe der Gaußschen Approximation nach Gleichung 2.19 beschrieben.

$$f_D = \left\langle \frac{G_{it}}{\omega} \right\rangle \cdot \frac{1}{qAD_{it}} \quad (2.19)$$

Dabei liefert [Bre83] eine graphische Lösung zur Bestimmung von f_D . Der Faktor f_D kann dabei Werte zwischen 0,2 und 0,4 annehmen. Dadurch ergibt sich für die Grenzflächenzustandsdichte D_{it} folgender Ausdruck:

$$D_{it} = \left\langle \frac{G_{it}}{\omega} \right\rangle \cdot \frac{1}{qAf_D} \quad (2.20)$$

Zur Bestimmung der Grenzflächenzustandsdichte D_{it} wird aus der Leitwertskurve G_m und der dazu korrespondierende Kapazitätswert C_m bestimmt. Durch einsetzen dieser Werte in Gleichung 2.18 erhält man den Wert für $\left\langle \frac{G_{it}}{\omega} \right\rangle$. Dadurch ergibt sich nach Gleichung 2.20 die Grenzflächenzustandsdichte.

2.2.3 Äquivalente Oxiddicke

Die Schichtdicke des Dielektrikums wird im Zustand der Akkumulation der MOS-Struktur aus der Gesamtkapazität berechnet (Gln. 2.6). Man unterscheidet dabei zwischen der äquivalenten Oxiddicke, EOT (Equivalent Oxide Thickness) sowie CET (Capacitance Equivalent Thickness) und der physikalischen Schichtdicke t_{Ox} , diese ist die tatsächliche Dicke der abgeschiedenen Schicht. Unter äquivalenter Oxiddicke versteht man die Dicke des Materials normiert auf eine Referenzsubstanz.

EOT - Equivalent Oxide Thickness

Bei Verwendung von anderen Gatedielektrika als Siliziumoxid wird die EOT als wichtige Kennzahl betrachtet. Die EOT ist eine Dickenangabe, die auf die elektrischen Eigenschaften des als Standard betrachteten Gatedielektrikums Siliziumoxid SiO_2 normiert wird. Die äquivalente Oxiddicke wird definiert als physikalische Schichtdicke, die ein Gateoxid aus SiO_2 im Vergleich zu dem betrachteten Dielektrikum haben müsste. Dabei werden die quantenmechanischen (QM) Effekte sowie die Poly-Depletion vernachlässigt [Vog03]. Unter Poly-Depletion versteht man, dass die effektive elektrische Dicke des Gate-Oxids

dicker wird. Dies entsteht, da sich im Polysilizium bei angelegter Spannung eine Raumladungszone bildet, welche zu einer zusätzlichen Kapazität führt. Dadurch kommt es zu einer Vergrößerung der Oxidkapazität und letztendlich zu einem vermeintlich dickeren Oxid. Mit der folgenden Formel lässt sich die EOT mit bekannter Dicke des Dielektrikums $t_{phy,high-k}$ sowie der Dielektrizitätskonstante (DK) ϵ_{high-k} berechnen.

$$EOT = \frac{\epsilon_{SiO_2}}{\epsilon_{high-k}} t_{phy,high-k} \quad (2.21)$$

Die Bestimmung des reinen Materialparameters EOT erfolgt unter Abgleich von durchzuführenden Simulationen im Zustand der Akkumulation einer CV-Kurve. Als schwierig erweist sich die Bestimmung der physikalischen Schichtdicke, da optische Methoden in ihrer Auflösung begrenzt sind. Aufschluss über die genaue Schichtdicke können hochauflösende Transmissionselektronenmikroskopie (TEM) liefern.

CET - Capacitance Equivalent Thickness

Das EOT ist mit konventioneller Messtechnik nicht direkt zugänglich, da sowohl die Dielektrizitätskonstante als auch die Dicke der Schicht aus Messergebnissen errechnet werden muss. Jedoch kann aus einer gemessenen CV-Kurve die kapazitiv äquivalente Oxiddicke nach folgender Gleichung ermittelt werden.

$$CET = \frac{\epsilon_{SiO_2} \epsilon_0}{C_{ma}} \cdot A \quad (2.22)$$

Dabei ist C_{ma} der Wert der gemessenen Akkumulationskapazität und A die Bauelementfläche. Unter der Berücksichtigung von quantenmechanischen-Effekten und Poly-Depletion bekommt man somit eine Normierung auf SiO_2 . Diese Kennzahl beschreibt die effektive Wirkung des Gatestacks und ist für das Verhalten der Bauelemente ausschlaggebend.

Kapitel 3

Physik des Langkanal MOSFETs

Der Metal-Oxide-Semiconductor-Field-Effect-Transistor, kurz MOSFET, ist eine MOS-Kapazität, die durch zwei gegenüberliegende hochdotierte Gebiete erweitert ist (Abb. 3.1). Dadurch entstehen zwei elektrische Kontakte, Source (S) und Drain (D), zu den bereits bekannten Bulk (B) und Gate (G). Die Kanallänge L ist der Abstand der Inversionsschicht zwischen Source und Drain. Als W wird die Kanalweite bezeichnet. Man unterscheidet zwei Arten von Transistoren:

- n-Kanal MOSFET (Abb. 3.1)
- p-Kanal MOSFET

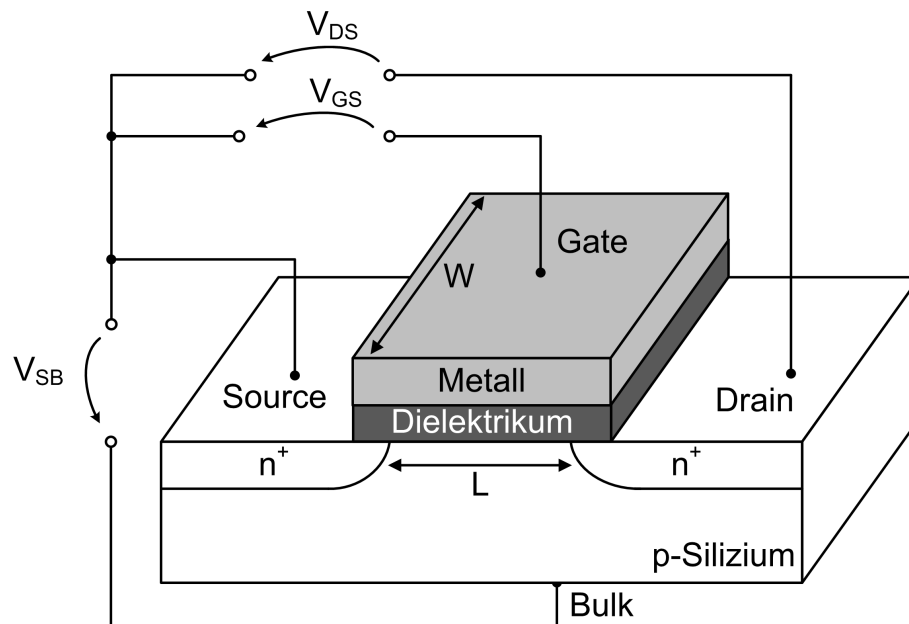


Abbildung 3.1: Schematische Zeichnung eines n-Kanal MOSFETs

Diese beiden unterscheiden sich im Aufbau nur anhand ihrer Dotierungen. Ein n-Kanal MOSFET hat ein p-dotiertes Substrat unter dem Gate und eine n^+ -Dotierung an Source

und Drain. Der p-Kanal Transistor hat ein n-dotiertes Substrat unter dem Gate und eine p^+ -Dotierung an Source und Drain. In diesem Kapitel wird nur auf die Langkanaltransistoren eingegangen, bei denen die Summe der Verarmungszonen von Source und Drain viel kleiner ist als die Gatelänge L .

3.1 Funktionsweise

In diesem Abschnitt wird die Funktionsweise eines n-Kanal MOSFETs mit Hilfe des Banddiagramms erläutert.

Die Abbildung 3.2 zeigt die 3-dimensionale Darstellung des Transistors und deren Bandstruktur für die unterschiedlichen Arbeitsbereiche [Sze81]. Dabei wird die x-Achse als der Abstand von der Substratoberfläche zum Substrat und die y-Achse als die laterale Achse zwischen Source und Drain definiert. Die vertikale E-Achse beschreibt die Energieniveaus. Dabei wird die gleiche Nomenklatur verwendet, wie in Kapitel 2.1:

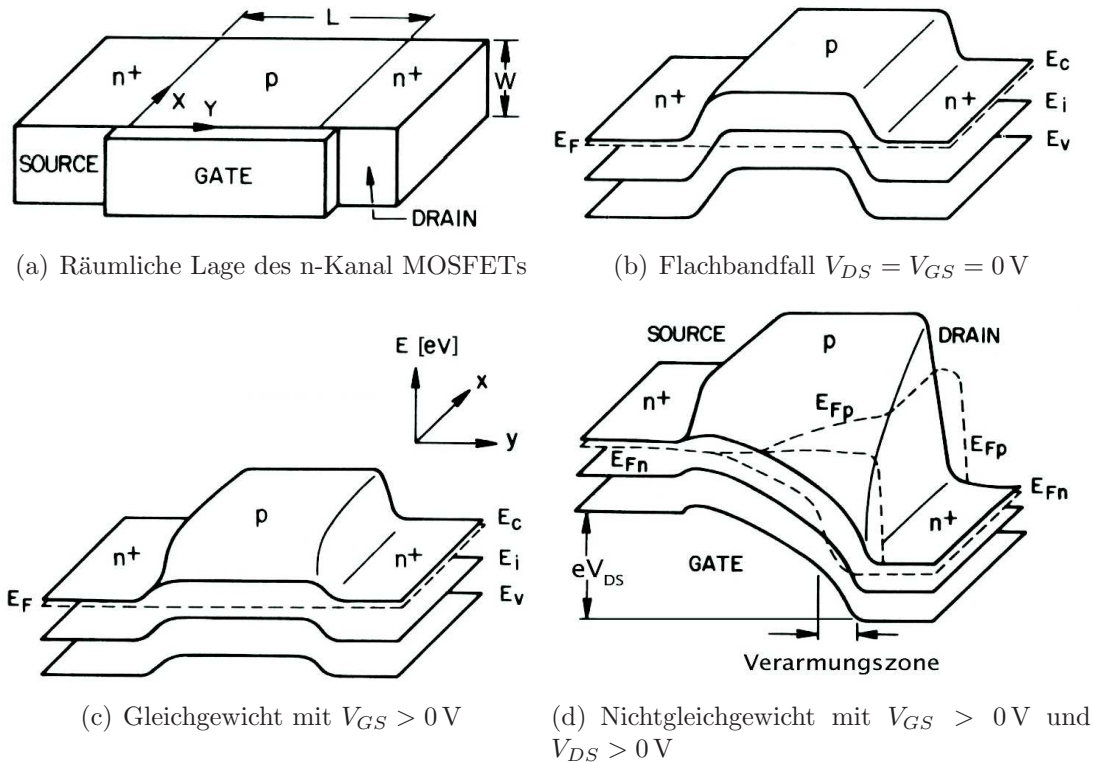


Abbildung 3.2: Banddiagramm eines n-Kanal MOSFETs [Pao66][Sze81]

- Leitungsband E_C
- Valenzband E_V
- Bandmitte als Referenzenergie E_i

- Fermi-niveau im thermodynamischen Gleichgewicht E_F
- Aufgespalteten Quasiferminiveaus der Elektronen und Löcher E_{Fn} , E_{Fp}

In Abbildung 3.2(b) befindet sich der Transistor im thermodynamischen Gleichgewicht, da keine äußere Spannung ($V_{GS} = V_{DS} = V_{SB} = 0$) angelegt ist. In diesem Zustand entspricht der MOSFET zwei pn-Dioden, die über das p-Gebiet miteinander verbunden sind. Anhand des Banddiagramms ist festzustellen, dass im p-Gebiet des Transistors das Fermi-niveau E_F (gestrichelte Linie) unterhalb der Bandmitte E_i liegt. Dieser Bereich wirkt als Barriere, den die Ladungsträger nicht überwinden. Dadurch findet kein Stromtransport durch das p-Gebiet statt. Ein Stromfluss ist in diesem Fall nur über den Leckstrom der Dioden möglich.

Das Anlegen einer Gate-Source Spannung V_{GS} , die größer ist als die Einsatzspannung V_{Tn} führt zur Bildung einer Inversionsschicht (Kanal) im Silizium an der $Si - SiO_2$ Grenzfläche (Kap. 2.1). Dadurch kommt es zu einer leitenden Verbindung zwischen Source und Drain. Mit Hilfe der angelegten Gate-Source Spannung V_{GS} wird die Leitfähigkeit des Kanals gesteuert, da mit höherer Spannung die Anzahl der Elektronen im Kanal zunimmt. Dieser Sachverhalt ist anhand des Banddiagramms (Abb. 3.2(c)) daran zu erkennen, dass sich die Energiebänder unterhalb des Gates so weit nach unten verbiegen, dass die Bandmitte E_i vollständig unterhalb des Fermi-niveaus E_F liegt. Somit wird ein Stromtransport zwischen Source und Drain ermöglicht.

Wird zusätzlich zwischen Source und Drain eine Spannung V_{DS} angelegt, kommt es am drainseitigen Ende des Kanals zu einer Aufspaltung des Fermi-niveaus in die beiden Quasiferminiveaus E_{Fp} und E_{Fn} (Abb. 3.2(d)). Das Quasiferminiveau der Elektronen E_{Fn} im Kanal, wird um die Energie eV_{DS} abgesenkt, wobei das Quasiferminiveau der Löcher E_{Fp} auf dem Niveau der Source bleibt. Auf der Drainseite des Kanals, sinkt das Quasiferminiveau der Elektronen E_{Fn} unterhalb des intrinsischen Fermi-niveaus E_i . Dadurch bildet sich eine Verarmungszone aus, die zum Abschnüren des Inversionskanals führt. Dieser Punkt wird als Pinch-off Point bezeichnet [Pao66]. Damit sich wieder ein Kanal bis zum Draingebiet ausbildet, muss die Gate-Source Spannung V_{GS} weiter erhöht werden. Dadurch werden die Energiebänder unter dem Gate weiter nach unten verbogen, was dazu führt, dass die Bandmitte E_i im gesamten Kanalbereich unterhalb des Quasiferminiveaus der Elektronen E_{Fn} liegt. Dafür ist eine höhere Gate-Source Spannung V_{GS} als im Gleichgewichtszustand nötig. Dadurch ergibt sich, dass die Verarmungszone eine Funktion der angelegten Drain-Source Spannung V_{DS} ist, und das in guter Näherung das Oberflächenpotential bei Einsetzen der starken Inversion zu

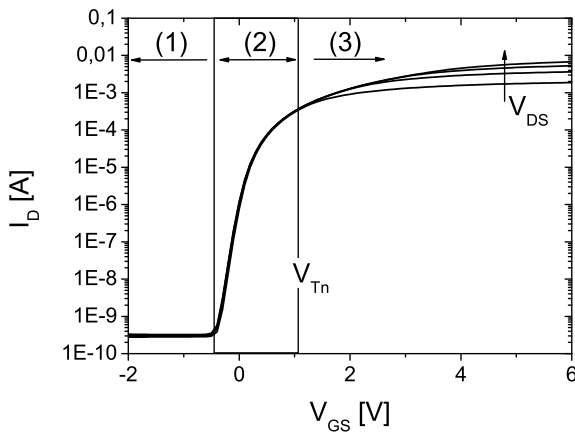
$$\psi_S(inv) \simeq V_{DS} + 2\psi_B \quad (3.1)$$

(Inversionsbedingung) abgeschätzt werden kann [Sze81].

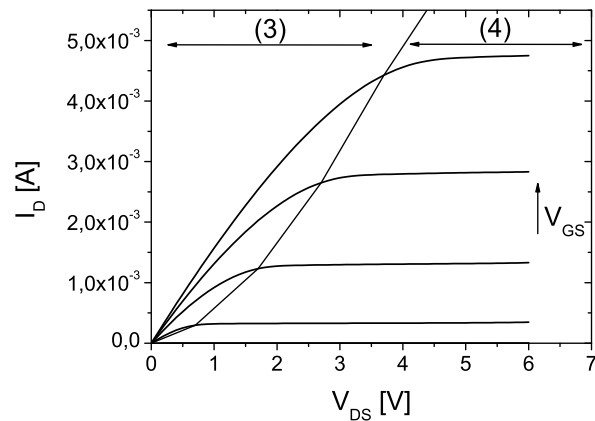
3.2 Kennlinien des MOSFETs

Typische Kennlinien von Langkanaltransistoren und deren Arbeitsbereiche sind in Abbildung 3.3 dargestellt. Bei der Transferkennlinie wird der Drainstrom I_D für unterschied-

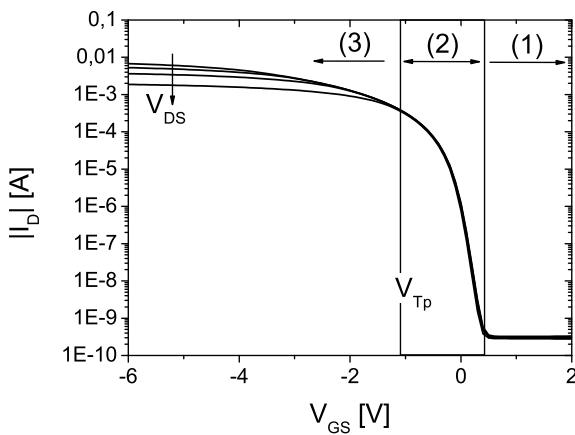
liche Drain-Source Spannungen V_{DS} in Abhängigkeit der Gate-Source Spannung V_{GS} halblogarithmisch abgebildet (Abb. 3.3(a) und Abb. 3.3(c)). Im Ausgangskennlinienfeld wird der Drainstrom I_D für verschiedene Gate-Source Spannungen V_{GS} abhängig von der Drain-Source Spannung V_{DS} dargestellt (Abb. 3.3(b) und Abb. 3.3(d)). Dabei lassen



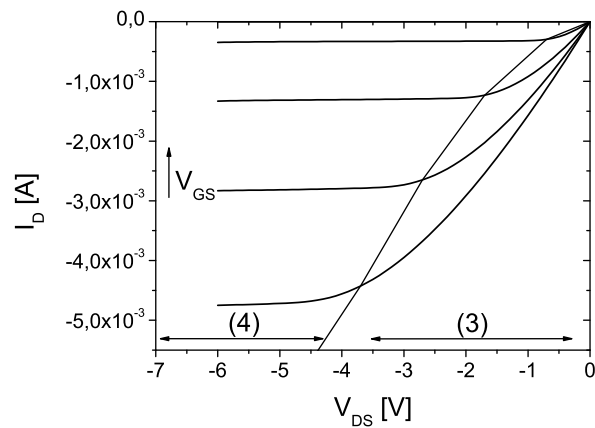
(a) Transferkennlinie eines n-Kanal MOSFETs, (1) entspricht dem Off-Bereich, (2) dem Unterschwellbereich und (3) dem aktiven Bereich



(b) Ausgangskennlinie eines n-Kanal MOSFETs, (3) entspricht dem aktiven Bereich und (4) dem Sättigungsbereich



(c) Transferkennlinie eines p-Kanal MOSFETs, (1) entspricht dem Off-Bereich, (2) dem Unterschwellbereich und (3) dem aktiven Bereich



(d) Ausgangskennlinie eines p-Kanal MOSFETs, (3) entspricht dem aktiven Bereich und (4) dem Sättigungsbereich

Abbildung 3.3: Typische experimentelle Kennlinien von Langkanaltransistoren

sich die elektrischen Kennlinien sowohl beim n-Kanal als auch beim p-Kanal MOSFET in folgende Bereiche unterteilen:

Off-Bereich

Der Strom des Transistors im ausgeschalteten Zustand setzt sich wie folgt zusammen:

$$I_{Off} = I_{Rev} + I_{Sub} + I_{GIDL} \quad (3.2)$$

Dabei repräsentiert I_{Rev} den Leckstrom durch die in Sperrrichtung geschaltene pn-Diode zwischen Drain und Bulk, I_{Sub} den Strom aufgrund der schwachen Inversion und I_{GIDL} den Strom verursacht durch den Gate-Induced Drain Leakage (GIDL) Effekt. In Abbildung 3.4 sind diese Komponenten des Off-Stroms in einem n-Kanal Transistor graphisch aufgezeigt.

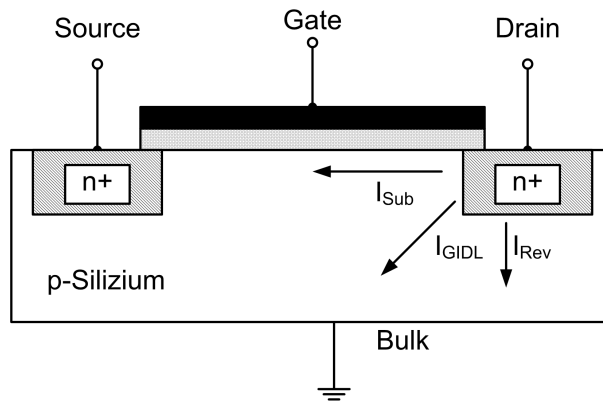


Abbildung 3.4: Stromverlauf der Komponenten des Off-Stroms

Dabei setzt sich I_{Sub} aus der Beweglichkeit der Ladungsträger μ , der Unterschwellsteigung S und der Einsatzspannung V_T zusammen.

$$I_{Sub} = \frac{W}{L} \mu V_{Th}^2 (C'_{Sc} + C'_{it}) \cdot 10^{\frac{-V_T}{S}} \quad (3.3)$$

Die Raumladungs- sowie die Grenzflächenzustandskapazität C'_{Sc} und C'_{it} sind dabei auf die Fläche des Gatestacks normiert.

$$C'_{it} = qD_{it} \quad (3.4)$$

Bei einer Kanallänge von $280 \mu\text{m}$, einer Kanalweite von $500 \mu\text{m}$, einer Dotierhöhe von $1 \cdot 10^{18} \frac{1}{\text{cm}^3}$ und einer Unterschwellsteigung $S = 150 \frac{\text{mV}}{\text{dek}}$ ergibt sich für I_{Sub} ein theoretischer Wert von $6,8 \cdot 10^{-19} \text{ A}$.

Der Strom I_{Rev} setzt sich zusammen aus dem Generations-Rekombinations-Sperrstrom I_{Gen} , dem Diffusionssperrstrom I_{So} und dem Tunnelstrom I_{Tunn} .

$$I_{Rev} = I_{Gen} + I_{So} + I_{Tunn} \quad (3.5)$$

Der erste Teil des Stroms I_{Rev} , wird durch die thermische Generation von Elektron/Loch-Paaren in der Raumladungszone erzeugt.

$$I_{Gen} = \frac{qA_{Diode} x_{Sc} 2n_i}{\tau_{Gen}} \quad (3.6)$$

Dabei hat die Zeitkonstante der Generation τ_{Gen} einen Wert von 1 ms. Die Weite der Raumladungszone x_{Sc2} abhängig von der Spannung in Sperrrichtung V_r berechnet sich wie folgt.

$$x_{Sc2} = \sqrt{\frac{2\epsilon_{Si}\epsilon_0(N_A + N_D)(\psi_{B2} + |V_r|)}{qN_A N_D}} \quad (3.7)$$

$$\psi_{B2} = V_{Th} \ln \frac{N_A N_D}{n_i^2} \quad (3.8)$$

Dadurch ergibt sich bei einer Dotierhöhe der n-dotierten Drain $N_D = 5 \cdot 10^{19} \frac{1}{\text{cm}^3}$, des p-Gebiets $N_A = 2,5 \cdot 10^{18} \frac{1}{\text{cm}^3}$ und der Fläche der Diode $A_{Diode} = 0,0025 \text{ cm}^2$ bei einer am Drain angelegten Spannung in Sperrrichtung von $V_r = 4 \text{ V}$ der I_{Gen} zu $3,07 \cdot 10^{-14} \text{ A}$.

Der Strom I_{So} ist der Diffusionsstrom der Minoritätsladungsträger, die zur Verarmungszone diffundieren und aufgrund des hohen elektrischen Feldes am pn-Übergang diesen passieren.

$$I_{So} = qA_{Diode}n_i^2 \cdot \left(\frac{D_h}{L_h N_D} + \frac{D_e}{L_e N_A} \right) \quad (3.9)$$

Dabei ist D_h der Diffusionskoeffizient der Löcher im n-dotierten und D_e der Elektronen im p-dotierten Gebiet. Aus diesem Grund wird bei der Berechnung die Beweglichkeit der Minoritätsträger μ_h bzw. μ_e verwendet.

$$D_e = V_{Th}\mu_e \quad (3.10)$$

$$D_h = V_{Th}\mu_h \quad (3.11)$$

Dadurch berechnet sich die Diffusionslänge der Elektronen L_e bzw. der Löcher L_h unter Verwendung der Lebensdauer der Ladungsträger τ_e bzw. τ_h zu [Kas01b].

$$L_e = \sqrt{D_e \tau_e} \quad (3.12)$$

$$\tau_e = \frac{5 \cdot 10^{-7} \text{ s}}{1 + 2 \cdot 10^{-17} \text{ cm}^3 \cdot N_A} \quad (3.13)$$

$$L_h = \sqrt{D_h \tau_h} \quad (3.14)$$

$$\tau_h = \frac{5 \cdot 10^{-7} \text{ s}}{1 + 2 \cdot 10^{-17} \text{ cm}^3 \cdot N_D} \quad (3.15)$$

Bei einer Dotierhöhe der n-dotierten Drain $N_D = 5 \cdot 10^{19} \frac{1}{\text{cm}^3}$, des p-Gebiets $N_A = 2,5 \cdot 10^{18} \frac{1}{\text{cm}^3}$ und der Fläche der Diode $A_{Diode} = 0,0025 \text{ cm}^2$ ergibt sich der Strom zu $I_{So} = 6,97 \cdot 10^{-16} \text{ A}$.

Anhand dieser Berechnung ist zu sehen, dass bei Raumtemperatur der Generations-Rekombinations-Sperrstrom I_{Gen} gegenüber dem Diffusionsstrom I_{So} dominiert.

Der dritte Teil des Stroms I_{Tunn} entsteht aufgrund des quantenmechanischen Tunnel-Effekts. Dabei tunneln die Elektronen aus dem Valenzband des p-Gebiets in das Leitungsband des n-Gebiets. Dazu ist eine hohe Feldstärke am pn-Übergang ($10^6 \frac{V}{m}$ [Gro67]) notwendig. Aus diesem Grund entsteht dieser Strom I_{Tunn} bei hohen Dotierungen und dadurch verbundener kurzen Raumladungszone. Dadurch entsteht der sogenannte Zenerdurchbruch, der zu einer Durchbruchsspannung kleiner als 10 V führt. Der Strom I_{Tunn} und die dafür notwendige maximale Feldstärke E_{max} am pn-Übergang sind durch folgende Gleichungen definiert:

$$I_{Tunn} = A_{Diode} \cdot \frac{\sqrt{2m^*} q^3 E_{max} |V_r|}{4\pi^2 \hbar^2 \sqrt{E_g}} \exp\left(\frac{-4\sqrt{2m^*} E_g^{\frac{3}{2}}}{3q\hbar E_{max}}\right) \quad (3.16)$$

$$E_{max} = \frac{2(\psi_{B2} + |V_r|)}{x_{Sc}} \quad (3.17)$$

Dabei beschreibt m^* die effektive Masse der Elektronen und \hbar das reduzierte Planksche Wirkungsquantum. Aufgrund der hohen Dotierungen muss die Erniedrigung des Bandabstands berücksichtigt werden. Nach Gleichung 3.18 verringert sich die Bandlücke eines p-Halbleiters.

$$\Delta E_g = 22,5 \cdot 10^{-3} \sqrt{\frac{N_A}{1 \cdot 10^{18} \frac{1}{cm^3}}} \quad (3.18)$$

Dadurch ergibt sich bei einer Dotierhöhe des n-dotierten Draingebiets $N_D = 5 \cdot 10^{19} \frac{1}{cm^3}$, des p-Gebiets $N_A = 2,5 \cdot 10^{18} \frac{1}{cm^3}$ und der Fläche der Diode $A_{Diode} = 0,0025 cm^2$ bei einer Spannung in Sperrrichtung von $V_r = 4 V$ der Strom I_{Tunn} zu $9,86 \cdot 10^{-12} A$. Aufgrund der hohen Dotierung des p-Gebiets, dominiert der Tunnelstrom gegenüber dem Generations-Rekombinationsstrom.

Der Durchbruch des pn-Übergangs kann entweder durch den vorgestellten Zenereffekt oder dem Avalanche-Effekt erfolgen. Bei letzterem entstehen Elektronen-Loch Paare durch Stoßionisation im stark elektrischen Feld. Durch Erreichen einer maximalen kritischen Feldstärke entsteht ein lawinenartiges Ansteigen von Ladungsträgern, was sich in einem sprunghaften Anstieg des Sperrstroms widerspiegelt. Dies führt schließlich zum Durchbruch, der bei Spannungen größer als 10 V auftritt. Dabei bleibt aber im Vergleich zum Zenereffekt der Sperrstrom bis zum Durchbruch nahezu konstant, da der Strom I_{Tunn} vernachlässigbar klein ist.

Der GIDL-Effekt der zu dem Leckstrom I_{GIDL} führt, entsteht durch ein Band-Band-Tunneln an der Stelle, an der das Gate das Drain-Gebiet überlappt. Liegt am ausgeschalteten Transistor ($V_G \leq 0 V$) und am Drain nach wie vor eine positive Spannung an, so bildet sich eine Verarmungszone zwischen den beiden Gebieten aus. Durch das Tunneln der Elektronen aus dem Valenz- ins Leitungsband entstehen Elektronen-Loch-Paare. Dabei kommt es zu einer Erhöhung des Drainstroms I_D durch die zu diesem Gebiet fließenden Elektronen und zu einer Erhöhung des Bulkstroms I_B durch die zu diesem Gebiet fließenden Löcher. Die Bewegung dieser Ladungsträger zum Substrat erfolgt durch das transversale elektrische Feld. Dies gilt auch gleichermaßen für einen p-Kanal Transistor,

bei dem jedoch die Löcher zum Drain und die Elektronen zum Bulk fließen [Cha87]. Dabei hängt der Leckstrom I_{GIDL} von folgenden Parametern ab [Bou97]:

$$I_{GIDL} = A_0 \cdot W \cdot L_{DG} \cdot \frac{\epsilon_0 \cdot \epsilon_{Si}}{E_0 \cdot N_{Drain}} \cdot E_{Si}^4 \cdot \exp\left(-\frac{E_0}{E_{Si}}\right) \quad (3.19)$$

Dabei ist L_{DG} die Länge des Überlappbereichs von Gate zu Drain, ϵ_{Si} die Dielektrizitätszahl von Silizium und N_{Drain} die Dotierstoffkonzentration des Draingebiets. Nach [Bou97] ergibt sich A_0 zu $5,97 \cdot 10^{18} \frac{1}{\text{sV}^2\text{cm}}$ und E_0 zu $26,88 \frac{\text{MV}}{\text{cm}}$. Das elektrische Feld in der Verarmungszone E_{Si} berechnet sich nach folgender Gleichung.

$$E_{Si} = \frac{qN_{Drain}}{\epsilon_0 \cdot \epsilon_{Si}} \sqrt{\frac{2\epsilon_0\epsilon_{Si}V_{Band}}{qN_{Drain}}} \quad (3.20)$$

Dabei ist V_{Band} die Spannung der Bandverbiegung und setzt sich wie folgt zusammen.

$$V_{Band} = V_{DG} + qN_{Drain}t_{Ox}^2 \cdot \frac{\epsilon_0\epsilon_{Si}}{\epsilon_0^2\epsilon_{Ox}^2} - \sqrt{(V_{DG} + qN_{Drain}t_{Ox}^2 \cdot \frac{\epsilon_0\epsilon_{Si}}{\epsilon_0^2\epsilon_{Ox}^2})^2 - V_{DG}^2} \quad (3.21)$$

Der Potentialunterschied zwischen Drain und Gate wird als V_{DG} bezeichnet. Bei einer Kanalweite von $W = 500 \mu\text{m}$, ein Überlappbereich von $L_{DG} = 1 \mu\text{m}$ und einer Siliziumoxiddicke von 20 nm ergibt sich bei einer Spannung $V_{DG} = 4 \text{ V}$ ein Strom I_{GIDL} zu $2,85 \cdot 10^{-21} \text{ A}$. Dabei ist das elektrische Feld $E_{Si} = 6,53 \cdot 10^5 \frac{\text{V}}{\text{cm}}$ und die Spannung $V_{Band} = 0,014 \text{ V}$. Bei einer Oxiddicke von 10 nm beträgt der Strom $I_{GIDL} = 3,06 \cdot 10^{-11} \text{ A}$, das elektrische Feld $E_{Si} = 1,29 \cdot 10^6 \frac{\text{V}}{\text{cm}}$ und die Spannung $V_{Band} = 0,055 \text{ V}$. Anhand dieser Berechnungen ist ersichtlich, dass durch die abnehmende Oxiddicke das elektrische Feld an der Oberfläche des Überlappbereichs von Drain und Gate zunimmt [Sem02]. Dies führt zu einer Zunahme des Leckstroms I_{GIDL} . Zusätzlich wird dieser Wert durch die Zunahme des Potentialunterschieds zwischen Drain und Gate V_{DG} und durch die Länge des Überlappbereichs L_{DG} zwischen diesen zwei Gebieten vergrößert.

Unterschwellbereich $V_{GS} < V_{Tn}$ bzw. $V_{GS} > V_{Tp}$

Dieser Bereich gilt, wenn die Gate-Source Spannung V_{GS} kleiner als die Einsatzspannung V_T des Transistors ist ($V_{GS} < V_{Tn}$ bzw. $V_{GS} > V_{Tp}$). Dabei ist V_{Tn} die Einsatzspannung eines n-Kanal und V_{Tp} die eines p-Kanal MOSFETs. In diesem Bereich besteht eine exponentielle Abhängigkeit des Drainstroms I_D von der Gate-Source Spannung V_{GS} .

$$I_{Dn} \approx I_0 \cdot \exp\left[\frac{V_{GS} - V_{Tn}}{n \cdot V_{Th}}\right] \quad (3.22)$$

$$I_{Dp} \approx -I_0 \cdot \exp\left[\frac{-(V_{GS} - V_{Tp})}{n \cdot V_{Th}}\right] \quad (3.23)$$

$$n = 1 + \frac{C'_{Sc}}{C'_{Ox}} \quad (3.24)$$

Diese Abhängigkeit ist in der logarithmischen Darstellung der Transferkennlinien ersichtlich (Abb. 3.3(a) und Abb. 3.3(c)).

Aktiver Bereich $V_{GS} > V_{Tn}$ und $0 < V_{DS} \leq V_{GS} - V_{Tn}$ bzw. $V_{GS} < V_{Tp} < 0$ und $V_{GS} - V_{Tp} \leq V_{DS} < 0$

Im aktiven Bereich wird der Drainstrom I_D mit Hilfe der Gradual Channel und der Charge Sheet Approximation [Bre78] nach folgender Gleichung beschrieben.

$$I_{Dn} = \mu_n C'_{Ox} \frac{W}{L} \left[(V_{GS} - V_{Tn}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (3.25)$$

$$I_{Dp} = -\mu_p C'_{Ox} \frac{W}{L} \left[(V_{GS} - V_{Tp}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (3.26)$$

Dabei ist μ_n die Beweglichkeit der Elektronen bzw. μ_p die der Löcher im Kanal. Dieser Arbeitsbereich ist sowohl in der Transfer- als auch in der Ausgangskennlinie dargestellt (Abb. 3.3). Die Gradual Channel und die Charge Sheet Approximation sagen aus, dass die Spannung zwischen Source und Drain linear abfällt. Dadurch nimmt die Inversionsladung mit abnehmender Spannung ab. Aus diesem Grund ist die Ladung positionsabhängig, was schließlich zu den Gleichungen 3.25 und 3.26 führt.

Der aktive Bereich unterteilt sich zudem in ein lineares und nicht lineares Gebiet.

Linearer Bereich $V_{DS} \ll V_{GS} - V_{Tn}$

In diesem Bereich verhält sich der MOSFET wie ein spannungsgesteuerter Widerstand, dessen Höhe von der Gate-Source Spannung V_{GS} bestimmt wird. Aufgrund der kleinen Drain-Source-Spannung V_{DS} dominiert der lineare Teil der Gleichung 3.25. Dadurch ergeben sich für den linearen Bereich eines n-Kanal bzw. p-Kanal Transistors folgende Gleichungen.

$$I_{Dn} \approx \mu_n C'_{Ox} \frac{W}{L} V_{DS} \cdot (V_{GS} - V_{Tn}) \quad (3.27)$$

$$I_{Dp} \approx -\mu_p C'_{Ox} \frac{W}{L} V_{DS} \cdot (V_{GS} - V_{Tp}) \quad (3.28)$$

Nicht linearer Bereich $V_{DS} > V_{GS} - V_{Tn}$

Wird die Drain-Source Spannung V_{DS} weiter vergrößert, so überwiegt der quadratische Zusammenhang zwischen dem Drainstrom I_D und V_{DS} aus Gleichung 3.25. In diesem Bereich sind die Gleichungen 3.25 und 3.26 gültig.

Der Unterschied zwischen diesen beiden Bereichen ist anhand der Ausgangskennlinie aus Abbildung 3.3(b) und 3.3(d) ersichtlich.

Sättigungsbereich $V_{GS} > V_{Tn}$ und $V_{DS} \geq V_{GS} - V_{Tn} > 0$ bzw. $V_{GS} < V_{Tp} < 0$ und $0 > V_{GS} - V_{Tp} \geq V_{DS}$

Durch weiteres erhöhen der Drain-Source Spannung V_{DS} wird bei $V_{DS} = V_{GS} - V_{Tn}$ bzw. $V_{DS} = V_{GS} - V_{Tp}$ der Sättigungsstrom I_{DSat} erreicht. Dabei wird der Kanal an

der Drainseite abgeschnürt, was als Pinch-Off-Point bzw. Abschnürpunkt bezeichnet wird. An dieser Stelle ist die Voraussetzung für die Gradual-Channel-Approximation nicht gegeben. Solange dieser Punkt in der Nähe des Draingebiets ist, gilt die Annahme $\frac{\partial I_D}{\partial V_{DS}} = 0$. Dadurch ergibt sich aus Gleichungen 3.25 und 3.26 der Sättigungsstrom für einen n-Kanal bzw. p-Kanal Transistor wie folgt.

$$I_{Dn} = I_{DSat} = \frac{\mu_n C'_{Ox}}{2} \frac{W}{L} (V_{GS} - V_{Tn})^2 \quad (3.29)$$

$$I_{Dp} = I_{DSat} = -\frac{\mu_p C'_{Ox}}{2} \frac{W}{L} (V_{GS} - V_{Tp})^2 \quad (3.30)$$

Ein gutes Sättigungsverhalten ist bei analogen Schaltungen erwünscht, da es die Arbeitspunkteinstellung erleichtert. Durch weiteres Erhöhen der Drain-Source Spannung V_{DS} ($V_{DS} > V_{DSat}$) bildet sich eine Verarmungszone zwischen dem Inversionskanal und dem Draingebiet aus. Dies geschieht, da die Elektronen vom Kanal zu stark ins Drain-

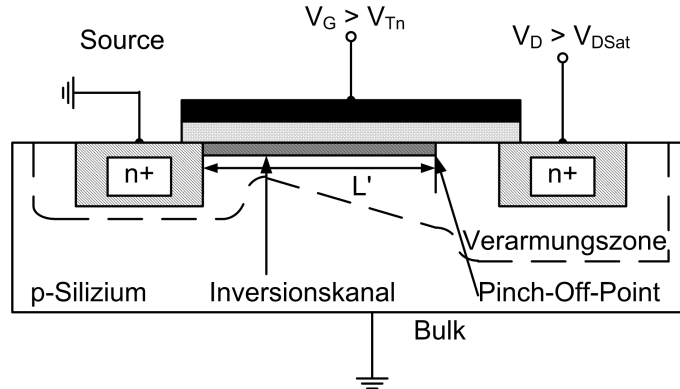


Abbildung 3.5: Querschnitt eines MOSFETs im Sättigungsbereich

gebiet abgezogen werden. Aus diesem Grund verschiebt sich der Abschnürpunkt des Kanals immer weiter weg vom Draingebiet (Abb. 3.5). Der Stromtransport findet durch zwei Mechanismen statt. Im Inversionskanal findet eine Driftbewegung der Elektronen statt. Damit die Elektronen das Draingebiet erreichen, müssen sie durch die Verarmungszone diffundieren. Durch Erhöhen der Drain-Source Spannung V_{DS} nimmt die Diffusion der Ladungsträger zu, was zu einem schwachen Anstieg des Drainstroms I_D führt. Dieses Verhalten wird als Kanallängenmodulation bzw. Early-Effekt bezeichnet. Durch die Tatsache, dass dies zu einer Verringerung der effektiven Kanallänge L' führt, ist diese in die Rechnung mit einzubeziehen. Dieser Wert ist kleiner als die geometrische Kanallänge, da sich eine Verarmungszone vom Drain an den Kanal anschließt. Für die L' ergibt sich nun folgender Ausdruck.

$$L' = L(1 - \lambda V_{DS}) \quad (3.31)$$

Dabei ist λ_n und λ_{ph} der sogenannte Kanallängenmodulationsfaktor für den n-Kanal bzw. p-Kanal Transistor, der abhängig von der Kanallänge L Werte im Bereich von $0,02 \text{ V}^{-1}$

bis $0,005 \text{ V}^{-1}$ erreicht [Scm99]. Dadurch ergibt sich für den n-Kanal die Gleichung 3.32 und für den p-Kanal die Gleichung 3.33.

$$I_{DSatn} = \frac{\mu_n C'_{Ox}}{2} \frac{W}{L(1 - \lambda_n V_{DS})} (V_{GS} - V_{Tn})^2 \quad (3.32)$$

$$I_{DSatp} = -\frac{\mu_p C'_{Ox}}{2} \frac{W}{L(1 - \lambda_{ph} V_{DS})} (V_{GS} - V_{Tp})^2 \quad (3.33)$$

Die beiden Gleichungen können vereinfacht werden wenn $\lambda V_{DS} \ll 1$ ist.

$$I_{DSatn} \approx \frac{\mu_n C'_{Ox}}{2} \frac{W}{L} (1 + \lambda_n V_{DS}) (V_{GS} - V_{Tn})^2 \quad (3.34)$$

$$I_{DSatp} \approx -\frac{\mu_p C'_{Ox}}{2} \frac{W}{L} (1 + \lambda_{ph} V_{DS}) (V_{GS} - V_{Tp})^2 \quad (3.35)$$

MOS-Transistortypen

Typ	Symbol	Übertragungs- charakteristik	Ausgangskennlinie
n-Kanal selbst- leitend			
n-Kanal selbst- sperrend			
p-Kanal selbst- leitend			
p-Kanal selbst- sperrend			

Abbildung 3.6: Kennlinien und Symbole für verschiedene MOSFET-Typen

Die verschiedenen MOSFETs werden nach Abbildung 3.6 in verschiedene Gruppen eingeteilt. Dabei unterscheidet man grundsätzlich zwischen n-Kanal und p-Kanal Transistoren. Des Weiteren lassen sich diese dann noch in selbstleitend (depletion) und selbstsperrend (enhancement) unterteilen. Man spricht von einem selbstleitenden Transistor, wenn dieser ohne äußere Gate-Source Spannung V_{GS} im eingeschalteten Zustand ist. Dies erreicht man dadurch, dass der Kanal beim NMOSFET schwach n-dotiert und beim PMOSFET schwach p-dotiert ist. Der MOSFET sperrt, wenn eine negative bzw. beim p-Kanal Typ eine positive Gate-Source Spannung V_{GS} angelegt wird. Die Einsatzspannung des n-Kanals V_{Tn} ist demzufolge negativ, die des p-Kanals V_{Tp} ist positiv.

Als selbstsperrend bezeichnet man einen Transistor, der ohne äußere Gate-Source Spannung V_{GS} sperrt. Durch Anlegen einer ausreichend hohen positiven (bzw. negativen beim p-Kanal) Gate-Source Spannung V_{GS} , gelangt die MOS-Struktur in Inversion, was einen Stromfluss zwischen Source und Drain ermöglicht. In diesem Fall besitzt die Einsatzspannung des NMOSFETs V_{Tn} ein positives und die des PMOSFETs V_{Tp} ein negatives Vorzeichen. Der Unterschied zwischen einem selbstsperrenden und selbstleitenden Transistor kann aufgrund der unterschiedlichen Einsatzspannung V_T nur anhand der Transferkennlinie erfolgen.

Anhand der Abbildung 3.6 ist zu erkennen, dass der Unterschied zwischen einem n-Kanal und p-Kanal Transistor darin liegt, dass sowohl der Drainstrom I_D als auch die Einsatzspannung V_T umgekehrte Vorzeichen haben. Dies gilt wenn beide entweder selbstleitend oder selbstsperrend sind.

3.3 Kenngrößen

Zur Charakterisierung eines MOS-Transistors gehören neben den Kennlinien auch diverse andere Kenngrößen. In diesem Abschnitt wird auf die wichtigsten Kennzahlen und deren Bestimmung und Berechnung, sowohl für den n-Kanal als auch für den p-Kanal Transistor, eingegangen.

Gegenleitwert g_m

Für die Bestimmung vieler hier vorgestellter Parameter des Transistors ist die Ermittlung des Gegenleitwerts bzw. Transconductance g_m notwendig. Dafür wird der Betrag des Drainstroms I_D aus der Transferkennlinie nach der Gate-Source Spannung V_{GS} differenziert (Abb. 3.7). Die so gewonnene Steilheit, kennzeichnet die Steigung der Übertragungskennlinie des MOSFETs, und gibt dadurch die Steuerwirkung der Gate-Source Spannung V_{GS} an. Im Sättigungsbereich ergibt sich für den n-Kanal MOSFET, unter Vernachlässigung der Kanallängenmodulation, folgende Gleichung:

$$g_m = \frac{\partial I_{Dn}}{\partial V_{GS}} = \frac{\partial \frac{\mu_n C'_{ox}}{2} \frac{W}{L} (V_{GS} - V_{Tn})^2}{\partial V_{GS}} = C'_{ox} \mu_n \frac{W}{L} (V_{GS} - V_{Tn}) \quad (3.36)$$

Im aktiven Bereich ergibt sich nach Gleichung 3.25 folgender Zusammenhang:

$$g_m = \frac{\partial I_{Dn}}{\partial V_{GS}} = C'_{ox} \mu_n \frac{W}{L} V_{DS} \quad (3.37)$$

Die Gleichungen für einen p-Kanal Transistor sind identisch.

$$g_m = \frac{\partial I_{Dp}}{\partial V_{GS}} = -C'_{ox}\mu_p \frac{W}{L}(V_{GS} - V_{Tp}) \quad (3.38)$$

$$g_m = \frac{\partial I_{Dp}}{\partial V_{GS}} = -C'_{ox}\mu_p \frac{W}{L}V_{DS} \quad (3.39)$$

Mit zunehmender Gate-Source Spannung V_{GS} werden die Elektronen zur Oberfläche beschleunigt, da der Inversionskanal dünner wird. Aufgrund von Ladungen an der Grenzfläche und nicht Periodizität nimmt die Streuung der Ladungsträger zu. Dies führt zum Absinken der Beweglichkeit der Ladungsträger, was zu der abnehmenden Steilheit nach Erreichen des Maximums führt (Abb. 3.7). Die Lage dieses Maximums stimmt nach [Lon67] mit dem Abschnürpunkt des Kanals (Pinch-of-Point) überein. Dieser Punkt ist das Steilheitsmaximum und wird im weiteren Verlauf der Arbeit als $g_{m,max}$ bezeichnet.

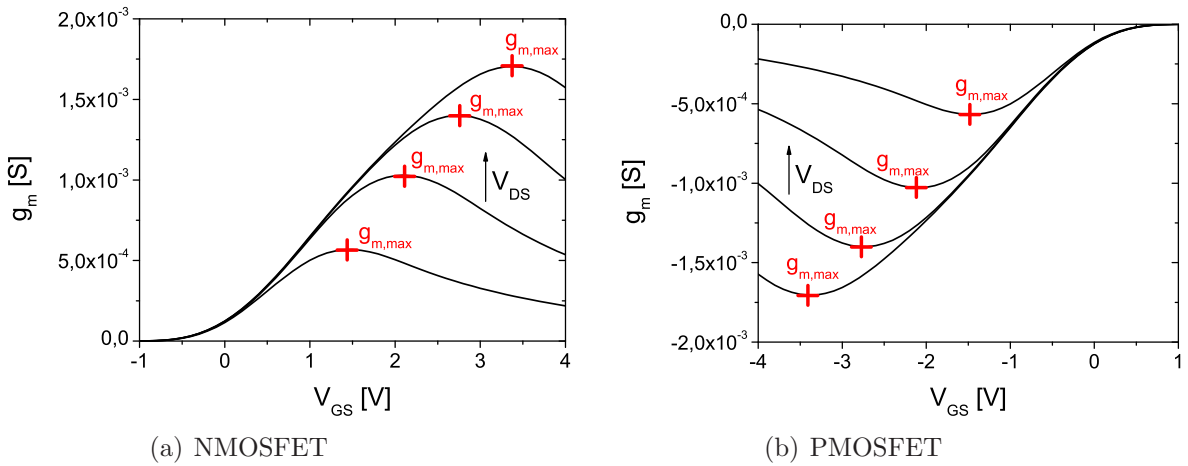


Abbildung 3.7: Typische experimentelle Kennlinie des Gegenleitwerts g_m

Einsatzspannung V_{Tn} , V_{Tp}

Anhand der physikalischen Betrachtung der MOS-Struktur (Kap. 2) wird in Abhängigkeit der grenzflächennahen Bandverbiegung die starke Inversion nach Gleichung 3.40 als Einsatzspannung definiert [Bro53].

$$\psi_S = 2\psi_B = 2V_{Th} \ln \frac{N_A}{n_i} \quad (3.40)$$

An dieser Stelle ist die neutrale Majoritätsträgerdichte gleich der Oberflächenminoritätsträgerdichte $n(\text{surface}) = p(\text{bulk})$. Mit Hilfe des MOS-Banddiagramms lässt sich nun daraus unter Miteinbeziehung des Potentials über dem Gatedielektrikum und der Annahme, dass am Substrat $V_B = 0$ V anliegt für einen n-Kanal MOSFET die Formel 3.41 aufstellen.

$$V_{Tn} = V_{FB} + |2\psi_B| + \gamma_n \sqrt{|2\psi_B|} \quad (3.41)$$

Dabei wird γ_n als Substratsteuerfaktor, der alle Materialparameter des Systems beinhaltet, bezeichnet [Scm99].

$$\gamma_n = \frac{\sqrt{2qN_A\epsilon_0\epsilon_{Si}}}{C'_{Ox}} \quad (3.42)$$

Für den p-Kanal Transistor ergibt sich folgender Zusammenhang für die Einsatzspannung V_{Tp} und den Substratsteuerfaktor γ_p .

$$V_{Tp} = V_{FB} - |2\psi_B| - \gamma_p\sqrt{|2\psi_B|} \quad (3.43)$$

$$\gamma_p = \frac{\sqrt{2qN_D\epsilon_0\epsilon_{Si}}}{C'_{Ox}} \quad (3.44)$$

Dabei steht N_D für die Donatordichte im Substrat. Anhand dieser Formeln ist ersichtlich, dass sich die Einsatzspannung durch die Dotierung des Bulk-Substrats und die Dicke des Gatedielektrikums in der Produktion beeinflussen lassen.

Die Bestimmung der Einsatzspannung V_T aus einer gemessenen MOSFET-Kennlinie ist nicht ohne weiteres möglich. Da der Punkt an dem der Transistor vom Unterschwellbereich in den aktiven Bereich übergeht nicht exakt ersichtlich ist. Aus diesem Grund werden, am Beispiel eines n-Kanal Transistors, zwei Verfahren vorgestellt.

Die Lineare Extrapolation über dem Drainstrom I_D ist die bekannteste Methode zur Bestimmung der Einsatzspannung. Damit der Betrieb des MOSFETs im linearen Bereich sichergestellt ist, wird für niedrige Drain-Source Spannungen ($V_{DS} \approx 50 - 100 \text{ mV}$) der Drainstrom I_D linear über der Gate-Source Spannung V_{GS} aufgetragen [Sun80] (Abb. 3.8(a) und 3.8(c)).

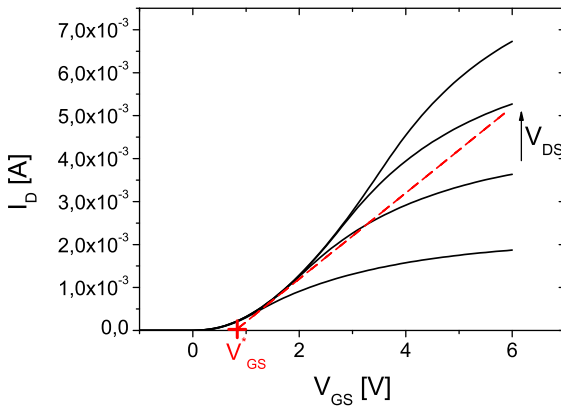
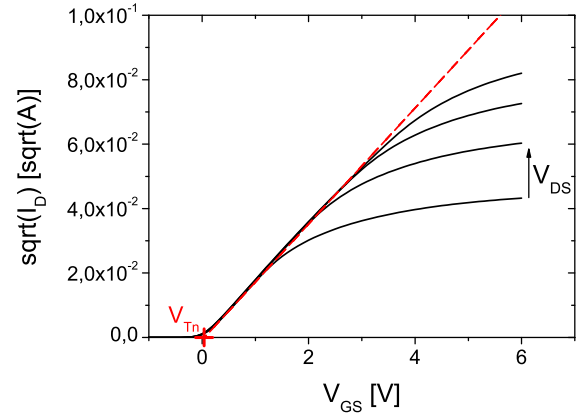
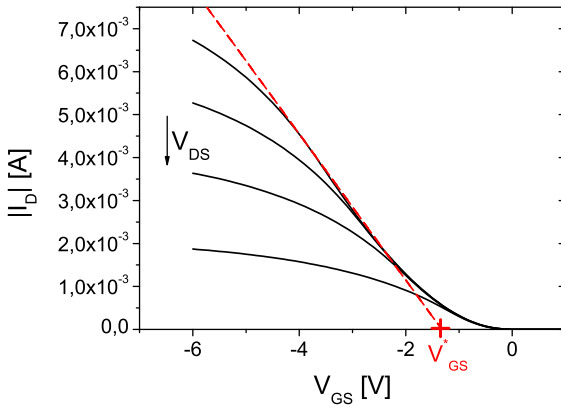
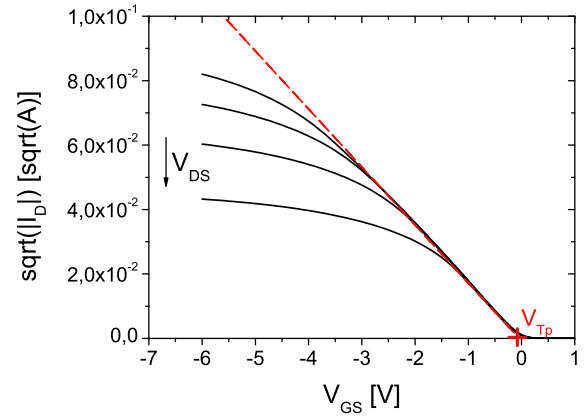
Als nächstes wird das Maximum des Gegenleitwerts $g_{m,max}$ der differenzierten Transferkennlinie bestimmt. Anschließend wird die korrespondierende Gate-Source Spannung V_{GS} abgelesen und der zugehörige Drainstrom I_{D0} ermittelt. Der Schnittpunkt mit der Abszisse erfolgt mit der Geraden, die durch die Punkte $I_{D1} = 0,2 \cdot I_{D0}$ und $I_{D2} = 0,9 \cdot I_{D0}$ bestimmt ist. Der so gewonnene Spannungswert wird als V_{GS}^* bezeichnet und ergibt mit

$$V_T = V_{GS}^* - \frac{V_{DS}}{2} \quad (3.45)$$

der angelegten Drain-Source Spannung V_{DS} die Einsatzspannung V_T des Transistors.

Zu beachten ist, dass diese Methode nur für den linearen Bereich des MOSFETs gültig ist. Des Weiteren zeigt sie eine starke Abhängigkeit von parasitären Widerständen und Degradation der Kanalbeweglichkeit [Wan87]. Dabei ist diese Methode unabhängig von Materialparametern und Geometrien.

Die Lineare Extrapolation über $\sqrt{I_D}$ ist eine Methode, die im Sättigungsbereich des MOSFETs arbeitet [Lee82]. Um sicher zu gehen, dass der Transistor in diesem Bereich arbeitet müssen die Gebiete zwischen Gate und Drain kurzgeschlossen werden. Dadurch ist es möglich die Einsatzspannung V_T des MOSFETs unter Bedingungen zu bestimmen, die näher am Arbeitspunkt des Bauelements liegen. Die Vorgehensweise bei

(a) Linear I_D über V_{GS} für n-Kanal MOSFET(b) $\sqrt{I_D}$ über V_{GS} für n-Kanal MOSFET(c) Linear I_D über V_{GS} für p-Kanal MOSFET(d) $\sqrt{I_D}$ über V_{GS} für p-Kanal MOSFET**Abbildung 3.8:** Bestimmung der Einsatzspannung eines Langkanal-MOSFETs

dieser Methode ist vom Prinzip identisch zu der vorher beschriebenen linearen Extrapolation über dem Drainstrom I_D . Der Unterschied dabei ist, dass in diesem Fall die Wurzel über den Drainstrom gezogen wird, da der Strom im Sättigungsbereich I_{Dsat} eine quadratische Abhängigkeit zur Gate-Source Spannung V_{GS} aufweist (Abb. 3.8(b) und 3.8(d)). Mit Hilfe des Gegenleitwertmaximas $g_{m,max}$ wird die korrespondierende Gate-Source Spannung V_{GS} und der zugehörige Strom $\sqrt{I_{D0}}$ ermittelt. Anschließend wird wieder eine Gerade durch die Punkte $\sqrt{I_{D1}} = 0,2 \cdot \sqrt{I_{D0}}$ und $\sqrt{I_{D2}} = 0,9 \cdot \sqrt{I_{D0}}$ gelegt, die mit der Abszisse einen Schnittpunkt bildet. Die Einsatzspannung V_T ist nun durch diesen Punkt bestimmt. Die Abhängigkeit von seriellen Widerständen und die Degradation der Kanalbeweglichkeit ist bei dieser Methode gegeben [Ast96].

Der Unterschied der beiden Methoden beläuft sich darauf, dass die Methode nach der linearen Extrapolation über I_D abhängig von der Drain-Source Spannung V_{DS} ist. Die zweite Methode zeigt dieses Verhalten nach den Ergebnissen von [Fab09] nicht auf.

Unterschwelligsteigung S

Die Unterschwelligsteigung oder auch Subthreshold Slope S genannt, beschreibt das Verhalten eines MOSFETs unterhalb der Einsatzspannung V_T und gibt die maximale Stromverstärkung eines Transistors in diesem Bereich an. Der dabei auftretende exponentielle Anstieg des Drainstroms I_D ist an einer Transferkennlinie ablesbar (Abb. 3.3(a) und 3.3(c)). Der Subthreshold Slope S entspricht der Steigung der Tangente, die an den steigenden Ast der Kennlinie angelegt wird. Die Einheit der Unterschwelligsteigung ist Volt pro Dekade [V/dek]. Dabei beschreibt Dekade die Änderung des Stromwerts um den Faktor 10. Diese Kennzahl verdeutlicht die Fähigkeit des MOSFETs vom ausgeschalteten Zustand (Off-Strom) in den eingeschalteten Zustand (On-Strom) zu wechseln. Die Unterschwelligsteigung S lässt sich analytisch durch

$$S = V_{Th} \ln(10) \left(1 + \frac{C'_{Ov} + C'_{Sc} + C'_{it}}{C'_{Ox}} \right) \quad (3.46)$$

definieren [Tau98]. Anhand dieser Formel sieht man die starke Abhängigkeit dieser Kenngröße von den flächennormierten parasitären Kapazitäten C'_p . Dazu gehören die Überlappkapazität C'_{Ov} , die durch Bauelementgeometrien sowie durch die Unterdiffusion von Source und Drain entsteht, die Kapazität der Raumladungszone C'_{Sc} und die Grenzflächenkapazität C'_{it} , die bedingt durch unbesetzte Grenzflächenzustände auftritt. Die untere Grenze der Unterschwelligsteigung ist bei der Annahme des idealen Falls:

$$S(T = 300 \text{ K}, C'_{Ox} \gg C'_p) \approx 60 \frac{\text{mV}}{\text{dek}} \quad (3.47)$$

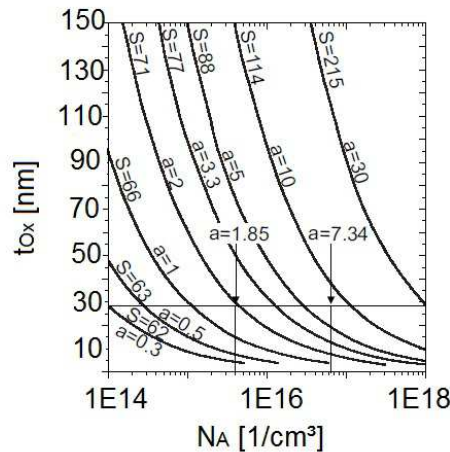


Abbildung 3.9: Oxiddicke t_{Ox} aufgetragen über die Akzeptordichte N_A für verschiedene Werte des geometrischen Parameters a [Bre79]

Die real erreichbaren Werte für die Unterschwelligsteigung S können auch mit Hilfe des geometrischen Parameters a aus der Abbildung 3.9 abgelesen werden [Bre79].

$$a = \frac{\sqrt{2}\epsilon_{Si}t_{Ox}}{\epsilon_{Ox}\lambda_p} \quad (3.48)$$

Dabei ist die Abhängigkeit des Kennwertes von der Dotierdichte N_A und der Oxiddicke t_{Ox} ersichtlich (Abb. 3.9). Desto größer die Dotierung des Bulks ist, desto größer wird der Wert der Unterschwellsteigung.

Mit Hilfe der Unterschwellsteigung S und der Kenntnis der Faktoren C'_{Ox} , C'_{Ov} und C'_{Sc} lassen sich Rückschlüsse auf die Güte der Grenzfläche $Si - SiO_2$ ziehen.

Kanalbeweglichkeit μ

Durch Streuprozesse wird die Beweglichkeit der Ladungsträger in Festkörpern limitiert. Dies liegt an der Streuung der Elektronen an Grenzflächenrauigkeiten, Störstellen und Grenzflächenphononen. Durch Oberflächenrauigkeiten und Wechselwirkungen mit den Grenzflächenzuständen, kommt es zu einer weiteren Reduzierung der Beweglichkeit der Ladungsträger im Inversionskanal eines MOSFETs. Aufgrund der Tatsache, dass man keine geschlossene analytische Beschreibung für diesen Prozess hat, greift man auf empirische Daten zurück. In der Tabelle 3.1 sind für n-Kanal und p-Kanal Transistoren, typische Werte für die Beweglichkeit der Ladungsträger im Inversionskanal dargestellt [Pau94].

	Elektronen (n-Kanal MOSFET)	Löcher (p-Kanal MOSFET)
Kanalbeweglichkeit $\mu \left[\frac{\text{cm}^2}{\text{Vs}} \right]$	650	170
Volumenbeweglichkeit $\mu_V \left[\frac{\text{cm}^2}{\text{Vs}} \right]$	1100...1300	500...600

Tabelle 3.1: Beweglichkeit für Elektronen und Löcher [Pau94]

Neben dieser Annahme lässt sich die Beweglichkeit in Abhängigkeit des effektiven grenzflächennahen elektrischen Feldes E_{eff} darstellen [Tak94].

$$\mu_{eff} = \frac{\mu_0}{1 + (\alpha E_{eff})^\gamma} \quad (3.49)$$

Dabei ist μ_0 abhängig von der Dotierung des Substrats bzw. der Wanne und lässt sich aus [Sze81] bestimmen. Die beiden anderen Parameter sind abhängig von dem Transistortyp und sind in Tabelle 3.2 angegeben. Das dafür notwendige elektrische Feld E_{eff} , berechnet

	n-Kanal	p-Kanal
$1/\alpha$	$7 \cdot 10^5$	$2,7 \cdot 10^5$
γ	1,69	1

Tabelle 3.2: Nach [Che96] Parameter für Kanalbeweglichkeit μ_{eff}

sich wie folgt:

$$E_{eff} = \frac{Q'_{Sc} + \eta Q'_{inv}}{\epsilon_0 \epsilon_{Si}} \quad (3.50)$$

Dabei ist Q'_{Sc} die flächennormierte Ladung der Raumladungszone und Q'_{inv} die der Inversionsschicht.

$$Q'_{Sc} = -qN_A x_{Sc,max} \quad (3.51)$$

$$Q'_{inv} = C'_{Ox}(V_{GS} - V_T) \quad (3.52)$$

Die Konstante η ist nach [Tak94] für Elektronen $1/2$ und für Löcher $1/3$. Dadurch ergibt sich für eine Dotierung des Substrats von $1 \cdot 10^{18} \frac{1}{\text{cm}^3}$ eine Beweglichkeit von $234 \frac{\text{cm}^2}{\text{Vs}}$. Abbildung 3.10 stellt die Beweglichkeit in Abhängigkeit des grenzflächennahen elektrischen Feldes dar.

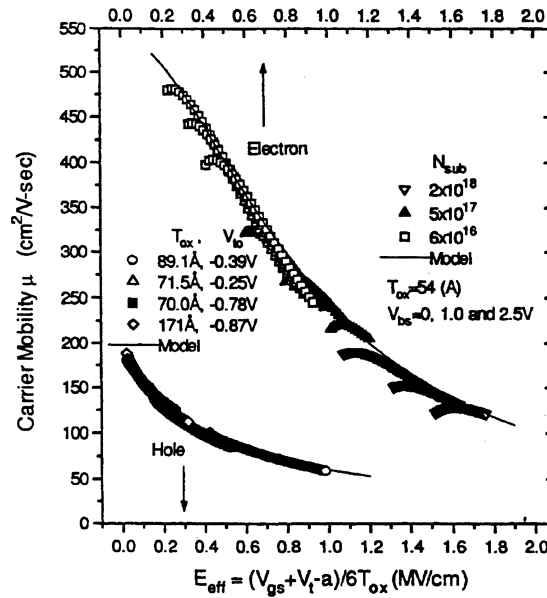


Abbildung 3.10: Effektive Beweglichkeit für Elektronen und Löcher [Che96]

Die Kanalbeweglichkeit lässt sich messtechnisch aus dem Gegenleitwertsmaximum $g_{m,max}$ für niedrige Drain-Source Spannungen ($V_{DS} = 50 - 100 \text{ mV}$) bestimmen [Sun80]. Im linearen Bereich des MOSFETs ist die Beweglichkeit der Ladungsträger nicht von der Diffusion der Ladungsträger überlagert, da der Driftstrom des Bauteils ausschlaggebend für den Stromtransport ist. Dadurch ergibt sich sowohl für den n-Kanal als auch für den p-Kanal Transistor folgende Definition [Sel90].

$$\mu = \frac{g_{m,max} L}{W C'_{Ox} V_{DS}} \quad (3.53)$$

Bei hohen Gatefeldstärken nimmt die Beweglichkeit aufgrund von Streuung der Ladungsträger an Grenzflächenrauigkeit, Störstellen und Grenzflächenphononen ab. Daraus ergibt sich folgender Zusammenhang für die Grenzflächenbeweglichkeit [Scm99].

$$\mu_S = \frac{\mu_0}{1 + \frac{\vartheta}{t_{Ox}}(V_{GS} + V_T)} \quad (3.54)$$

Der Parameter ϑ spiegelt die Reduktion der Grenzflächenbeweglichkeit wieder und liegt für einen n-Kanal Transistor bei $2 \frac{\text{nm}}{\text{V}}$.

Effektive Kanallänge L_{eff} und der Source - Drain Widerstand R_{SD}

Die effektive Kanallänge ist vor allem durch die Unterdiffusion des Gates, verursacht durch die Dotierung von Source und Drain bestimmt (Abb. 3.11). Für die Ermittlung

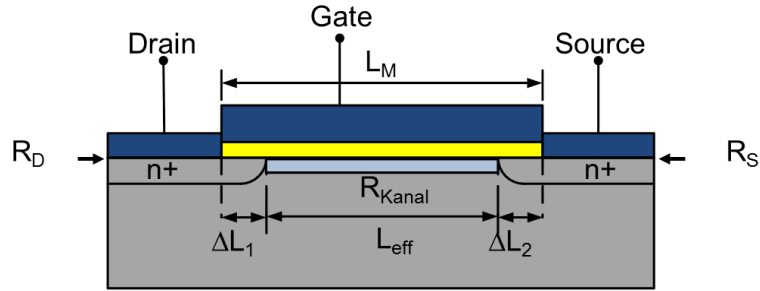


Abbildung 3.11: Schematische Zeichnung mit Definition der effektiven Kanallänge

der Kenngröße kann entweder eine Kombination von Technologiedaten und Analyseverfahren oder eine messtechnische Bestimmung verwendet werden. Dabei wird die effektive Kanallänge L_{eff} wie folgt definiert,

$$L_{eff} = L_M - \Delta L \quad (3.55)$$

wobei L_M die Kanallänge, die durch die Maske bestimmt wird und ΔL die Unterdiffusion unter dem Gate ist.

Für die Messmethode, die auf die elektrische Messung des Kanalwiderstands zurückgreift, gibt es mehrere bekannte Verfahren [Ngb90]. In dieser Arbeit wird auf die Methode nach Terada und Muta eingegangen [Ter79], da diese die bekannteste Methode ist. Dieses Verfahren arbeitet im aktiven Bereich des Transistors und benötigt Bauelemente mit gleicher Kanalweite W , aber unterschiedlicher Kanallänge L .

Der für diese Methode wichtige Gesamtwiderstand R_{Ges} des Bauteils wird wie folgt definiert.

$$R_{Ges} = R_{SD} + R_{Kanal} \quad (3.56)$$

$$R_{SD} = R_S + R_D \quad (3.57)$$

Dabei sind R_S bzw. R_D die Serienwiderstände von Source und Drain, R_{Kanal} ist der Widerstand im Kanal. Dabei wird angenommen, dass der Serienwiderstand R_{SD} für alle gemessenen Bauteile auf einem Chip konstant ist. Dies gilt nur, wenn die Kontaktlöcher alle gleich groß sind.

Der Gesamtwiderstand R_{Ges} wird dabei messtechnisch durch Anlegen einer Tangente an der Steigung der Ausgangskennlinie bestimmt (Abb. 3.12(a)). Dieser Wert wird dann für unterschiedliche Gate-Source Spannungen V_{GS} über der Kanallänge L_M im Terada Muta Plot aufgetragen (Abb. 3.12(b)). Aus dem Schnittpunkt der Geraden von

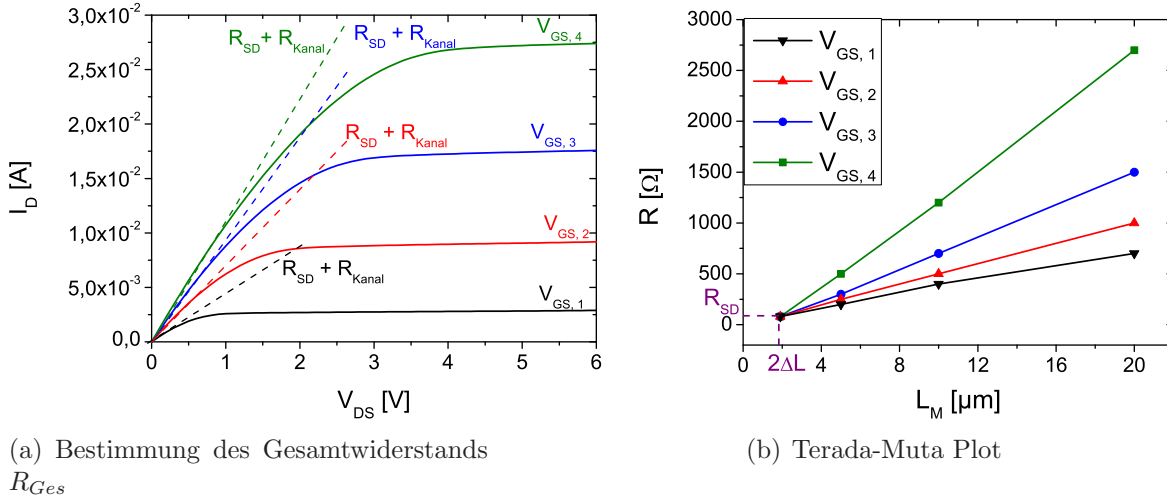


Abbildung 3.12: Bestimmung der effektiven Kanallänge L_{eff}

unterschiedlichen Transistoren mit verschiedener Kanallänge, wird die Unterdiffusion des Gates ΔL und der Serienwiderstand R_{SD} bestimmt.

Der Widerstand führt zu einem Spannungsabfall an Source und Drain. Dies wiederum führt dazu, dass eine geringere Spannung als angenommen an den Kontakten anliegt. Dadurch ergibt sich für den Drainstrom I_D nach [Ngb90]:

$$I_D \approx C'_{Ox} \mu_n W \frac{(V_{GS} - V_{Tn}) V_{DS}}{L_{eff} + C'_{Ox} W \mu_n R_{SD} (V_{GS} - V_{Tn})} \quad (3.58)$$

Aufgrund des Zusammenhangs kann der gemessene Drainstrom I_D bzw. die Unterschwellsteigung g_m von einem idealen Bauteil abweichen. Mit Hilfe der Gleichung 3.58 lassen sich die Werte für einen gemessenen Transistor korrigieren.

Kapitel 4

CMOS Inverter

Aufgrund des nahezu verlustlosen Arbeitens im statischen Zustand werden die MOS-Feldeffekt Transistoren in der Digitaltechnik vorzugsweise eingesetzt. Das einfachste Bauelement der digitalen Logik ist der Inverter. Dieser besteht aus zwei Transistoren und bildet somit die Grundstruktur für weitere digitale Logikbausteine. Seine Funktion besteht darin das Bit, welches am Eingang anliegt zu invertieren. Dabei unterscheidet man vier Arten von Invertern [Hof03]:

- Verarmungsinverter
- Anreicherungsinverter
- P-Last Inverter
- Komplementär Inverter

Der wichtigste Typ ist der Komplementär Inverter, der auch als CMOS (Complementary-Metal-Oxide-Semiconductor) Inverter bezeichnet wird. In der Literatur wird bei der Erklärung eines Inverters zwischen statischem und dynamischen Verhalten unterschieden [Kan96]. Auf ersteres von beiden und auf den CMOS-Inverter wird in dieser Arbeit eingegangen.

4.1 Aufbau

In Abbildung 4.1 ist das Schaltbild und das zugehörige Logik-Symbol für einen CMOS-Inverter dargestellt. Dabei ist zu erkennen, dass die beiden Transistoren selbstsperrend sind und dass es sich um einen p-Kanal bzw. n-Kanal MOSFET handelt (Kap. 3.2). Der p-Kanal Transistor ist mit seinem Source-Anschluss mit der Versorgungsspannung V_{DD} verbunden. Der zugehörige Source-Anschluss des n-Kanal MOSFETs ist dabei auf Masse (Ground). Betrachtet man den schematischen Aufbau dieses Logikbauteils, so ist zu erkennen, dass beide Source-Anschlüsse mit dem Bulk des jeweiligen Transistors verbunden sind, wodurch keine Substratsteuerwirkung auftritt (Abb. 4.2)(Kap. 3.3). Dabei befindet sich der n-Kanal Transistor in einer p-Wanne (Abb. 4.2). Die beiden Gate-Anschlüsse der Transistoren werden mit einer Leiterbahn verbunden und bilden den Eingang des

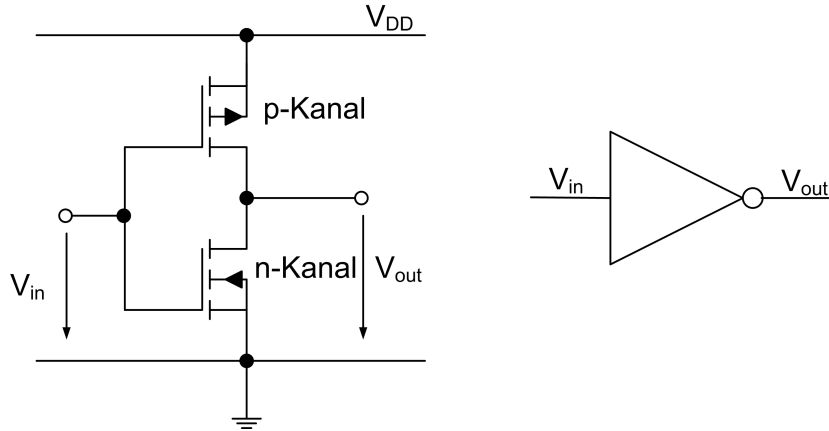


Abbildung 4.1: Schaltbild und Logiksymbol für einen CMOS-Inverter

Inverters. Der zugehörige Ausgang wird durch das Verbinden der beiden Drain-Gebiete ermöglicht. Anhand dieser Verschaltung müssen beide Transistoren selbstsperrend sein, da sonst ein ständiger Stromfluss von V_{DD} zur Masse gegeben wäre. Dies würde auch zu einem undefinierten logischen Zustand führen.

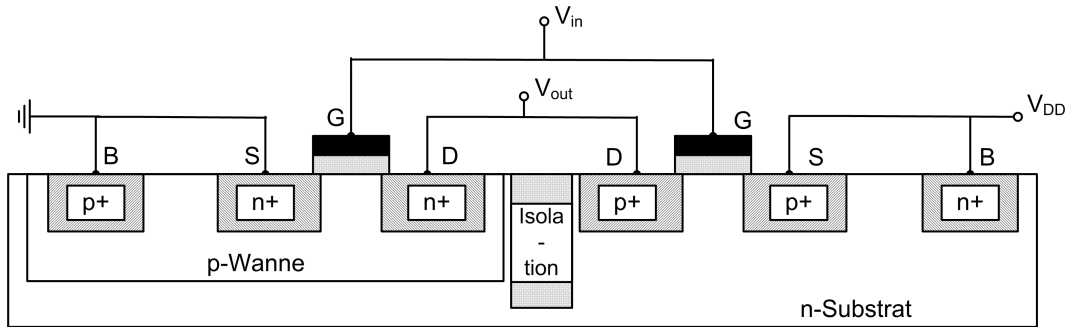


Abbildung 4.2: Schematische Zeichnung eines CMOS Inverters

4.2 Funktionsweise

Die Funktion eines Inverters besteht darin, das Bit zu invertieren. Durch die Tatsache, dass das Bit quantitativ durch die Spannung repräsentiert wird, liegt am Inverter die Eingangsspannung V_{in} an und am Ausgang wird die Spannung V_{out} abgegriffen.

Mit Hilfe des Schaltplans aus Abbildung 4.1 können folgende Zusammenhänge zwischen dem n-Kanal Transistor und den Spannungen V_{in} bzw. V_{out} aufgestellt werden [Kan96].

$$V_{in} = V_{GSn} \quad (4.1)$$

$$V_{out} = V_{DSn} \quad (4.2)$$

Die gleichen Zusammenhänge ergeben sich für den p-Kanal MOSFET, wie folgt [Kan96]:

$$V_{in} = V_{DD} + V_{GSp} \quad (4.3)$$

$$V_{out} = V_{DD} + V_{DSp} \quad (4.4)$$

Wird an den Eingang eine Spannung $V_{in} = V_{DD}$ angelegt, leitet der n-Kanal Transistor, da die Gate-Source Spannung $V_{GSn} = V_{DD}$ ist. In diesem Zustand sperrt der PMOSFET, da seine Gate-Source Spannung $V_{GSp} = 0\text{ V}$ annimmt. Aufgrund der Tatsache, dass der NMOSFET mit der Masse verbunden ist, ergibt sich für die Ausgangsspannung $V_{out} = 0\text{ V}$. Das heißt, das Signal wurde von “High“ zu “Low“ bzw. von “Logisch 1“ auf “Logisch 0“ invertiert.

Um am Ausgang die Spannung $V_{out} = V_{DD}$ abzugreifen, wird am Eingang $V_{in} = 0\text{ V}$ angelegt. Dadurch liegt am Gate des n-Kanal Transistors die Spannung $V_{GSn} = 0\text{ V}$ an, was zu dem Sperrverhalten dieses Transistors führt. Der PMOSFET leitet, da die Spannung $V_{GSp} = -V_{DD}$ ist. Das bedeutet das Signal wurde von “Low“ zu “High“ bzw. von “Logisch 0“ auf “Logisch 1“ invertiert.

Die Abbildung 4.3 zeigt die Übertragungskennlinie, die sogenannte Voltage Transfer Characteristic (VTC), eines Inverters. Dabei wird die Ausgangsspannung V_{out} sowie der durch die Transistoren fließende Gesamtstrom I über der Eingangsspannung V_{in} dargestellt.

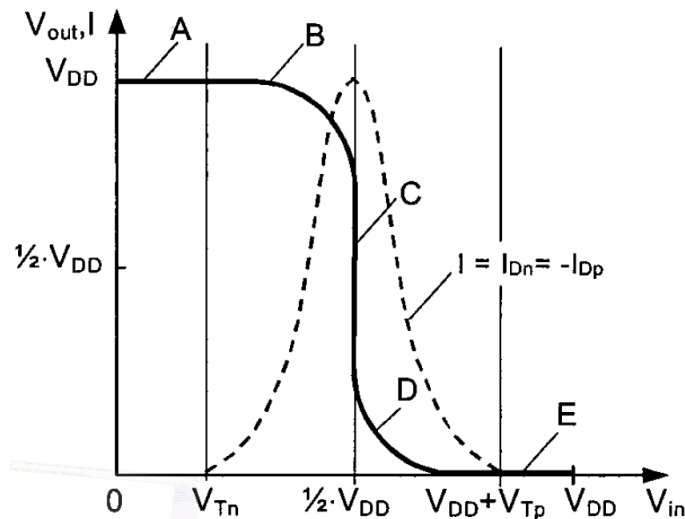


Abbildung 4.3: Übertragungskennlinie mit Gesamtstrom I [Til05]

Anhand dieser Kennlinie lassen sich die Arbeitsbereiche des Inverters definieren.

Bereich A $0 \leq V_{in} \leq V_{Tn}$: In diesem Bereich ist der n-Kanal Transistor im Unterschwellbereich und sperrt. Der PMOSFET ist aufgrund der vorher aufgestellten Gleichungen im aktiven Bereich und leitet. Aus diesem Grund ist $V_{out} = V_{DD}$, da $V_{DSp} = 0\text{ V}$ ist. Der Gesamtstrom ist sehr klein, da nur der Sperrstrom des NMOSFETs fließt.

Bereich B $V_{Tn} \leq V_{in} \leq \frac{1}{2}V_{DD}$: Der p-Kanal Transistor ist weiterhin im aktiven Bereich. Der NMOSFET arbeitet nun im Sättigungsbereich. Dies hat zur Folge, dass der Gesamtstrom I der Schaltung ansteigt. In diesem Zustand ist die Ausgangsspannung V_{out} eine Funktion der Eingangsspannung V_{in} , da $\frac{V_{DD}}{2} + |V_{Tp}| < V_{out} < V_{DD}$ ist.

Bereich C $V_{in} = \frac{1}{2}V_{DD}$: An dieser Stelle erreicht der Gesamtstrom I sein Maximum, da die beiden verschalteten Transistoren sich im Sättigungsbereich befinden. Anders als im vorherigen Bereich, ist hier für $\frac{V_{DD}}{2} - V_{Tn} < V_{out} < \frac{V_{DD}}{2} + |V_{Tp}|$ die Ausgangsspannung V_{out} unabhängig von der Eingangsspannung V_{in} .

Bereich D $\frac{1}{2}V_{DD} < V_{in} < V_{DD} - |V_{Tp}|$: In diesem Bereich ist die Ausgangsspannung V_{out} wieder eine Funktion der Eingangsspannung V_{in} für $0 < V_{out} < \frac{V_{DD}}{2} - V_{Tn}$. Der Gesamtstrom der Schaltung sinkt, da sich der n-Kanal im Trioden- und der p-Kanal Transistor im Sättigungsbereich befindet.

Bereich E $V_{DD} - |V_{Tp}| \leq V_{in} \leq V_{DD}$: In diesem Bereich ist der p-Kanal Transistor im Unterschwellbereich und sperrt. Der NMOSFET ist aufgrund der vorher aufgestellten Gleichungen im aktiven Bereich und leitet. Aus diesem Grund ist $V_{out} = 0$ V, da $V_{DSn} = 0$ V ist. Der Gesamtstrom ist sehr klein, da nur der Sperrstrom des PMOSFETs fließt.

Anhand dieser Kennlinie ist ersichtlich dass der statische Leistungsverbrauch P_{stat} des Inverters in den logischen Zuständen (Bereich A und E) sehr klein ausfällt. Diese wird auch als statischer Leistungsverbrauch bezeichnet.

$$P_{stat} = I_{stat}V_{DD} \quad (4.5)$$

Dabei ist I_{stat} der Off-Strom des jeweiligen Transistors, der im Unterschwellbereich ist. Der größte Strom durch die Schaltung fließt im Umschaltpunkt des Inverters (Bereich C), wodurch an dieser Stelle der höchste Leistungsverbrauch vorherrscht.

4.3 Dimensionierung

Bei der Dimensionierung eines Inverters wird als Kriterium ein symmetrischer Störabstand gewählt. Der Vorteil ist, dass dem Eingang eine Störspannung überlagert werden kann, die aber keine sichtbare Änderung an der Ausgangsspannung nach sich zieht. Dabei werden die beiden Transistoren so eingestellt, dass der Umschaltpunkt bei $\frac{1}{2}V_{DD}$ liegt. Der Umschaltpunkt wird auch als Schwellspannung V_M bezeichnet und findet statt, wenn beide MOSFETs im Sättigungsbereich sind (Bereich C).

Um dies zu erreichen, müssen die Drainströme der beiden Transistoren gleich groß sein.

$$-I_{DSn} = I_{DSp} \quad (4.6)$$

Aus diesem Grund können die beiden Gleichungen 3.29 und 3.30 aus Kapitel 3.2 gleichgesetzt werden.

$$-\frac{\mu_n C'_{Ox}}{2} \frac{W_n}{L_n} (V_{GSn} - V_{Tn})^2 = -\frac{\mu_p C'_{Ox}}{2} \frac{W_p}{L_p} (V_{GSp} - V_{Tp})^2 \quad (4.7)$$

Mit der Annahme, dass

- $V_{GSn} = -V_{GSp} = \frac{V_{DD}}{2}$
- $V_{Tn} \approx -V_{Tp}$
- $L_n = L_p$

ist, ergibt sich der folgende Zusammenhang.

$$W_n \cdot \mu_n = W_p \cdot \mu_p \quad (4.8)$$

Mit dieser Abhängigkeit lassen sich folgende drei Fälle unterscheiden:

1. $V_M = \frac{V_{DD}}{2}$ wenn $W_n \cdot \mu_n = W_p \cdot \mu_p$
2. $V_M < \frac{V_{DD}}{2}$ wenn $W_n \cdot \mu_n > W_p \cdot \mu_p$
3. $V_M > \frac{V_{DD}}{2}$ wenn $W_n \cdot \mu_n < W_p \cdot \mu_p$

Dabei wird der zweite Fall als Störung "0" und der dritte als Störung "1" definiert (Abb. 4.4). Nur der erste Fall liefert einen symmetrischen Inverter. Um diese Bedingung

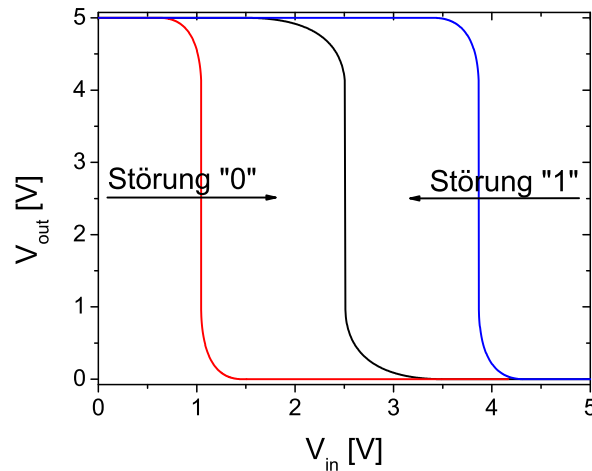


Abbildung 4.4: Kennlinie eines Inverters mit Störungen

zu erfüllen, muss die Kanalweite W_p des p-Kanal Transistors 3 mal größer als die des NMOSFETs gewählt werden. Die Begründung dafür liegt in der geringeren Beweglichkeit der Löcher im Vergleich zu den Elektronen (Tab. 3.1). Tatsächlich muss aber die effektive Beweglichkeit μ_{eff} aus Kapitel 3.3 berücksichtigt werden.

Ausschlaggebend für einen symmetrischen Inverter ist, dass die Einsatzspannung V_T der beiden Transistoren identisch ist. Um dies zu erreichen muss nach Kapitel 3.3 die Akzeptordichte des n-Kanal Transistors gleich der Donatordichte des PMOSFETs sein ($N_A = N_D$). Des Weiteren sollte bei einem Polysiliziumgate, dieses bei einem NMOSFET hoch n-dotiert bei einem p-Kanal Transistor hoch p-dotiert sein, da dadurch die Austrittsarbeitsdifferenz ϕ_{MS} gleich ist (Kap. 3.3).

4.4 Kenngrößen

Der Inverter besitzt genau wie der MOS-Transistor wichtige Kenngrößen. Auf die messtechnische Bestimmung und Berechnung der wichtigsten Parameter wird in diesem Abschnitt eingegangen.

Schwellspannung V_M

Die Schwellspannung (switching threshold) ist als der Punkt definiert, an dem die Eingangsspannung gleich der Ausgangsspannung ($V_M = V_{in} = V_{out}$) ist. In diesem Bereich befinden sich beide Transistoren in Sättigung. Aufgrund der schon beschriebenen Tatsache, dass in diesem Fall die beiden Drainströme I_{DSn} und I_{DSp} gleich sind, ergibt sich folgender Zusammenhang nach Gleichung 4.6.

$$\frac{\beta_p}{2}(V_{DD} - V_M - |V_{Tp}|)^2 = \frac{\beta_n}{2}(V_M - V_{Tn})^2 \quad (4.9)$$

Löst man diesen Zusammenhang nach der Schwellspannung auf, so erhält man folgendes Gleichungssystem.

$$V_M = \frac{V_{DD} - |V_{Tp}| + V_{Tn} \sqrt{\frac{\beta_n}{\beta_p}}}{1 + \sqrt{\frac{\beta_n}{\beta_p}}} \quad (4.10)$$

$$\beta_n = \mu_n C'_{ox} \frac{W_n}{L_n} \quad (4.11)$$

$$\beta_p = \mu_p C'_{ox} \frac{W_p}{L_p} \quad (4.12)$$

In der $0,25 \mu\text{m}$ CMOS-Technologie mit einem Verhältnis von PMOS/NMOS von 3,4 und einem W/L Verhältnis von 1,5 ergibt sich für die Schwellspannung V_M ein Wert von 1,25 V [Rab99].

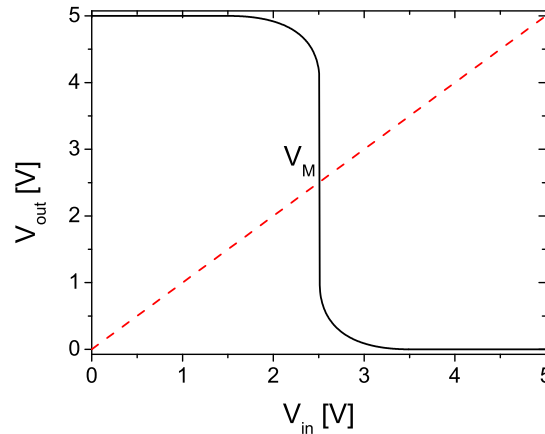


Abbildung 4.5: Übertragungskennlinie mit unity gain line

Für die messtechnische Bestimmung dieses Werts, wird die Übertragungskennlinie verwendet. Die Schwellspannung V_M ist dabei als Schnittpunkt der “unity gain line“ und der Übertragungskennlinie definiert (Abb. 4.5). Die “unity gain line“ ist eine Gerade, die durch $V_{in} = V_{out}$ bestimmt ist [Uye99].

Störabstand NM_H , NM_L

Der Störabstand (Noise margin) ist für die Digitaltechnik eine wichtige Kenngröße. Er gibt den Toleranzbereich an, in dem Störungen keinen Einfluss auf das Ausgangssignal haben. Diese Störungen können einerseits durch kapazitives Überlagern durch die räumliche Nähe der Metallbahnen auftreten. Andererseits führen hohe Stromflüsse durch die Metallbahnen zu Spannungsabfällen und demzufolge zu Störungen in der Versorgungsspannung.

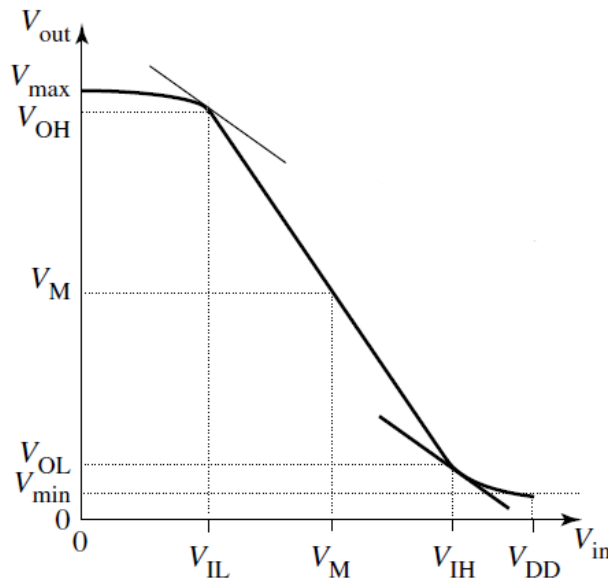


Abbildung 4.6: Übertragungskennlinie mit den Kenngrößen V_{IH} , V_{IL} , V_{OH} und V_{OL} [Cal11]

Für die Bestimmung des Störabstands werden vier kritische Spannungen anhand der Übertragungskennlinie definiert (Abb. 4.6) [Cal11] [Jae03].

- V_{OH} ist die kleinste Ausgangsspannung, die Logisch 1 ist.
- V_{OL} ist die höchste Ausgangsspannung, die Logisch 0 ist.
- V_{IH} ist die kleinste Eingangsspannung, die Logisch 0 als Ausgang hat.
- V_{IL} ist die größte Eingangsspannung, die Logisch 1 als Ausgang hat.

Bei einem idealen Inverter sind die Kennwerte $V_{max} = V_{DD}$ und $V_{min} = 0\text{ V}$. Bei einem realen Inverter ist dies aufgrund der Spannungsabfälle an den jeweiligen Transistoren

nicht gegeben. Die Punkte V_{IH} , V_{IL} , V_{OH} und V_{OL} sind durch den Punkt bestimmt an dem Gleichung 4.13 gilt.

$$\frac{dV_{out}}{dV_{in}} = -1 \quad (4.13)$$

Dadurch lassen sich diese Werte auch wie folgt berechnen [Jae03]:

$$V_{IH} = \frac{2\frac{\beta_n}{\beta_p}(V_{DD} - V_{Tn} + V_{Tp})}{(\frac{\beta_n}{\beta_p} - 1)\sqrt{1 + 3\frac{\beta_n}{\beta_p}}} - \frac{(V_{DD} - \frac{\beta_n}{\beta_p}V_{Tn} + V_{Tp})}{\frac{\beta_n}{\beta_p} - 1} \quad (4.14)$$

$$V_{IL} = \frac{2\sqrt{\frac{\beta_n}{\beta_p}}(V_{DD} - V_{Tn} + V_{Tp})}{(\frac{\beta_n}{\beta_p} - 1)\sqrt{3 + \frac{\beta_n}{\beta_p}}} - \frac{(V_{DD} - \frac{\beta_n}{\beta_p}V_{Tn} + V_{Tp})}{\frac{\beta_n}{\beta_p} - 1} \quad (4.15)$$

$$V_{OL} = \frac{(\frac{\beta_n}{\beta_p} + 1)V_{IH} - V_{DD} - \frac{\beta_n}{\beta_p}V_{Tn} - V_{Tp}}{2\frac{\beta_n}{\beta_p}} \quad (4.16)$$

$$V_{OH} = \frac{(\frac{\beta_n}{\beta_p} + 1)V_{IL} + V_{DD} - \frac{\beta_n}{\beta_p}V_{Tn} - V_{Tp}}{2} \quad (4.17)$$

Das bedeutet, dass sich am Ausgang die Spannung V_{out} nicht ändert, d.h. der Ausgang Logisch 1 anzeigt, wenn am Eingang ein Störsignal mit der maximalen Größe von V_{IL} überlagert wird. Das gleiche gilt für den Zustand Logisch 0, da kann maximal eine Spannung von $V_{DD} - V_{IH}$ überlagert werden.

Dadurch wird der Störabstand wie folgt definiert:

$$NM_L = V_{IL} - V_{OL} \quad (4.18)$$

$$NM_H = V_{OH} - V_{IH} \quad (4.19)$$

Bei dem Beispiel mit der $0,25\mu\text{m}$ CMOS-Technologie bei der Schwellspannung V_M ist $V_{IL} = 1,2\text{ V}$ und $V_{IH} = 1,3\text{ V}$. Dadurch, dass dies ein symmetrischer Inverter ist, ergibt sich $NM_L = NM_H$ zu $1,2\text{ V}$ [Rab99].

Stromverstärkung g

Im Umschaltbereich des Inverters weist dieser eine stromverstärkende Eigenschaft auf. Dieser Wert kann mithilfe der Steigung der linearen Approximation aus dem Umschalt-punkt bestimmt werden (Abb. 4.7(a)). Für die Berechnung wird wieder angenommen, dass beide Transistoren im Sättigungsbereich sind. Aufgrund der Tatsache, dass die Stromverstärkung eine Funktion der Steigung der Ströme ist, kann die Kanallängenmodulation nicht vernachlässigt werden. Aus diesem Grund werden die Gleichungen 3.32 und 3.33 aus Kapitel 3.2 in die Gleichung 4.6 eingesetzt.

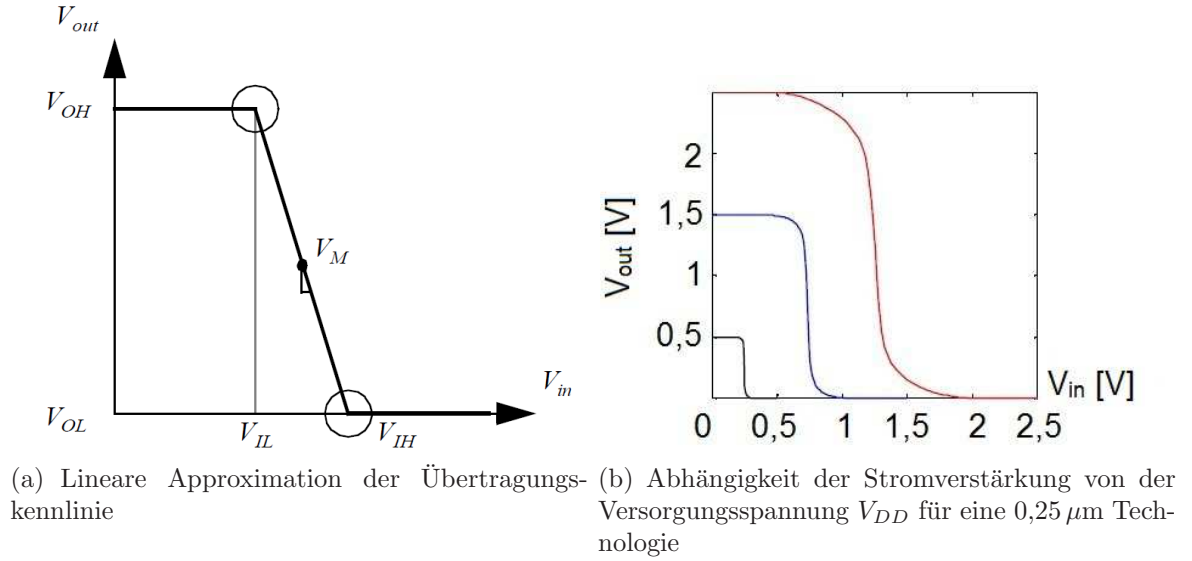


Abbildung 4.7: Übertragungskennlinien [Rab99]

Durch Differenzieren dieses Systems ergibt sich die Stromverstärkung zu:

$$g \approx \frac{1 + r}{(V_M - V_{Tn} - \frac{V_{DSATn}}{2})(\lambda_n - \lambda_{ph})} \quad (4.20)$$

$$r = \frac{\beta_p V_{DSATp}}{\beta_n V_{DSATn}} \quad (4.21)$$

Dabei steht V_{DSAT} für die Sättigungsspannung zwischen Source und Drain. Anhand dieser Gleichung ist ersichtlich, dass die Stromverstärkung erheblich durch Technologieparameter bestimmt ist. Des Weiteren ist ersichtlich, dass diese mit einer kleiner werdenden

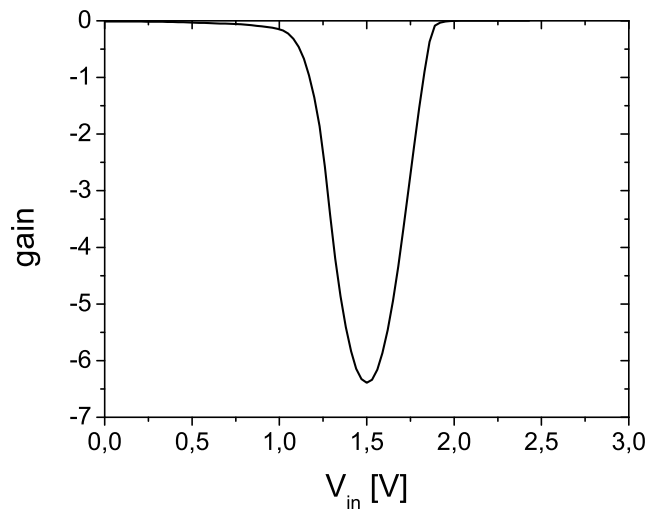


Abbildung 4.8: Experimentelle Stromverstärkung eines CMOS Inverters

Versorgungsspannung V_{DD} ansteigt (Abb. 4.7(b)). In der $0,25\,\mu\text{m}$ CMOS-Technologie aus dem vorherigen Kapitel ergibt sich die Stromverstärkung zu $g = -27,5$ [Rab99].

Nach [Kan96] sollte die kleinst mögliche Versorgungsspannung nach Gleichung 4.22 gewählt werden.

$$V_{DDmin} = V_{Tn} + |V_{Tp}| \quad (4.22)$$

Bei kleineren Spannungen treten thermische Störungen auf, die zu einem nicht Funktionieren der Schaltung führen.

Messtechnisch kann diese Kenngröße durch das Differenzieren der Übertragungskennlinie nach V_{in} bestimmt werden. Die maximale Verstärkung g ist aus dem Peak am Umschaltpunkt abzulesen (Abb. 4.8).

Kapitel 5

SOD-CMOS-Prozess

In diesem Kapitel wird auf die Technologie des verwendeten SOD-CMOS-Prozesses eingegangen. Dabei wird als erstes die Grundidee aufgezeigt und anschließend wird in Abschnitt 5.2 der Prozessablauf erläutert. Dabei wird zwischen einem klassischen Prozess mit Siliziumoxid als Gatedielektrikum, Polysilizium als Gateelektrode und einem Prozess mit high-k Dielektrikum und Metal-Gate unterschieden. Im letzten Abschnitt des Kapitels wird auf die Prozessschritte eingegangen, die im Rahmen dieser Arbeit entwickelt wurden.

5.1 Grundkonzept

Das Grundkonzept des vorgestellten CMOS-Prozesses hat seinen Ursprung in den technologischen Möglichkeiten des Instituts für Physik an der Universität der Bundeswehr in München. In dem zum Institut gehörenden Reinraum befinden sich Möglichkeiten zur Strukturierung sowie diverse Anlagen zur Schichtabscheidung. Die Metallisierung der Bauelemente kann mit Hilfe des Aufdampfens mit Widerstandsheizung oder mit Sputtern erfolgen. Dabei kann für letzteres der Chuck des Substrats in der Anlage sowohl geerdet (DC-Mode) als auch floatend (RF-Mode) sein. Dadurch ergibt sich die Möglichkeit unterschiedliche Metalle aufzubringen. Als Passivierung können Siliziumnitrid als auch Abscheideoxide verwendet werden. Diese werden dabei durch ein LPCVD-Verfahren (Low Pressure Chemical Vapor Deposition) aufgebracht. Die Strukturierung der Wafer erfolgt lithographisch mit einem Mask-Aligner. Zur Ätzung von Schichten können sowohl die Nasschemie als auch die Trockenchemie, in Form des Reaktiven Ionen Ätzens (RIE) verwendet werden.

Die Oxidation von Silizium kann unter Sauerstoff- und Wasserstoffatmosphäre sowohl in einem Röhrenofen als auch in einer RTP (Rapid Thermal Process) erfolgen. Diese beiden Verfahren eignen sich auch zur Aufbringung des Gatedielektrikums für einen Transistor. Als Gateelektrode gibt es die Möglichkeit, Polysilizium in einem LPCVD-Ofen abzuscheiden. Eine Dotierung dieser Schicht ist anschließend mit Phosphor möglich. Neben diesem Prozess kann das Polysilizium auch insitu in einer weiteren CVD-Anlage abgeschieden und dotiert werden. Der weitere Vorteil dieser Anlage ist, dass sowohl mit Phosphor als auch mit Bor dotiert werden kann. Neben diesem klassischen Verfahren

für eine MOS-Struktur gibt es auch die Möglichkeit Aluminiumoxid als Dielektrikum zu verwenden. Dieses wird in einer Atomic Layer Deposition Anlage (ALD) abgeschieden. Als Gateelektrode kann dann Aluminium aufgebracht werden. Aufgrund des Fehlens einer CMP-Maschine ist es nicht möglich einen Replacement-Gate Prozess zu realisieren [Cha97]. Aus diesem Grund wird der Gatestack, anders als beim selbstjustierenden Polysilizium-Prozess, erst nach allen Hochtemperatur-Prozessen lithographisch über dem Kanal definiert. Dies ist ein entscheidender Unterschied der bei der Herstellung der Transistoren berücksichtigt werden muss.

Durch diese Möglichkeiten im Aufbau der MOS-Struktur werden die CMOS-Prozesse im Laufe dieser Arbeit sowohl für den klassischen selbstjustierenden als auch für den Metal-Gate Prozess entwickelt. Die Unterschiede der beiden Arten sind in Abschnitt 5.2 dargestellt.

Die Dotierung des Siliziums kann aufgrund des Fehlens eines Ionenimplanters nicht wie in der Industrie durchgeführt werden. Aus diesem Grund wurde das Konzept mit Spin-On-Gläsern (SOD) entwickelt. Dabei ist das SOD eine mit Dotierstoff versetzte Lösung, die auf den Wafer aufgeschleudert und ausgebacken wird. Durch einen anschließenden Hochtemperaturschritt diffundieren die Dotierstoffe aus diesem Film in das Silizium. Dadurch ergibt sich eine Dotierstoffverteilung im Substrat (Kap. 5.3.1).

Der Gesamtprozess ist im nächsten Abschnitt ausgehend vom blanken Substrat dargestellt.

5.2 Prozessablauf

Im ersten Teil des Abschnitts wird auf die Prozesse eingegangen, die sowohl beim selbstjustierenden Gate als auch beim Metal-Gate identisch sind. Das verwendete Maskenlayout ist im Anhang A dargestellt. Die genauen Prozessparameter sind im Anhang B zu finden.

Als Ausgangsmaterial werden kommerziell erhältliche 4“ Wafer mit einer 100-Oberflächenorientierung verwendet. Dabei werden im Rahmen dieser Arbeit sowohl p-dotierte Wafer mit einem Schichtwiderstand von $0,01 - 0,02 \Omega\text{cm}$ und $0,2 - 0,6 \Omega\text{cm}$, als auch n-dotierte Wafer mit einem Schichtwiderstand von $1 - 5 \Omega\text{cm}$ verwendet. Der Prozessablauf wird unter der Verwendung eines n-dotierten Wafers erläutert.

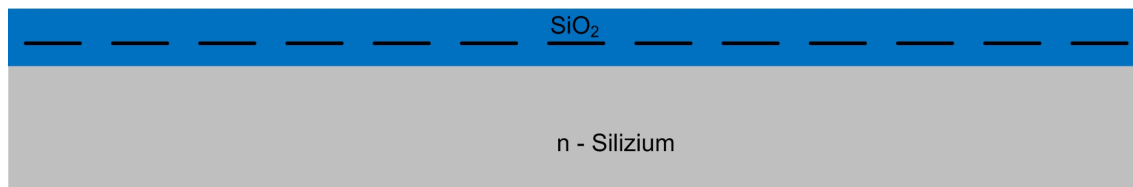


Abbildung 5.1: Feldoxid, die gestrichelte Linie stellt die ursprüngliche Siliziumoberfläche dar

Als erster Prozessschritt wird ein Feldoxid auf die Wafer aufgebracht (Abb. 5.1). Dieses dient einerseits zur lateralen Isolierung der einzelnen Bauteile voneinander, andererseits dient es als Diffusionsbarriere für die Dotierung der Wanne mit SOD. Für

diesen Prozessschritt werden die Wafer einer thermischen Nassoxidation für 110 min bei 950 °C unterzogen. Dabei entsteht ein ca. 300 nm dickes Siliziumoxid, welches zu 45 % seiner Dicke ins Silizium hineinwächst. Durch die Umwandlung in Siliziumoxid wird die Siliziumoberfläche abgetragen. Aus diesem Grund ist in Abbildung 5.1 die ursprüngliche Siliziumoberfläche in gestrichelter Linie dargestellt. Die Oxidation erfolgt in einem Röhrenofen unter atmosphärischen Druckbedingungen und in einer wasserhaltigen Atmosphäre. Um eine möglichst hohe Reinheit des Wasserdampfes zu gewährleisten, wird das Wasser durch Verbrennen von Wasserstoff in einem Pyrogenic-System gewonnen.

In Kapitel 4.1 wird gezeigt, dass für eine CMOS-Technologie einer der beiden Transistoren in einer Diffusionswanne sitzen muss. Aus diesem Grund folgt nach der Feldoxidation der erste Lithographieschritt, der die Wanne, in diesem Fall die des NMOS-FETs, definiert. Nach dem Belichten und Entwickeln des Wafers wird die Diffusionswanne durch ein Bad in gepufferter Flusssäure (BHF) freigelegt. Der Fotolack wird danach mit Hilfe eines Aceton-Isopropanol Gemisches entfernt (Abb. 5.2).

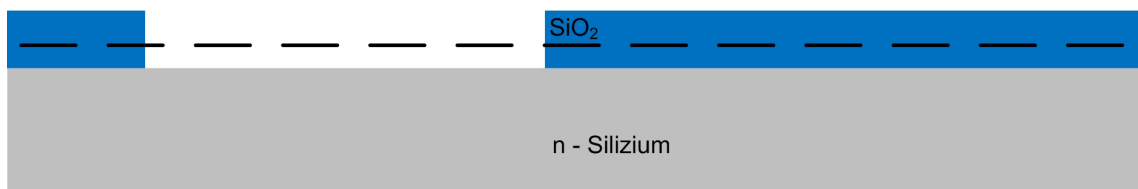


Abbildung 5.2: Definition der p-Wanne, die gestrichelte Linie stellt die ursprüngliche Siliziumoberfläche dar

Vor dem folgenden Hochtemperaturschritt zur Vorbelegung des p-Dotierstoffs, werden die Wafer gereinigt. Dafür wird der Piranha-Clean, der organische Verunreinigungen entfernt, verwendet. Dieser Clean setzt sich dabei aus Schwefelsäure und Wasserstoffperoxid zusammen. Ein weiterer Vorteil dieser Methodik ist, dass sich ein dünnes chemisches Oxid bildet, welches als Haftvermittler für das aufgebrachte SOD dient. Das in diesem Fall borhaltige SOD wird aufgeschleudert und auf einer Heizplatte zum Austreiben der Lösungsmittel ausgebacken. Direkt im Anschluss findet die als Vorbelegung bezeichnete Diffusion unter Stickstoff- und Sauerstoffatmosphäre in einer RTP-Anlage statt. Diese Anlage weist den Nachteil eines Einzelscheibenprozesses auf. Sie hat aber den Vorteil, dass das Halogenlampenfeld die Substrate mit einer Rampe von bis zu 100 °C/s aufheizt, was zu scharfen Dotierprofilen führt. Das unverbrauchte SOD wird anschließend mit 5 % Flusssäure entfernt (Abb. 5.3).

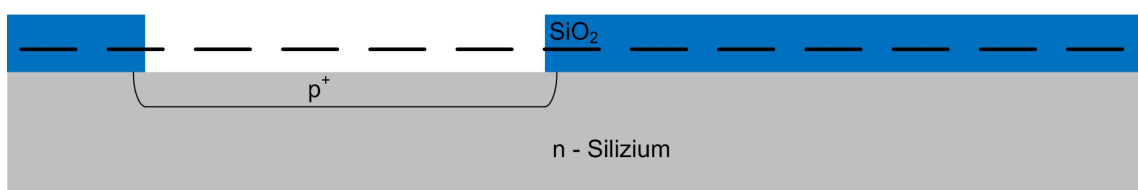


Abbildung 5.3: Vorbelegung der p-Wanne, die gestrichelte Linie stellt die ursprüngliche Siliziumoberfläche dar

Im zweiten Lithographieschritt wird die n-Wanne des PMOSFETs definiert. Mit diesem Schritt ist es möglich eine zweite Wanne zu dotieren, um somit die Einsatzspannung für einen symmetrischen Inverter zu erzielen (Kap. 4.3). Um dies zu ermöglichen, muss vor der Lithographie ein Abscheideoxid als Diffusionsbarriere für die bereits vorhandene Wanne abgeschieden werden. Diese Zwei-Wannentechnik wird im Rahmen der Arbeit nicht angewendet. Bei einer Ein-Wannentechnik führt die Durchführung dieses Lithographieschritts zu gleichen Voraussetzungen für beide Transistoren, da die Dicke des Siliziumoxids bei beiden MOSFETs gleich groß ist. Die Wanne wird daher nach dem Belichten und Entwickeln des Substrats durch ein Bad in gepufferter Flusssäure (BHF) freigelegt. Der Fotolack wird danach mit Hilfe eines Aceton-Isopropanol Gemisches entfernt (Abb. 5.4). Für die Zwei-Wannentechnik muss nun ein Phosphor-SOD aufgebracht werden. Dieses wird identisch zum Bor-Glass behandelt und die Vorbelegung findet in einer RTP-Anlage statt. Im Anschluss wird das verbrauchte SOD und das Abscheideoxid mit gepufferter Flusssäure (BHF) entfernt. Zu beachten ist, dass in dieser Arbeit sowohl die Ein-Wannentechnik mit Phosphor-SOD als auch mit Bor-SOD durchgeführt wird. Das letztere wird beim selbstjustierenden Prozess nicht verwendet. Im weiteren Verlauf wird nur auf die Ein-Wannentechnik mit Bor-SOD eingegangen.

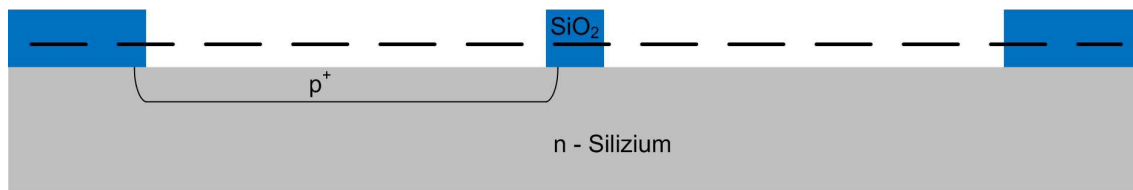


Abbildung 5.4: Definition der n-Wanne, die gestrichelte Linie stellt die ursprüngliche Siliziumoberfläche dar

Als nächster Schritt erfolgt eine chemische Reinigungssequenz, die als Standard-Clean bezeichnet wird. Anschließend erfolgt eine thermische Nassoxidation für 110 min bei 950 °C. Dieser Prozess führt wie schon bei der Feldoxidation zu einer Siliziumoxiddicke von 300 nm. Auf den Stellen, wo sich bereits vor dieser Oxidation Siliziumoxid befand, ist die Dicke zu ca. 450 nm angewachsen. Der Grund dafür liegt darin, dass der Wasserdampf durch das bestehende Siliziumoxid diffundieren muss, um eine Reaktion mit dem Silizium einzugehen. Aufgrund der bereits vorhandenen Dicke ist dieses Wachstum diffusionsbegrenzt. Dies führt zu der geringeren Wachstumsrate, als auf dem Silizium. Aufgrund dessen, dass bei der Oxidation die Siliziumoberfläche abgetragen wird, entsteht eine Stufe an den Stellen wo sich noch kein Siliziumoxid befand (Abb. 5.5). Diese

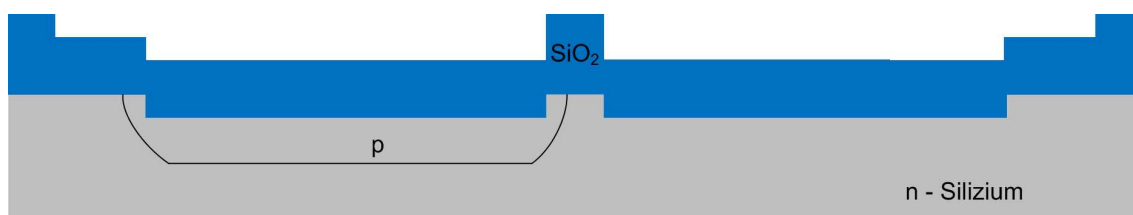


Abbildung 5.5: Isolierung und Eintreiben der Wanne

Oxidation dient einerseits zur Isolierung der Wannen für die nächsten Prozessschritte, andererseits dient es als Eintreibschritt, sogenannter drive-in, für die p-Wanne. Hierbei kommt es aufgrund des Hochtemperaturschritts zu einer Ausdiffusion des p-Gebiets. Damit die Diffusionswanne die gewünschte Tiefe und Dotierhöhe erreicht, wird im Anschluss an die Oxidation die Probe bei 1050 °C für 3 h getempert (Abb. 5.5). Die Entwicklung der Dotierung mit SOD wird in Abschnitt 5.3.1 näher behandelt.

Bis zu dieser Stelle ist die Prozessierung der CMOS-Technologie mit selbstjustierenden Gate und Metal-Gate identisch. Ab dem nächsten Prozessschritt müssen die beiden Technologien voneinander unterschieden werden. Aufbauend auf diesen Teil wird im nächsten Abschnitt 5.2.1 auf den Prozess mit selbstjustierenden Gate und darauf folgend auf den mit Metal-Gate eingegangen.

5.2.1 Selbstjustierendes Gate

Mit dem nächsten Lithographieschritt wird, das aktive und das Bulk-Gebiet geöffnet. Dazu wird die dritte Maske verwendet. Nach der Belichtung und Entwicklung des Wafers wird das Gebiet in einem BHF-Bad freigelegt. Die Abbildung 5.6 zeigt die nach dem Fotolack entfernte Struktur.

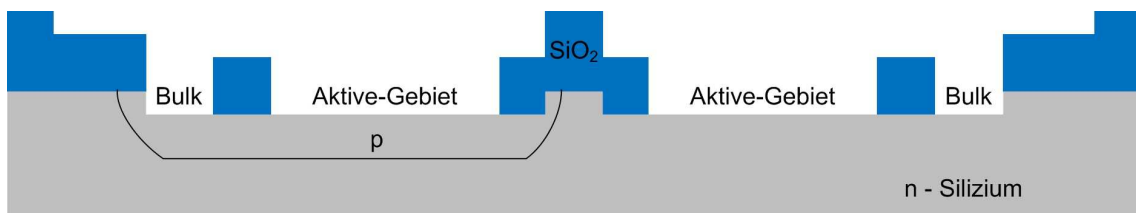


Abbildung 5.6: Öffnung des aktiven Gebiets

Anschließend folgt eine weitere Reinigungssequenz mit dem Standard Clean. Bevor die Wafer weiter verarbeitet werden, wird das chemische Oxid mit 1 % HF entfernt. Anschließend erfolgt eine thermische Oxidation der Wafer, um das Gateoxid aufzubringen. Dabei kann sowohl eine RTP-Anlage als auch ein klassischer Röhrenofen verwendet werden. Auf Grund der Tatsache, dass in diesem Fall das thermische Budget der Gateoxidation nur die Wanne belastet, wird eine Trockenoxidation im Röhrenofen bei 1000 °C durchgeführt. Dadurch kommt es zu einer Ausdiffusion der bereits vorbelegten Wanne. Zur Abscheidung der Gateelektrode werden die Wafer in den LPCVD-Polyofen eingeschleust. Dieser Prozess findet bei einer Temperatur von 625 °C statt. Durch diese niedrige Temperatur kommt es zu keiner weiteren Ausdiffusion der Wanne [Tra00]. Dieses Polysilizium ist undotiert und damit elektrisch nicht leitend. Eine Dotierung mit Phosphor im Ofen wird aufgrund der Einstellung der symmetrischen Austrittsarbeitsdifferenz ϕ_{MS} nach (Kap. 4.3) nicht durchgeführt.

Im Anschluss wird die Gateelektrode strukturiert. Dazu wird ein Lithographieschritt mit Maske 4 durchgeführt. Die Ätzung des Polysiliziums und des Gateoxids erfolgt dabei durch einen trockenchemischen Tieftemperaturprozess im RIE-Ätzer (Kap. 5.3.2). Zusätzlich wird auch der Bulkanschluss der beiden Transistoren geöffnet (Abb. 5.7).

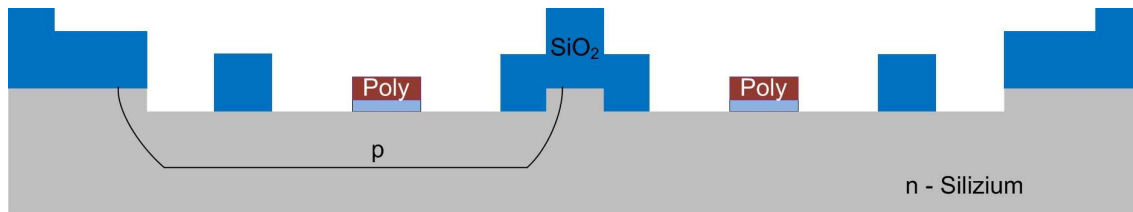


Abbildung 5.7: Strukturiert Gatestack

Als nächstes wird der Nitridspacer gefertigt (Kap. 5.3.2). Dazu wird wieder eine Reinigungssequenz mit dem Standard Clean durchgeführt. Danach wird bei 750 °C ein ca. 40 nm dickes LPCVD Nitrid abgeschieden, welches mit Hilfe eines Argon-Plasmas trockenchemisch strukturiert wird (Abb. 5.8). Zu beachten ist, dass hier kein Lithographieschritt durchgeführt wird. Die genaue Prozessentwicklung und die Parameter sind in Kapitel 5.3.2 dargestellt.

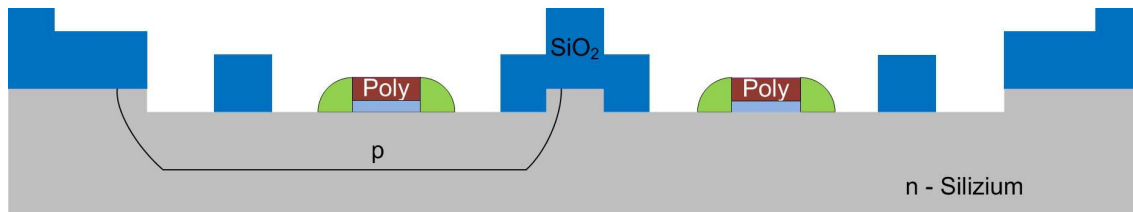


Abbildung 5.8: Siliziumnitridspacer

In den nächsten Prozessschritten werden die Source/Drain Gebiete des n-Kanal Transistors und der Bulk des p-Kanals mit Phosphor dotiert. Dazu müssen die äquivalenten Gebiete des komplementären Transistors geschützt werden. Dazu wird wieder eine Reinigungssequenz mit dem Standard Clean durchgeführt und anschließend wird ein Abscheideoxid (Tetraethylorthosilicat, TEOS) bei 740 °C für 30 min aufgebracht. Für diesen Lithographieschritt wird die Maske 6a, die auch den Gatestack öffnet, verwendet. Nach der Strukturierung des Oxids in einem BHF-Bad und der anschließenden Entfernung des Fotolacks, wird das Phosphor-SOD aufgeschleudert und ausgebacken. Der Diffusionsprozess erfolgt wiederum bei 1050 °C. Im Anschluss wird sowohl das verbrauchte SOD

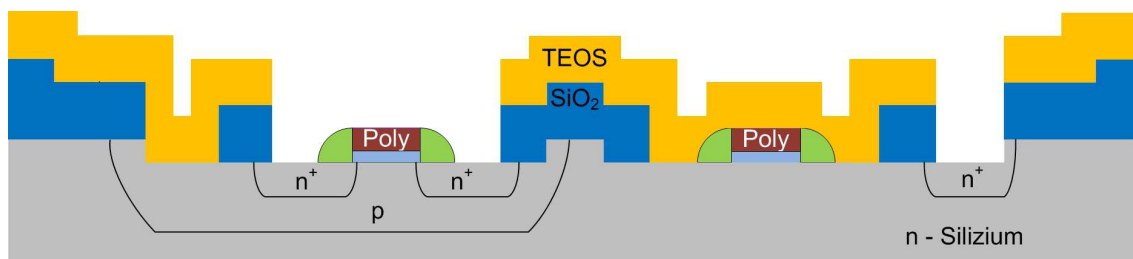


Abbildung 5.9: Vorbelegung der Source/Drain Gebiete des n-Kanal Transistors

(Abb. 5.9) als auch das Abscheideoxid mit BHF entfernt. Durch diese Diffusion ist das vorher undotierte Polysilizium an der Stelle des NMOSFETs hoch n-dotiert (Kap. 5.3.1). Des Weiteren diffundiert die Wanne durch diesen Hochtemperaturschritt weiter aus.

Als nächstes müssen noch die Source/Drain Gebiete des p-Kanal Transistors sowie der Bulk des n-Kanals mit Bor dotiert werden. Dazu wird wieder eine Reinigungssequenz mit dem Standard Clean durchgeführt und anschließend das als Diffusionsbarriere notwendige Abscheideoxid bei 740 °C aufgebracht. Dieses wird mit der Maske 5a im nächsten Lithographieschritt strukturiert. Identisch zu der vorher verwendeten Maske wird auch hier der Gatestack mit geöffnet. Nachdem das Oxid in einem BHF-Bad geätzt und anschließend der Fotolack entfernt ist, wird das Bor-SOD aufgeschleudert und ausgebacken. Die Diffusion in der RTP-Anlage findet wieder bei 1050 °C statt (Abb. 5.10).

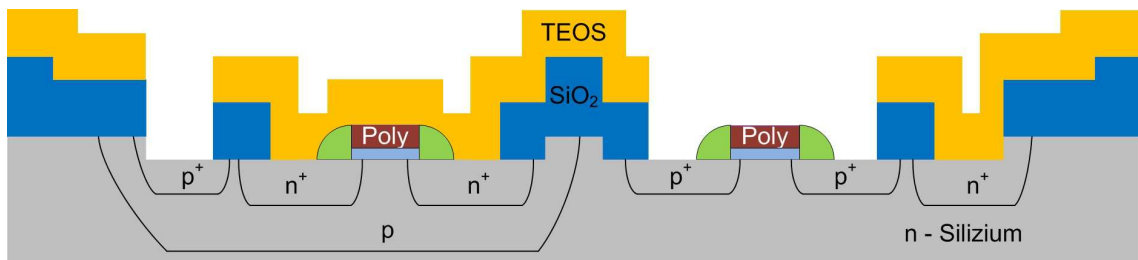


Abbildung 5.10: Vorbelegung der Source/Drain Gebiete des p-Kanal Transistors

Nach der Entfernung des Abscheideoxids und des Bor SODs mit 5 %HF, sind neben den Source/Drain Gebieten auch das Polysilizium des p-Kanal Transistors hoch p-dotiert. Aufgrund des letzten Hochttemperaturschritts haben alle Diffusionsgebiete auf dem CMOS-Chip ihre endgültige Größe erreicht (Abb. 5.11). Zum Schutz der Bauelemente wird eine Passivierung durchgeführt.

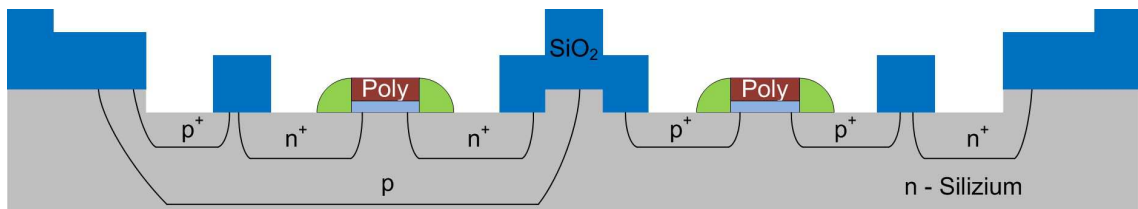


Abbildung 5.11: Transistoren nach abgeschlossenen Dotierungsschritten

Als Passivierung der Bauelemente könnte das in Abschnitt 5.2.2 vorgestellte Spin-On-Glass (SOG) verwendet werden. Aufgrund der besseren Isolationseigenschaften wird in diesem Fall nach einem weiteren Standard Clean ein ca. 70 nm dickes LPCVD-Siliziumnitrid abgeschieden. Für die Anschlüsse der Transistoren müssen nun Kontaktlöcher durch die Passivierung definiert werden. Dazu wird ein Lithographieschritt mit Maske 7 durchgeführt. Die Strukturierung des Siliziumnitrids erfolgt trockenchemisch im CHF_3 -Plasma [Bor07]. Dabei wird ein deutliches Überätzen in Kauf genommen, um die Bor-Schicht (Kap. 5.3.1) zu entfernen. Dabei werden an dieser Stelle auch die n-dotierten Source/ Drain/Bulk Gebiete geätzt. Im Anschluss wird mit dem Piranha-Clean der Fotolack entfernt.

Nach einem 1 % HF-Dip, um das natürliche und chemische Oxid zu entfernen, werden die Wafer in die Sputter-Anlage eingeschleust. Als Metallisierung wird der Schichtsta-

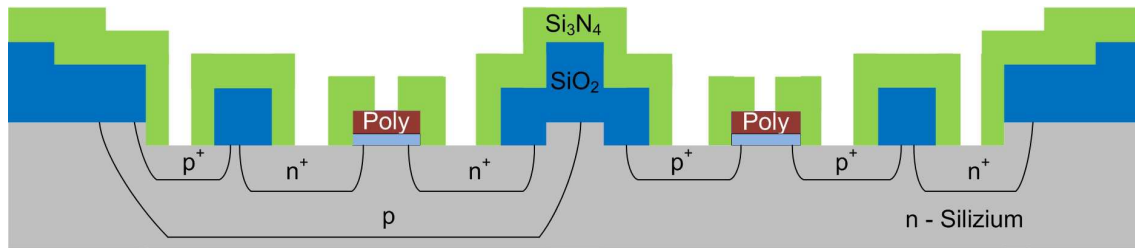


Abbildung 5.12: Öffnung der Kontaktlöcher

pel, Titan, Titannitrid, Aluminium verwendet. Dabei dient das Titannitrid als Diffusionsbarriere, um ein mögliches Durchspiking des Aluminiums beim späteren Tempern zu verhindern [Hol09].

Im letzten Lithographieschritt werden mit Maske 8 die Kontaktpads der Bauelemente definiert. Das Freilegen dieser Strukturen erfolgt dabei über verschiedene Ätzmischungen. Als erstes wird das Aluminium mit der Phosphorsäureätzmischung strukturiert. Diese Ätze besteht aus DI-Wasser, 85 %iger Phosphorsäure, Essigsäure und 69 %iger Salpetersäure in einem Mischungsverhältnis von 2:1:1:16 [Tra00]. Das darunterliegende Titannitrid und Titan wird durch eine Mischung aus der RCA1 Lösung, aus dem Standard Clean und Kieselsäure strukturiert [Hol09]. Nach dem Entfernen des Fotolacks kann optional die Rückseite des Wafers metallisiert werden. Dabei ist zu beachten, dass die Schichten, die trockenchemisch strukturiert wurden, entfernt werden müssen. Aus diesem Grund wird Fotolack als Schutzschicht auf die Bauelementseite aufgetragen. Anschließend werden nacheinander die Schichten Siliziumnitrid trockenchemisch und das Polysilizium nasschemisch entfernt. Danach kann Aluminium durch Aufdampfen oder Sputtern aufgebracht werden.

Im Anschluss wird der fertige Wafer in den Formiergastemperofen gegeben. In Wasserstoffatmosphäre wird bei 350 °C für 35 min der Wafer getempert. Dadurch verbessert sich die Qualität der Grenzschicht zwischen Silizium und Siliziumoxid. Des Weiteren bilden sich an den Kontaktstellen, Metall und Silizium, Silizide aus, die einen ohmschen Kontakt erstellen.

Die fertige CMOS Struktur ist in Abbildung 5.13 dargestellt.

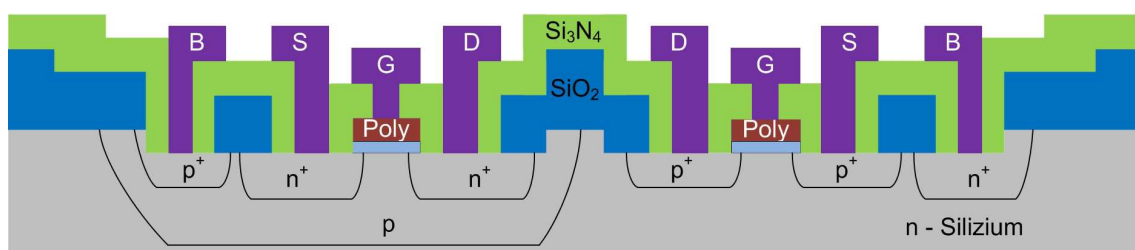


Abbildung 5.13: CMOS Polygate

5.2.2 Metal-Gate

Aufgrund der schon vorher beschriebenen Tatsache, dass nach dem Aufbringen des Metal-Gates kein Hochtemperaturschritt erfolgen kann, wird mit dem folgenden Lithographieschritt unter Verwendung der Maske 6b die Source/Drain Gebiete des n-Kanal MOSFETs definiert. Dabei werden Source und Drain durch einen Positiv-Lack Prozess geöffnet und anschließend in einem BHF-Bad von Oxid befreit. Nach der Entfernung des Fotolacks, wird das Phosphor SOD aufgebracht. Die als Vorbelegung bezeichnete Diffusion findet in der gleichen Anlage wie die bisherigen Diffusionen statt. Durch diesen Temperaturschritt wird die p-Wanne weiter eingetrieben. Neben dem Source/Drain Gebiet wird in diesem Schritt auch der Bulk-Anschluss des PMOSFETs dotiert (Abb. 5.14). Dies ist notwendig, um einen ohmschen Kontakt zwischen der Metallisierung und dem Siliziumsubstrat zu garantieren [Tra00].

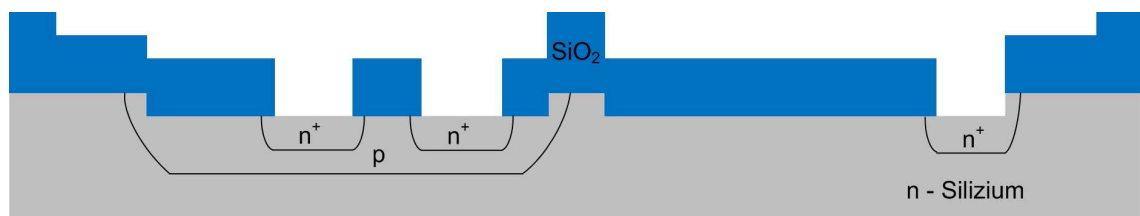


Abbildung 5.14: Vorbelegung der Source/Drain Gebiete des n-Kanal Transistors

Nachdem das SOD mit Hilfe von BHF entfernt ist, findet wiederum ein Standard Clean statt. Im Anschluss wird ein Abscheideoxid bei 740 °C für 30 min aufgebracht. Die Dicke beträgt ca. 260 nm. Diese Schicht dient als Diffusionsbarriere für die bereits stattgefundenene Dotierung von Source und Drain des n-Kanals sowie des Bulks des p-Kanal Transistors. Mit Hilfe der Maske 5b wird Source/Drain des PMOSFETs sowie der Bulk des NMOSFETs definiert. Im Anschluss an die Lithographie und das Strukturieren mit BHF wird das Bor-SOD aufgebracht und ausgebacken. Dabei ist zu beachten, dass man an dieser Stelle ein Dotierglas mit höherem Borgehalt als bei der Wanne verwendet. Durch die Vorbelegung bei 1050 °C wird die zur Formung der p-Gebiete notwendige Dosis an Dotierstoffatomen pro Querschnittsfläche diffundiert. Aufgrund dessen, dass dies der letzte Hochtemperaturschritt ist, haben an dieser Stelle alle Diffusionsgebiete ihre endgültige Größe erlangt (Abb. 5.15).

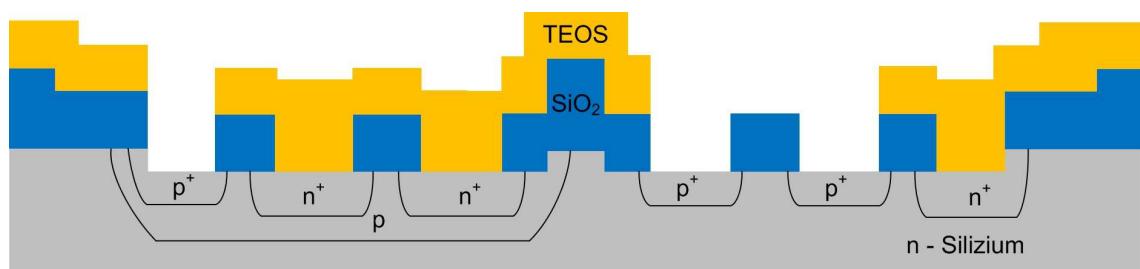


Abbildung 5.15: Vorbelegung der Source/Drain Gebiete des p-Kanal Transistors

Nach dem Entfernen des SODs findet eine trockenchemische Ätzung im RIE-Ätzer statt. Dies ist notwendig, um die in Kapitel 5.3.1 beschriebene Borschicht zu beseitigen. Das TEOS wird erst danach mit gepufferter Flusssäure entfernt, da es als Schutzbarriere für die n-dotierten Gebiete dient. Die Entwicklung der Dotierung mit SOD wird in Abschnitt 5.3.1 behandelt. Im nächsten Lithographieschritt wird mit Hilfe der dritten Maske das aktive Gebiet beider Transistoren freigelegt. Der Kanal, der bis dahin vom Feldoxid geschützt war, wird in einem Positiv-Lack Prozess geöffnet und anschließend in einem BHF-Bad vom Siliziumoxid befreit (Abb. 5.16).

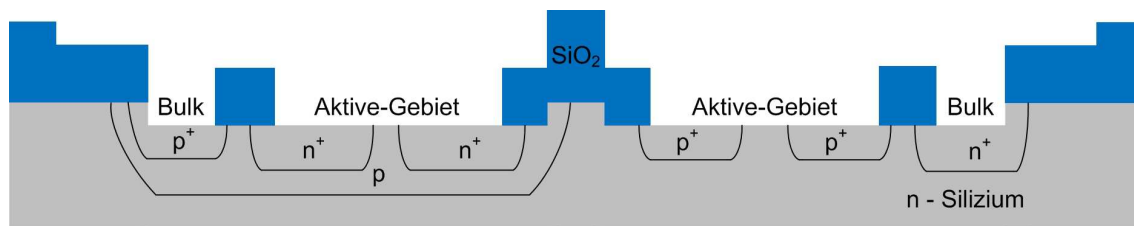


Abbildung 5.16: Öffnung des aktiven Gebiets

Nachdem der Fotolack entfernt ist, erfolgt eine weitere Reinigung mit dem Standard Clean. Ein nachfolgender HF-Dip mit 1 % HF entfällt, da das durch den Reinigungsschritt entstandene chemische Oxid für das Aluminiumoxid verwendet wird (Kap. 5.3.3). Aufgrund der kritischen Zeitbindung wird der Wafer sofort in die ALD-Anlage eingeschleust. Bei 200 °C werden 15 nm Aluminiumoxid abgeschieden. Anschließend wird der Wafer sofort in eine Aufdampfanlage eingebracht. In dieser werden durch zweimaliges Aufdampfen ca. 700 nm Aluminium abgeschieden (Kap. 5.3.3).

Die Strukturierung des Gatemetallstreifens erfolgt mit der vierten Maske. Nach der Entwicklung der Grundstruktur wird das aufgedampfte Aluminium mit einer Phosphorsäureätzmischung strukturiert. Nach dem Entfernen des Fotolacks mit Aceton und Isopropanol ist der Gatestack über dem Kanal von seiner Grundstruktur (Abb. 5.17) definiert.

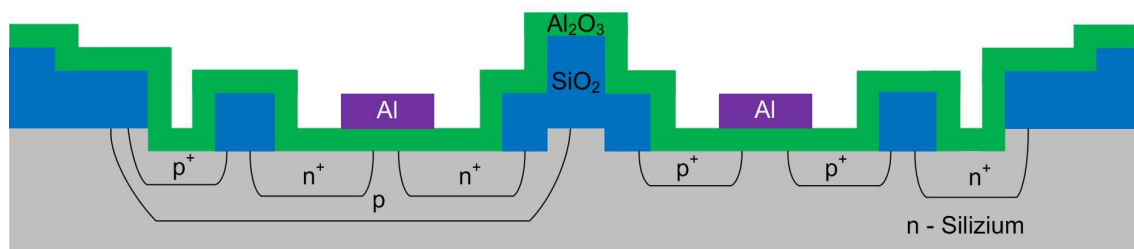


Abbildung 5.17: Strukturiertes Metal-Gate

Der folgende Prozessablauf ist zeitkritisch. Damit die Feuchtigkeit durch das entstandene Ätzen aus dem Aluminiumoxid entfernt wird [Kub12], werden die Wafer in Wasserstoffatmosphäre bei 350 °C für 35 min getempert. Dies geschieht in einem Formiergasstempel. Anschließend muss aus zeitkritischen Aspekten die Probe mit der Passivierung bedeckt werden, damit keine Feuchtigkeit ans Aluminiumoxid gelangt. Aufgrund der

Tatsache, dass kein Hochtemperaturprozess gefahren werden kann, wird Spin-On-Glass (SOG) als Passivierung verwendet. Dieses wird genau wie das SOD aufgeschleudert und mit einer Temperaturtreppe langsam ausgeheizt. Anschließend wird es zur besseren Stabilität bei 400 °C für 30 min ausgehärtet. An dieser Stelle sind die ausschlaggebenden elektrischen Parameter des Bauelements endgültig definiert (Effektive Kanallänge, Güte des Dielektrikums und Grenzfläche Si/ SiO_2).

Für die Anschlüsse der Transistoren Source/Drain/Gate/Bulk müssen nun Kontaktlöcher durch die Passivierung definiert werden. Dies erfolgt mit der Maske 7. Dabei wird mit Hilfe von 5 % HF sowohl das SOG als auch das an Source und Drain befindliche Aluminiumoxid geätzt. Anschließend wird der Lack mittels Lösungsmittel entfernt (Abb. 5.18).

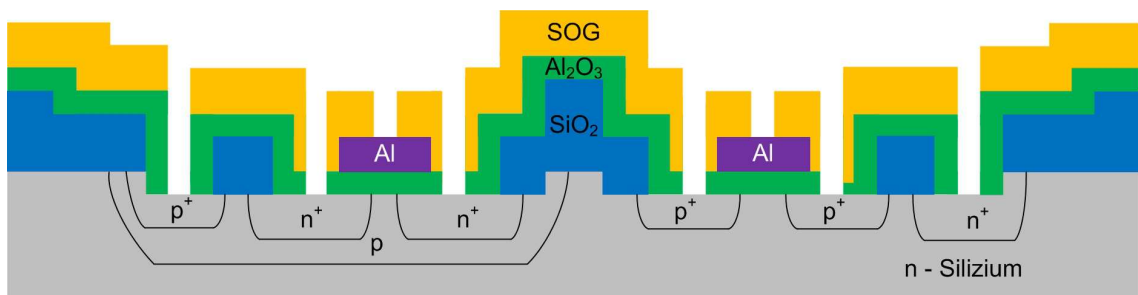


Abbildung 5.18: Geöffnete Kontaktlöcher

Als nächster Prozessschritt wird die letzte Metallisierungsebene zur Formung der Kontakte aufgebracht. Aufgrund der in Kapitel 5.3.3 beschriebenen Schwierigkeiten wird wieder Aluminium in einer Hochvakuumanlage auf den Wafer aufgedampft. Die Kontaktpads der Metallisierung werden im letzten Lithographieschritt mit Maske 8 definiert und in der vorher erwähnten Phosphorsäureätzmischung freigelegt. Abbildung 5.19 zeigt den Querschnitt des fertigen CMOS-Wafers nach Entfernung des Fotolacks. Optional kann auf die Rückseite des Wafers Aluminium als Rückseitenkontakt aufgedampft werden. Im Laufe dieser Arbeit stellte sich heraus, dass dies aufgrund der funktionierenden Kontakte auf der Waferoberseite nicht erforderlich ist.

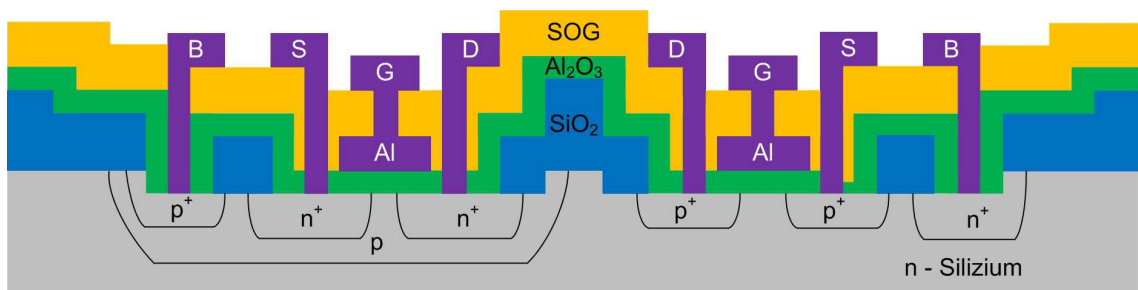


Abbildung 5.19: Strukturierung der Kontaktpads

Abbildung 5.20 zeigt das Layout des CMOS Inverters für den selbstjustierenden Gate-Prozess. Detaillierte Angaben zum Maskendesign sind in Anhang A angegeben. Dieses

entspricht dem Schaltungsplan aus Kapitel 4.1. Der PMOSFET ist oben und seine Kanalweite W ist dreimal so groß wie die des NMOSFETs. Anders als im Querschnitt gezeigt, sind im Layout die Anschlüsse für den Inverter schaltungstechnisch richtig verbunden. Der mit diesem Prozessablauf hergestellte Inverter ist ein integrierter Schaltkreis. Dabei sind die unterschiedlichen Farben wie folgt zu deuten:

- Maske 1; hell grün = p-Wanne;
- Maske 2; dunkel grün = n-Wanne;
- Maske 3; braun = Aktives Gebiet;
- Maske 4; rot = Gateelektrode;
- Maske 5; rosa = Source/Drain PMOSFET;
- Maske 6; blau = Source/Drain NMOSFET;
- Maske 7; schwarz = Kontaktlöcher;
- Maske 8; violett = Metallisierung;

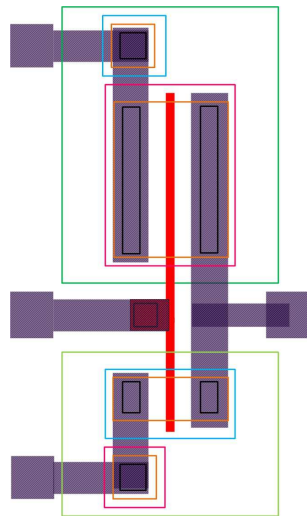


Abbildung 5.20: Inverter-Layout

5.3 Entwicklung des SOD-CMOS-Prozesses

In diesem Abschnitt wird auf die Prozesse eingegangen, die im Rahmen dieser Arbeit für den CMOS-SOD-Prozess entwickelt wurden. Dabei wird im ersten Teil auf die Diffusionsprozesse sowohl für die Wannen als auch für die Source/Drain Gebiete des Feldeffektbauelements eingegangen. In den nächsten beiden Abschnitten 5.3.2 und 5.3.3 werden dann spezielle Prozesse sowohl für den selbstjustierenden als auch für den Metal-Gate Prozess vorgestellt.

5.3.1 Dotierung

Für die Entwicklung des CMOS-Prozesses ist die Dotierung des Substrats von entscheidender Bedeutung, da sie einerseits in Form der Wanne die Einsatzspannung des Transistors, andererseits den Off-Strom des Bauelements durch den Sperrstrom der Drain-Bulk Diode bestimmt. Für die Dotierung der Source/Drain Gebiete ist ein scharfes Dotierprofil sowie eine hohe Dotierstoffkonzentration an der Oberfläche erforderlich, damit zwischen Silizium und Metall ein ohmscher Kontakt vorherrscht. Die für die Einstellung der Einsatzspannung der Transistoren notwendigen n- bzw. p-Wannen sollten jedoch eine konstante Dotierung über eine gewisse Tiefe aufzeigen. Im ersten Teil des Abschnitts wird auf die theoretischen Grundlagen von den hier verwendeten Spin-on-Dopants (SOD) eingegangen. Danach wird zur Prozessentwicklung der einzelnen Dotierungen Stellung genommen.

Theorie der Silikatgläser

Die Silikatgläser, auch Spin-on-Glasses (SOG) genannt, bestehen aus einem $Si(OH)_4$ -Gefüge und Lösungsmitteln. Sie werden durch Aufschleudern auf den Wafer aufgebracht und anschließend ausgeheizt. Bei dieser Temperung entsteht eine Kondensation, die zu einem stabilen Si-O Gefüge führt. Die so entstandene Schicht weist keine hohe Stabilität gegenüber Plasmaprozessen auf [Toa99]. Wird zu dem SOG noch ein Dotierstoff, zum Beispiel Bor oder Phosphor dazugegeben, spricht man von Spin-On-Dopant (SOD). Auf die Herstellung von SODs wird an dieser Stelle auf [Toa99] verwiesen. Die beiden in den SODs enthaltenen Stoffe, Bortrioxid (B_2O_3) bzw. das Phosphorpentoxid (P_2O_5), reagieren bei einem Hochtemperaturprozess mit Silizium zu Siliziumoxid und zu elementarem Bor bzw. Phosphor. Anschließend diffundieren diese Dopanden in das Silizium (Gln. 5.1 und 5.2). Das so entstandene Siliziumoxid wird im Anschluss an den Hochtemperaturprozess mit Flusssäure entfernt.



Im aufgeschleuderten SOD ändert sich die Konzentration von B_2O_3 bzw. P_2O_5 durch Feuchtigkeit. Die beiden Ausgangsstoffe reagieren dabei mit Wasser zu verschiedenen Bor- bzw. Phosphorsäuren (Gln. 5.3, 5.4 und 5.5). Anders als beim Phosphorsilikatglas kann beim Borglas eine Änderung des Dotierverhaltens festgestellt werden [Toa99]. Dieses Verhalten tritt auf, wenn die Probe an der Luft gelagert wird. Für reproduzierbare Ergebnisse muss der Wafer sofort nach dem Aufbringen des Borsilikatglases in den Diffusionsofen eingeschleust werden.



Eine Prozesssimulation der Dotierung mit SOD kann aufgrund des Fehlens eines Modells in kommerziell erhältlichen Simulatoren zu keinen realistischen Ergebnissen führen. Eine Näherung, des Silikatglases durch dotiertes Siliziumoxid zu ersetzen, stimmt mit der Erfahrung nicht überein [Ste08]. Dies liegt am Fehlen eines Modells, das die Reaktionsgeschwindigkeit und Temperaturabhängigkeit der chemischen Reaktionen an der Grenzfläche von Dotierglas und Silizium beschreibt. Aus diesem Grund wird auf analytische Berechnungen zurückgegriffen, die im nächsten Abschnitt erläutert werden.

Zuvor muss aber der Mechanismus der Diffusion erklärt werden. Die Diffusion von Dotieratomen kann je nach Element sowohl über Siliziumzwischengitteratome oder auch über Leerstellen im Siliziumgitter erfolgen. Phosphor ist eines der Elemente, welches über beide Arten diffundiert. Diese beschriebenen Vorgänge beruhen darauf, dass die Anzahl der Dotierstoffkonzentration N_D bzw. N_A viel kleiner als die intrinsische Ladungsträgerdichte $n_i(T)$ ist. Dieser Fall wird als intrinsische Diffusion bezeichnet. Dabei ist zu beachten, dass die intrinsische Ladungsträgerdichte für die Temperatur der Diffusion nach Gleichung 5.6 bestimmt wird.

$$n_i = 3,9 \cdot 10^{16} \cdot T^{\frac{3}{2}} \cdot e^{\frac{-0,605eV}{kT}} \quad (5.6)$$

Bei einer Diffusionstemperatur von 1000 °C beträgt die intrinsische Ladungsträgerdichte $7 \cdot 10^{18} \frac{1}{\text{cm}^3}$. Sind die Dotierstoffkonzentrationen größer als die intrinsische Ladungsträgerdichte (N_A bzw. $N_D > n_i(T)$), so können Abweichungen zum erwarteten Dotierungsprofil auftreten. Dieser Fall wird als extrinsische Diffusion bezeichnet. Ursachen dafür sind einerseits die Bildung von Fehlstellen durch den Einbau der Fremdatome, andererseits treten elektrische Felder auf, die den Diffusionsfluss vergrößern. Diese Felder entstehen, da besetzte Gitterplätze mit ihrem Dotierprofil Raumladungen erzeugen.

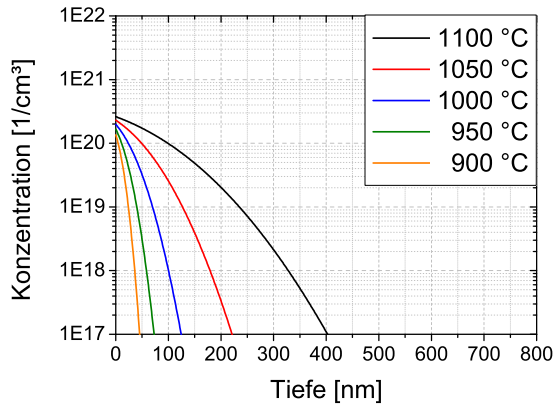
Vorbelegung

Als Vorbelegung (pre-deposition) wird der Prozessschritt bezeichnet, bei dem das SOD nach dem Aufbringen bzw. Ausheizen einem Hochtemperaturschritt unterzogen wird. Das dabei entstehende Dotierprofil lässt sich analytisch durch die Diffusion einer unerschöpflichen Quelle beschreiben [Rug91]. Die Ortsabhängigkeit der Akzeptor- bzw. der Donatorenkonzentration nach der Diffusion, abhängig von der Zeit t , wird durch folgende Gleichung beschrieben.

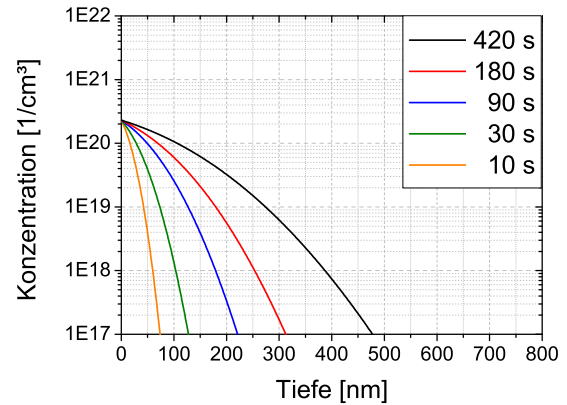
$$N_{A,D}(x) = N_{S_{A,D}}(T) \cdot \operatorname{erfc} \left(\frac{x}{2\sqrt{D_{A,D}(T) \cdot t}} \right) \quad (5.7)$$

Die Löslichkeitsgrenze $N_{S_{A,D}}$, entspricht der Dotierstoffkonzentration des Donators bzw. des Akzeptors an der Oberfläche, und ist genau wie die Diffusionskonstante $D_{A,D}$ direkt proportional zur Temperatur.

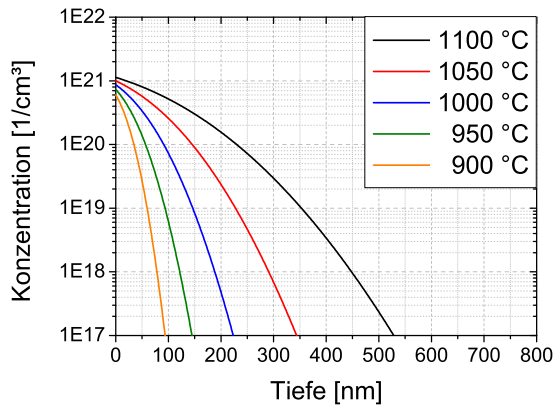
Dieses Verhältnis wird durch die Dotierprofile, aufgetragen nach Gleichung 5.7, von Bor bzw. Phosphor in Silizium verdeutlicht (Abb. 5.21). Dabei nimmt mit steigender Temperatur sowohl die Diffusionstiefe als auch die Oberflächenkonzentration bei Phosphor und bei Bor zu (Abb 5.21(a) und 5.21(c)). Des Weiteren sinkt die Dotiertiefe mit



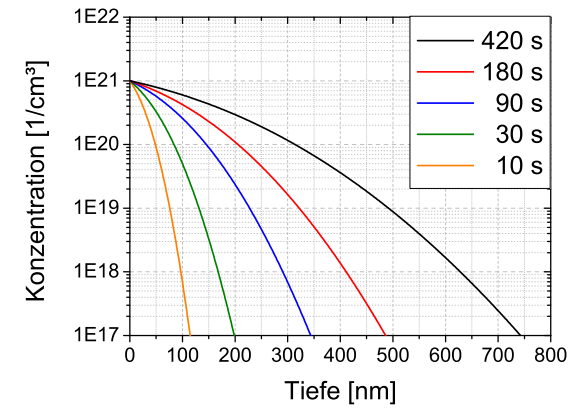
(a) Temperatureinfluss auf die Bor-Diffusion (1:30 min)



(b) Zeiteinfluss auf die Bor-Diffusion (1050 °C)



(c) Temperatureinfluss auf die Phosphor-Diffusion (1:30 min)



(d) Zeiteinfluss auf die Phosphor-Diffusion (1050 °C)

Abbildung 5.21: Berechnete Dotierprofile nach der Diffusion von Bor und Phosphor aus einer unerschöpflichen Quelle unter Voraussetzung der intrinsischen Diffusion. Parameter aus [Tra00]

abnehmender Diffusionszeit (Abb 5.21(b) und 5.21(d)). Neben diesen Abhängigkeiten ist auch ein Unterschied zwischen den beiden Dotierstoffen zu erkennen. Aufgrund der höheren Löslichkeitsgrenze $N_{S_{A,D}}$ ist die Oberflächenkonzentration von Phosphor mit $1 \cdot 10^{21} \frac{1}{\text{cm}^3}$ um ca. eine Dekade höher als die von Bor. Des Weiteren führt der niedrigere Diffusionskoeffizient $D_{A,D}$ von Bor zu einer geringeren Diffusionstiefe.

Die Abbildung 5.22 zeigt Dotierprofile, die mit einem Sekundärionenmassenspektrometer (SIMS) gemessen worden sind. In [Ben87] ist eine detaillierte Erläuterung des Messverfahrens aufgezeigt. Das SOD wird dabei mit $3000 \frac{\text{U}}{\text{min}}$ für 10 s aufgeschleudert und bei 200 °C für 10 min ausgeheizt. Der Hochtemperaturschritt erfolgt in einer RTP-Anlage.

Zunächst fällt auf, dass die Form der Dotierprofile sowohl für Phosphor als auch für Bor von den theoretischen Erwartungen abweicht (Abb. 5.21). Dadurch ist auch die Diffusionstiefe zwischen dem berechneten und dem gemessenen Wert unterschiedlich. Einzig die Abhängigkeiten der Diffusionstiefe zur Zeit und der Oberflächenkonzentration

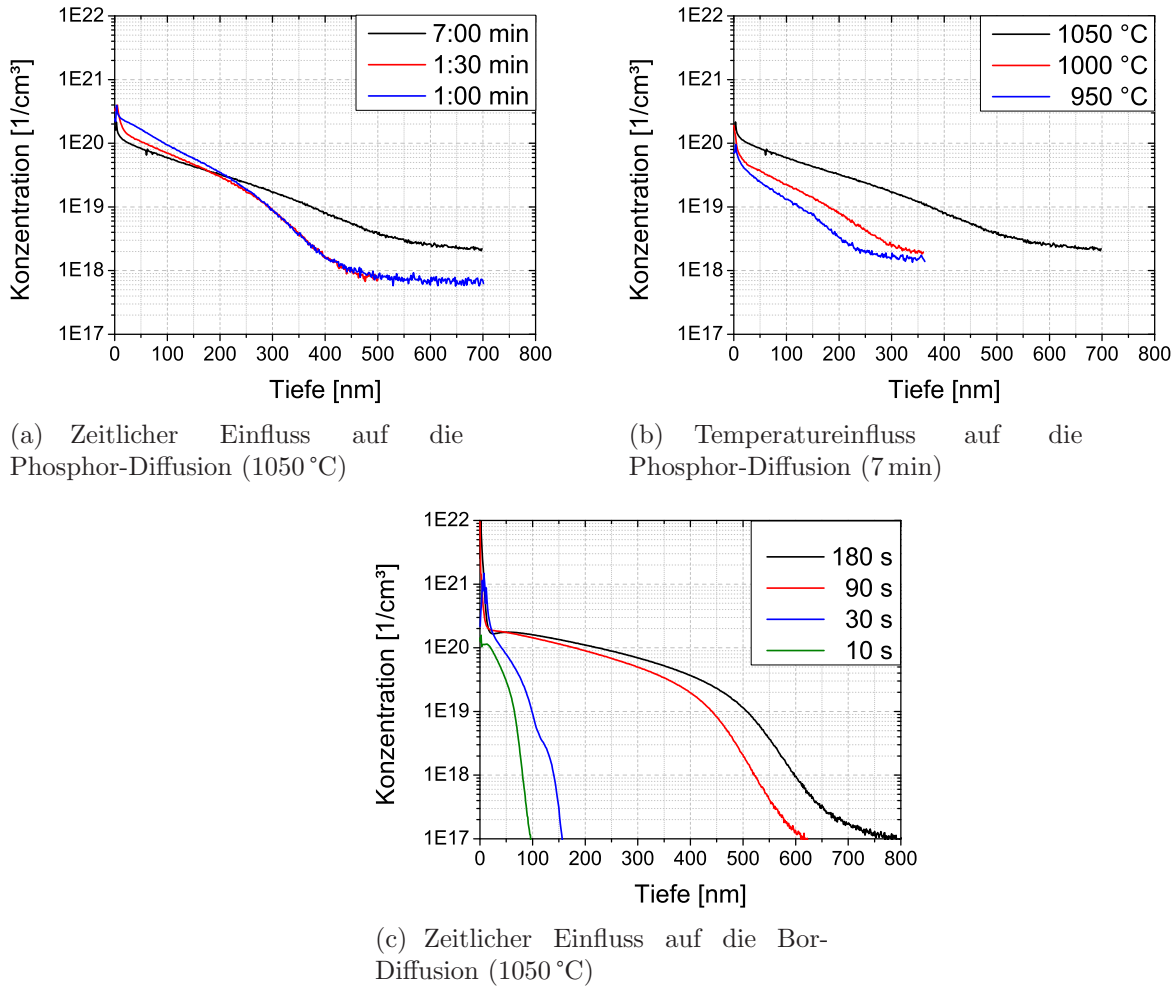
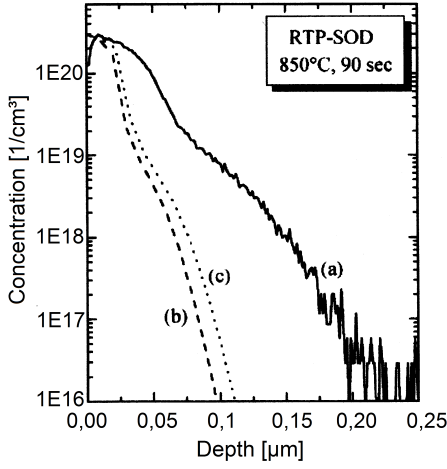


Abbildung 5.22: Dotierprofile nach der Diffusion von Bor und Phosphor

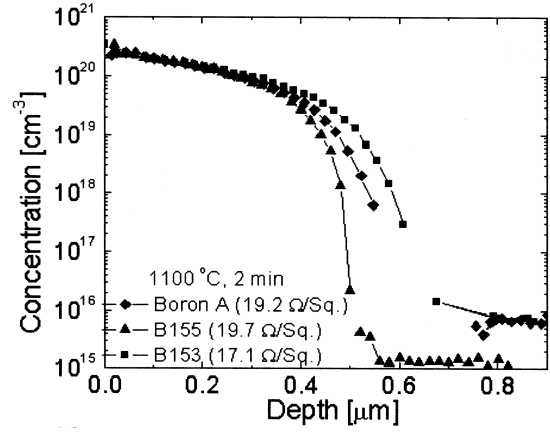
zur Temperatur stimmen mit den Berechnungen überein. Die Oberflächenkonzentration stimmt für Bor mit dem aus dem Modell überein. Jedoch ist bei Phosphor ein Unterschied von einer Dekade zu beobachten. Aufgrund von Oberflächeneffekten bei der verwendeten Messmethode, kann es zu einer Verfälschung der Messergebnisse bei den ersten 10 nm kommen.

Zur Klärung, ob es sich bei den experimentellen Dotierprofilen (Abb. 5.22) um Artefakte handelt, werden diese mit Literaturdaten verglichen. In Abbildung 5.23 sind Diffusionsprofile aus der Literatur dargestellt. Dabei ist ebenfalls als Dotiermedium SOD verwendet worden. Jedoch sind die Temperaturen und Zeiten unterschiedlich zu den vorherigen SIMS-Profilen, wodurch der Unterschied in der Tiefe und der Dotierstoffkonzentration an der Oberfläche zu Stande kommt. Die Form der Profile ist aber vergleichbar mit den gemessenen aus Abbildung 5.22 und stimmt mit den analytischen Berechnungen nach Gleichung 5.7 ebenfalls nicht überein.

Der Grund für die Abweichungen zwischen dem Modell und dem experimentellen Profilen liegt daran, dass bei der Berechnung die klassische Diffusion, die sogenannte



(a) Diffusionsprofil mit Phosphor-SOD aus [Mat98] ((a) gemessenes SIMS-Profil, (b) und (c) simulierte Kurven)



(b) Diffusionsprofil mit Bor-SOD aus [Lee04]

Abbildung 5.23: Dotierprofile aus der Literatur

intrinsische Diffusion vorausgesetzt wird. Das bedeutet, die intrinsische Ladungsträgerdichte ist größer als die Dotierstoffkonzentration ($n_i > N_D$). Die Annahme kann bei der Diffusion mit SOD nicht getroffen werden. Nach Gleichung 5.6 berechnet sich die intrinsische Ladungsträgerdichte bei der in Abbildung 5.22 verwendeten Temperatur von 1050 °C zu $9,3 \cdot 10^{18} \frac{1}{\text{cm}^3}$. Dieser Wert ist kleiner als die Dotierstoffkonzentration des SODs, die sich nach Tabelle 5.1 auf ca. $1 \cdot 10^{20} \frac{1}{\text{cm}^3}$ beläuft. Dadurch ist die Gesetzmäßigkeit der intrinsischen Diffusion verletzt und aus diesem Grund kann das Idealmodell mit der intrinsischen Diffusion nach Gleichung 5.7 nicht verwendet werden. Diese Erkenntnis gilt sowohl für Bor als auch für Phosphor.

Aus diesem Grund muss ein Modell verwendet werden, welches die extrinsische Diffusion berücksichtigt. Ein solches Modell für Bor liefert [Fai75].

$$N_{A,D}(x) = N_{S_{A,D}}(T) \cdot (1 - Y^{\frac{2}{3}}) \quad (5.8)$$

$$Y = \left(\frac{x^2}{K_1 D_S t} \right)^{\frac{3}{2}} \quad (5.9)$$

$$D_S = \frac{N_{S_{A,D}}(T)}{n_i(T)} D_i \quad (5.10)$$

Dabei wird die intrinsische Ladungsträgerdichte $n_i(T)$ bei der Diffusionstemperatur bestimmt [Jae88], die dimensionslose Konstante K ergibt nach [Fai75] 6 und die intrinsische Diffusionskonstante wird als D_i definiert. In Abbildung 5.24 sind die Bor-Dotierprofile bei einer Temperatur von 1050 °C dargestellt, die einerseits nach dem neuen Modell berechnet sind (gestrichelt) und andererseits die gemessenen Profile aus Abbildung 5.22.

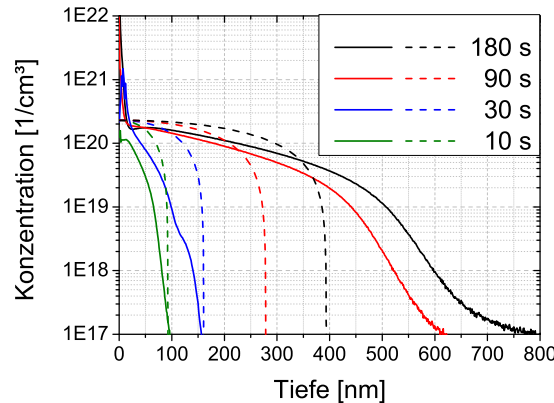


Abbildung 5.24: Vergleich der gemessenen Borprofile (1050°C) mit analytischer Berechnung nach [Fai75] (gestrichelte Linien)

Für die Berechnung des Dotierprofils ergibt sich bei einer Temperatur von 1050°C nach Gleichung 5.6 die intrinsische Ladungsträgerdichte n_i zu $9,3 \cdot 10^{18} \frac{1}{\text{cm}^3}$ und die intrinsische Diffusionskonstante D_i nach [Fai75] zu $5 \cdot 10^{-14} \frac{\text{cm}^2}{\text{s}}$.

Für kurze Diffusionszeiten stimmt die Berechnung bei der Form der Profile und der Diffusionstiefe mit den experimentellen Profilen nahezu überein. Bei längeren Zeiten ist diese Übereinstimmung nicht mehr gegeben. Jedoch ist anzumerken, dass dieses Modell Profile liefert, die näher an der Realität sind als das Idealmodell mit intrinsischer Diffusion.

Die Diffusion mit Phosphor führt zu einem komplexeren Diffusionsprofil als bei Bor (Abb. 5.23). Dadurch gibt es keine einfache analytische Lösung für die Diffusion mit diesem Dopanden [Jae88]. Erste Modelle und Ansätze, diesen Prozess mathematisch zu beschreiben, sind in [Tsa69] und [Fai77] angegeben, wobei die genauen Mechanismen der Diffusion nicht bekannt sind.

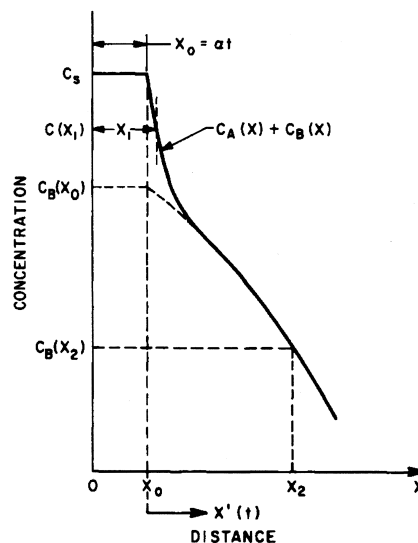


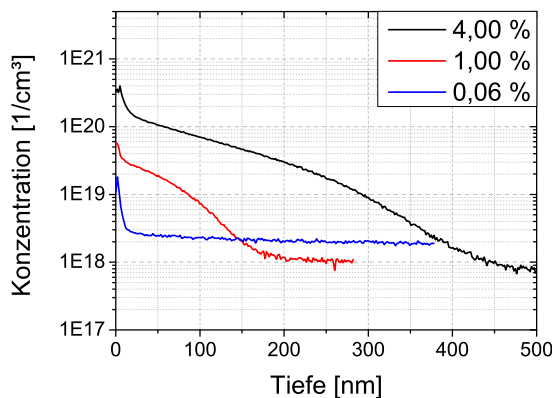
Abbildung 5.25: Analytisches Diffusionsprofil von Phosphor nach [Tsa69]

Dabei wird das typische Dotierprofil in drei Bereiche unterteilt (Abb. 5.25) [Tsa69].

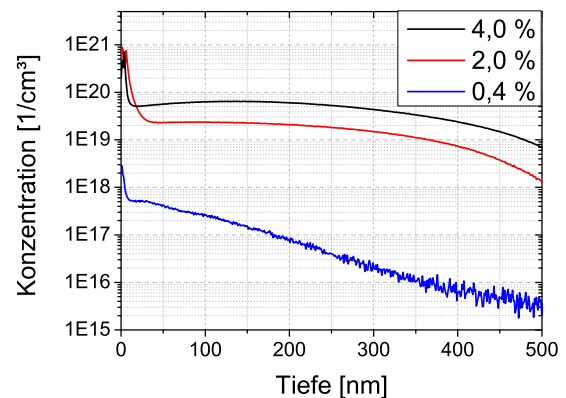
1. Konstante Dotierstoffkonzentration an der Oberfläche
2. Übergangsbereich
3. Diffusionsbereich

Der erste Bereich, der sich an der Substratoberfläche befindet, erstreckt sich nach Abbildung 5.25 bis x_0 und hat eine konstante Dotierstoffkonzentration von C_S . Anschließend folgt ein Absinken der Konzentration mit der Strecke $x_1 - x_0$. Dieser Bereich wird auch häufig als Kink bezeichnet. Anschließend nimmt die Dotierstoffkonzentration ab und es kommt zum Verflachen des Profils. Es herrscht eine stärkere Diffusion vor, der Bereich wird auch als Tail bezeichnet. Vergleicht man das theoretische Profil mit den gemessenen aus Abbildung 5.22(b) und dem aus der Veröffentlichung 5.23(a), so ist deutlich zu sehen, dass sich diese von der Form kaum unterscheiden.

Dieser Abschnitt zeigt, dass die gemessenen Dotierprofile sowohl für Phosphor als auch für Bor vergleichbar mit Diffusionen aus der Literatur sind. Des Weiteren stimmen die Profile von Bor mit analytischen Berechnungen überein, bei denen das Modell der extrinsischen Diffusion angewendet wird.



(a) Abhängigkeit der Dotierstoffkonzentration auf die Diffusion bei Phosphor (1050 °C für 1.5 min)



(b) Abhängigkeit der Dotierstoffkonzentration auf die Diffusion bei Bor (1000 °C für 9 min)

Abbildung 5.26: Dotierprofile mit verschiedenen Dotierstoffkonzentrationen

Ein wichtiger Faktor, den das Modell nicht berücksichtigt, ist die Dotierstoffkonzentration in den Silikatgläsern. Diese wird durch die Menge von Bortrioxid (B_2O_3) bzw. Phosphorpentoxid (P_2O_5) im SOD bestimmt. Abbildung 5.26 zeigt die Dotierprofile für Silikatgläser mit unterschiedlicher Konzentration. Dabei nimmt mit zunehmender Dotierstoffmenge, bei Phosphor und Bor, sowohl die Oberflächenkonzentration als auch die Diffusionstiefe zu. Dies liegt am Konzentrationsgradienten, da bei einer höheren Dotierstoffmenge das Gefälle zum niedrig dotierten Substrat höher ist, als bei einer geringeren Konzentration.

Dopand	Konzentration [%]	Berechnung nach [Toa99] [1/cm ³]	Filmtronics [1/cm ³]	SIMS-Profil [1/cm ³]
Bor	4	$2 \cdot 10^{21}$	$1 \cdot 10^{20}$	$7 \cdot 10^{19}$
Bor	2	$1 \cdot 10^{21}$	$1 \cdot 10^{19}$	$2 \cdot 10^{19}$
Phosphor	4	$2 \cdot 10^{21}$	$3,2 \cdot 10^{20}$	$1 \cdot 10^{20}$
Phosphor	1	$5 \cdot 10^{20}$	$3,2 \cdot 10^{19}$	$2 \cdot 10^{19}$

Tabelle 5.1: Vergleich der Methoden zur Bestimmung der Oberflächendotierstoffkonzentration

Um eine Abschätzung der Dotierstoffe im Silizium abhängig von der Konzentration der Dopanden im SOD zu bekommen, gibt es den Ansatz von [Toa99]. Dabei wird abhängig von der Atomdichte mithilfe der Prozentangabe des Dopanden vom Hersteller die Konzentration in 1/cm³ berechnet. Die sich dadurch ergebenden Werte sind in Tabelle 5.1 dargestellt. Vergleicht man diese mit den Werten aus den SIMS-Profilen so ist deutlich zu sehen, dass die Konzentrationen nicht übereinstimmen. Dies liegt an der Löslichkeitsgrenze der Dopanden in Silizium. Die Beobachtung ist bereits von [Toa99] getroffen worden. Um eine Abschätzung zu bekommen, sind Daten über die Dotierstoffkonzentration der Firma Filmtronics in der Tabelle 5.1 angegeben. Die Werte ergeben sich dabei aus verschiedenen Diffusionen, wobei weder die exakte Temperatur noch die Zeit bekannt sind. Anhand dieser Dotierstoffkonzentrationen ist aber zu sehen, dass die SIMS-Profile im Wertebereich der Daten der Firma Filmtronics liegen. Aus diesem Grund können diese Zahlen für eine grobe Abschätzung verwendet werden.

Eintreiben

Als Eintreiben (drive-in) wird jeder Hochtemperaturschritt bezeichnet, der nach der Vorbelegung stattfindet. Eine Aussage über die Dotierprofile für das Eintreiben lassen sich für den Idealfall der intrinsischen Diffusion analytisch durch die Diffusion aus einer erschöpflichen Quelle beschreiben [Rug91].

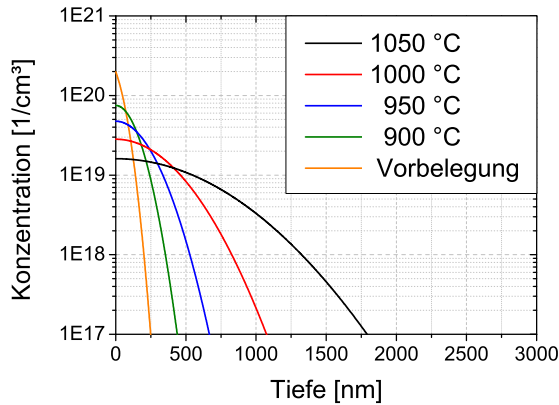
$$N_{A,D}(x) = \frac{Q}{\sqrt{\pi t D_{A,D}(T)}} \cdot e^{\frac{-x^2}{4t D_{A,D}(T)}} \quad (5.11)$$

Dabei ist Q die Belegungsdichte der dotierten Schicht und wird durch die Vorbelegung bestimmt. Betrachtet man den Idealfall der intrinsischen Diffusion auch für die Vorbelegung, ergibt sich folgende Gleichung.

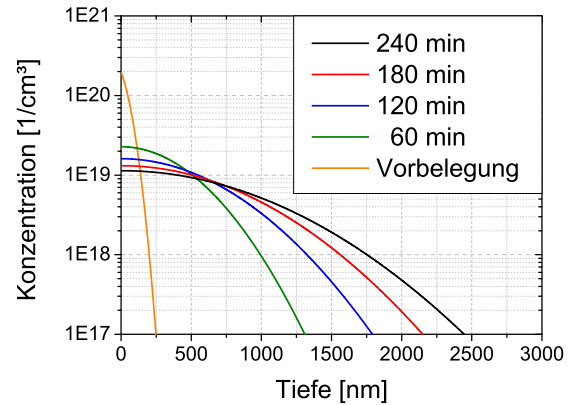
$$Q = 2N_{S_{A,D}}(T) \sqrt{\frac{t D_{A,D}(T)}{\pi}} \quad (5.12)$$

Wird die nicht Idealität der Diffusion in der Vorbelegung betrachtet so ergibt sich für eine extrinsische Diffusion nach [Fai75] der folgende Zusammenhang.

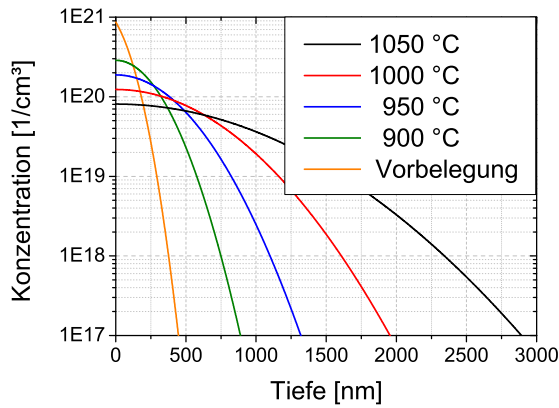
$$Q = 0,98 \cdot N_{S_{A,D}}(T)^{\frac{3}{2}} \sqrt{\frac{t D_i}{n_i(T)}} \quad (5.13)$$



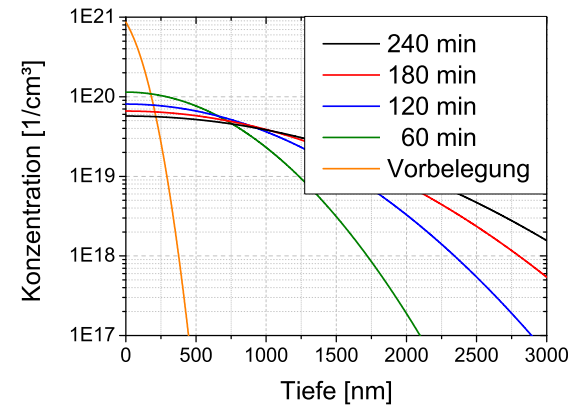
(a) Temperatureinfluss auf die Bor-Diffusion (2 h)



(b) Zeiteinfluss auf die Bor-Diffusion (1050 °C)



(c) Temperatureinfluss auf die Phosphor-Diffusion (2 h)



(d) Zeiteinfluss auf die Phosphor-Diffusion (1050 °C)

Abbildung 5.27: Berechnete Dotierprofile nach der Diffusion von Bor und Phosphor aus einer erschöpflichen Quelle unter Voraussetzung der intrinsischen Diffusion. Parameter aus [Tra00]

Die Abbildung 5.27 zeigt für die intrinsische Diffusion die Dotierprofile für Bor bzw. Phosphor in Silizium aufgetragen nach Gleichung 5.11. Dabei hat vorher eine Vorbelegung von 6 min bei 1000 °C stattgefunden. Aufgrund der begrenzten Menge an Dotierstoff nimmt die Oberflächenkonzentration mit steigender Diffusionszeit und Temperatur ab (Abb. 5.27). Die Diffusionstiefe nimmt äquivalent zur Vorbelegung mit steigender Diffusionszeit und Temperatur zu (Abb. 5.27). Jedoch ist anzumerken, dass die Temperatur einen höheren Einfluss auf das Dotierprofil hat als die Zeit (Gln. 5.11). Eine Erniedrigung der Temperatur von 1050 °C auf 950 °C hat zur Folge, dass die Oberflächenkonzentration um eine halbe Dekade bei Bor bzw. eine viertel Dekade bei Phosphor steigt. Eine Verlängerung der Zeit von 180 min auf 240 min hat nur eine geringfügige Auswirkung auf die Dotierhöhe.

Das Dotierprofil ist beim Eintreiben nicht nur abhängig von der Temperatur und der Zeit dieses Prozessschrittes, sondern auch von der bereits stattgefundenen Vorbelegung. Dabei wird wieder vom Idealfall der intrinsischen Diffusion ausgegangen. Abbildung 5.28

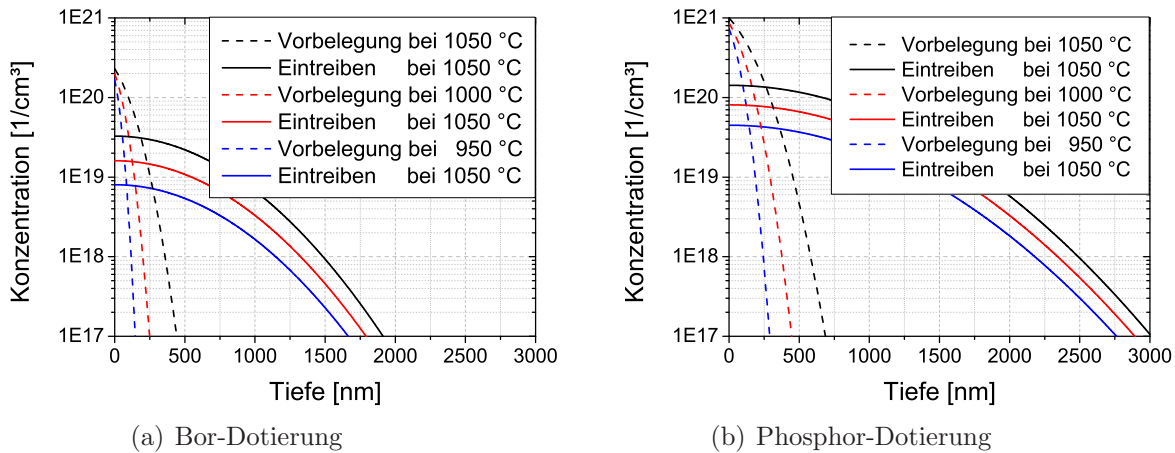


Abbildung 5.28: Auswirkungen der Vorbelegung auf das Eintreiben, bei intrinsischer Diffusion. Parameter aus [Tra00]

zeigt die Auswirkung der Vorbelegung auf das Dotierprofil nach dem Eintreiben. Dabei wird bei der Vorbelegung eine konstante Zeit von 6 min und beim Eintreiben von zwei Stunden gewählt. Eine Erhöhung der Temperatur von $950\text{ }^\circ\text{C}$ auf $1050\text{ }^\circ\text{C}$ bei der Vorbelegung hat zur Folge, dass die Dotierhöhe nach dem Eintreiben um eine halbe Dekade höher ist. Der Einfluss auf die Dotiertiefe ist im Verhältnis dazu gering. Aufgrund der höheren Löslichkeitsgrenze von Phosphor gegenüber Bor, ist die Oberflächenkonzentration nachdem Eintreiben entsprechend höher.

Abbildung 5.29 zeigt gemessene Dotierprofile vom jeweiligen Vorbelegungs- und Eintreibschritt. Zusätzlich sind noch die berechneten Dotierprofile für den Idealfall der intrinsischen Diffusion in gestrichelter Form dargestellt. Dabei fällt auf, dass die Berechnung unter Berücksichtigung des Idealfalls der intrinsischen Diffusion mit den tatsächlich gemessenen Dotierprofilen, sowohl für Phosphor als auch für Bor, nicht übereinstimmt. Dies zeigt sich bereits bei der Oberflächenkonzentration. Da bereits bei der Vorbelegung ein Unterschied in der Oberflächenkonzentration zu erkennen ist, ist dieser auch beim Eintreiben ersichtlich. Die Form und die Diffusionstiefe stimmen nicht überein.

Die Ursache dafür ist, dass das verwendete Modell die intrinsische Diffusion voraussetzt. Genau wie bei der Vorbelegung ist auch hier die Dotierstoffkonzentration in Form der Belegungsdichte Q größer als die intrinsische Ladungsträgerdichte n_i . Dadurch ist die Voraussetzung für eine intrinsische Diffusion nicht gegeben. Die analytische Berechnung dieser Profile ist mit den Gleichungen 5.8 nicht möglich, da diese von einer unerschöpflichen Quelle ausgehen. Des Weiteren befindet man sich aufgrund der nicht mehr allzu hohen Dotierstoffkonzentration nicht mehr nur in der extrinsischen Diffusion. Dies kann nur mit numerischer Mathematik gelöst werden.

Anhand dieser Vergleiche zwischen dem Modell und den gemessenen Diffusionsprofilen ist ersichtlich, dass die Diffusion durch mehrere Faktoren einstellbar ist. Bei dem hier vorgestellten SOD-CMOS Prozess ist die Anforderung an die Dotierung vielfältig. Bei der Dotierung der Source/Drain Gebiete ist eine hohe Oberflächenkonzentration sowie eine geringe Dotiertiefe gewünscht. Ersteres ist notwendig um einen ohmschen Kontakt

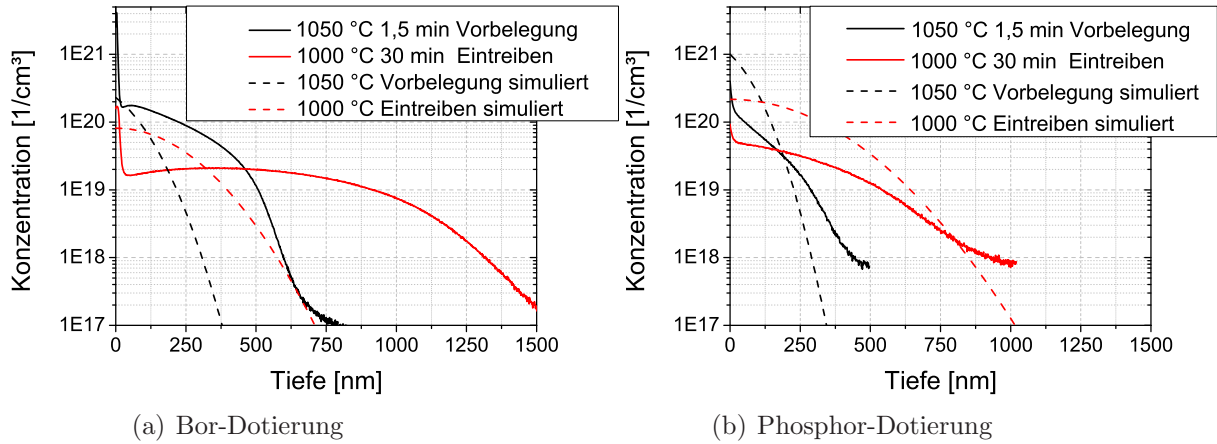


Abbildung 5.29: Diffusionsprofile von Vorbelegung und Eintreiben

zwischen der Metallisierung und Silizium zu erhalten. Dies ist vor allem bei der Verwendung von Aluminium als Metall notwendig, da sich bei einer Dotierstoffkonzentration des n-Siliziums unter $5 \cdot 10^{19} \frac{1}{\text{cm}^3}$ kein ohmscher Kontakt bildet [Tra00]. Des Weiteren führt eine geringe Diffusionstiefe der Gebiete zu einer Herabsetzung des Eintreibschritts, da die Wannen für die CMOS-Technologie nicht mehr so tief dotiert werden müssen.

Bei der Herstellung der Transistoren mit selbstjustierendem Gate muss zusätzlich noch das Polysilizium berücksichtigt werden (Kap. 5.2.1). Dieses wird zum Erreichen einer symmetrischen Austrittsarbeitdifferenz ϕ_{MS} gleichzeitig mit den Source/Drain Gebieten diffundiert. Dadurch ist die Einstellung der symmetrischen Einsatzspannung einfacher, da im Idealfall nur noch die Wannen symmetrisch dotiert werden müssen. Hierbei ist zu berücksichtigen, dass einerseits das Polysilizium gleich mäßig dotiert wird, andererseits darf der Dopand nicht durch das Gateoxid durchdiffundieren. Dies führt sonst zu einem Kurzschluss. Abbildung 5.30 zeigt das Dotierprofil eines Gatestacks, bestehend aus Polysilizium, Siliziumoxid und Silizium, nach einer Diffusion von 90 s bei 1050°C . Die Dicke des Polysiliziums beträgt 130 nm, die des Siliziumoxids 7,5 nm. Das

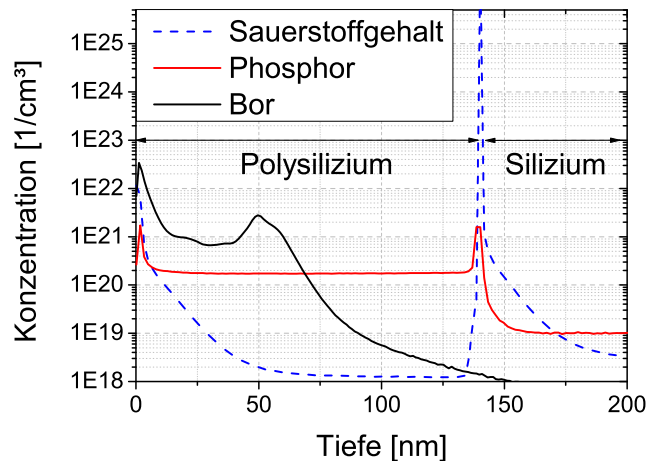


Abbildung 5.30: Diffusionsprofil von Polysilizium

Profil zeigt, dass das Polysilizium gleichmäßig mit Phosphor dotiert ist, ohne dabei durch das Gateoxid zu diffundieren. Die Dotierstoffkonzentration von $1 \cdot 10^{20} \frac{1}{\text{cm}^3}$ ist für die elektrischen Anforderungen ausreichend. Die Dotierung mit Bor führt zu einem anderen Ergebnis. Eine gleichmäßige Dotierung hat nicht stattgefunden, da die Dotiertiefe lediglich 50 nm beträgt. Dies lässt sich auf die hoch dotierte Borschicht zurückführen, die später in diesem Kapitel ausführlicher behandelt wird. Das so dotierte Polysilizium ist aber für die Funktion eines MOSFETs ausreichend, da es hochdotiert ist.

Aufgrund dieser Voraussetzungen empfiehlt es sich eine möglichst hohe Dotierstoffkonzentration und Diffusionstemperatur zu wählen. Die Zeit sollte dabei so klein wie möglich gewählt werden, aber dennoch ausreichend, um das Polysilizium zu dotieren. Des Weiteren sollte im Idealfall nach der Vorbelegung kein Hochtemperaturschritt mehr erfolgen, da dies zu einer geringeren Dotierstoffkonzentration führt. Aus diesem Grund wird für den Metal-Gate und den selbstjustierenden Gate-Prozess die gleiche Temperatur von 1050 °C, aber unterschiedliche Diffusionszeiten gewählt. Diese beläuft sich beim ersten Prozess auf 10 s beim Zweiten auf 90 s.

Neben den Source/Drain Gebieten wird auch die Wanne für die Transistoren mit SOD dotiert. Die Anforderung ist eine möglichst homogene exakte Dotierung über eine große Diffusionstiefe zu erlangen. Um dies zu erreichen ist neben der Vorbelegung ein Eintreiben der Wanne notwendig (Abb. 5.27), jedoch entscheidet bereits die Vorbelegung über die Dotierhöhe der Wanne (Abb. 5.28). Aus diesem Grund empfiehlt sich folgende Herangehensweise an die Vorbelegung:

1. Dotierstoffkonzentration des SODs nach gewünschtem Dotierhöhenbereich wählen
2. Einstellung der exakten Dotierstoffkonzentration mit der Temperatur
3. Einstellung der Diffusionstiefe über die Zeit

Neben der Vorbelegung ist auch das Eintreiben wichtig. Dabei zeigen die Berechnungen, dass eine höhere Temperatur zu einer Absenkung der Dotierstoffkonzentration führt. Im Kapitel 5.2 vorgestellten Prozessablauf wird das Eintreiben mit der Oxidation zur Isolation der Transistoren kombiniert. Aufgrund der Tatsache, dass die Zeit und die Temperatur bei der Oxidation für die Wanne nicht ausreichend ist, wird ein zusätzlicher Temperaturprozess bei 1050 °C unter Stickstoffatmosphäre für drei Stunden durchgeführt. Der Einfluss der thermischen Nassoxidation und des zusätzlichen Temperaturprozesses auf das Diffusionsprofil ist in Abbildung 5.31 dargestellt. Die Vorbelegung findet mit einem Dotierglas mit 2 % Gehalt bei 1000 °C für 6 min statt. Anhand der Profile wird deutlich, dass die Oxidation einen erheblichen Einfluss auf die Dotierung hat. Dabei tritt der Effekt der Oxidation Enhanced Diffusion (OED) auf. Es findet eine verstärkte Diffusion der Dotieratome statt, da durch die Volumenexpansion des Siliziumoxids zusätzliche Leerstellen im Silizium erzeugt werden. Es zeigt sich, dass es zu einer Absenkung der Dotierstoffkonzentration im Siliziumwafer um eine Dekade gegenüber der Vorbelegung kommt. Wird jedoch vor der Oxidation ein zusätzlicher Hochtemperaturschritt in Stickstoffatmosphäre durchgeführt, so ist die Konzentration um ca. eine halbe Dekade höher. Des Weiteren fällt bei beiden Profilen auf, dass an der Grenzfläche Si/SiO_2 eine Absenkung der Borkonzentration stattfindet. Aufgrund der Tatsache, dass Bor eine

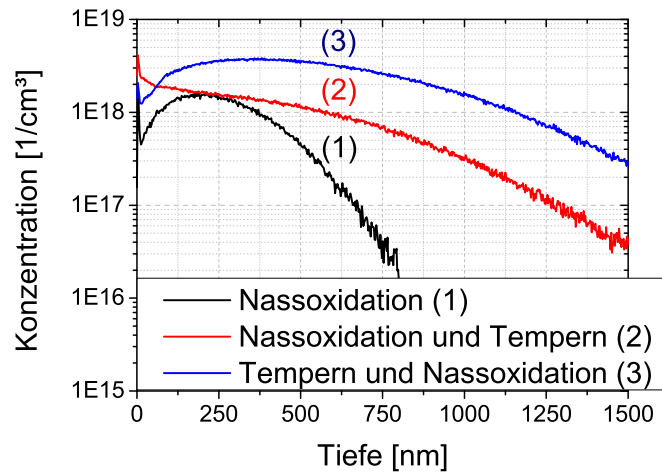


Abbildung 5.31: Diffusionsprofile einer bordotierten Wanne bei unterschiedlicher Wahl des Eintreibens

höhere Löslichkeit in Siliziumoxid als in Silizium hat, lagert sich das Bor verstärkt in der Oxidschicht an. Dadurch kommt es zu einem Absenken der Konzentration an der Siliziumgrenzfläche und dementsprechend auch zu einer niedriger dotierten Wanne. Dieser Effekt wird als Segregation bezeichnet [Rug91]. Aus diesem Grund empfiehlt es sich, erst nach der thermischen Oxidation einen zusätzlichen Hochtemperaturschritt einzufügen. Dadurch kann der Effekt der Segregation ausgeglichen und eine nahezu konstante Bor-konzentration eingestellt werden.

Aus diesem Grund empfiehlt sich folgende Herangehensweise an das Eintreiben für eine p-Wanne:

1. Einstellung der exakten Dotierstoffkonzentration mit der Temperatur
2. Einstellung der Diffusionstiefe über die Zeit
3. Notwendige thermische Oxidation vor dem eigentlichen Eintreiben durchführen

Aufgrund der geringen Auflösungsgrenze des SIMS bei Phosphordotierungen sind n-dotierte Wannen auf den Ergebnissen der Bordotierungen entwickelt worden. Dabei ist zu beachten, dass der Effekt der Segregation auch bei diesem Element auftritt. Jedoch hat Phosphor eine höhere Löslichkeit in Silizium als in Siliziumoxid. Dies führt zu einer Anreicherung der Konzentration von Phosphor an der Si/SiO_2 Grenzfläche.

Diffusionsbarriere

Neben der Entwicklung der Diffusionsparameter ist auch die Wahl einer Diffusionsbarriere entscheidend. Diese wird vor allem bei der Source/Drain Diffusion benötigt, um die nicht zu dotierenden Gebiete zu schützen. Um eine Ausdiffusion von bereits dotierten Gebieten zu verhindern, eignen sich Materialien, die bei einer geringen Temperatur aufgebracht werden. Aus diesem Grund können sowohl Siliziumoxid als auch Siliziumnitrid

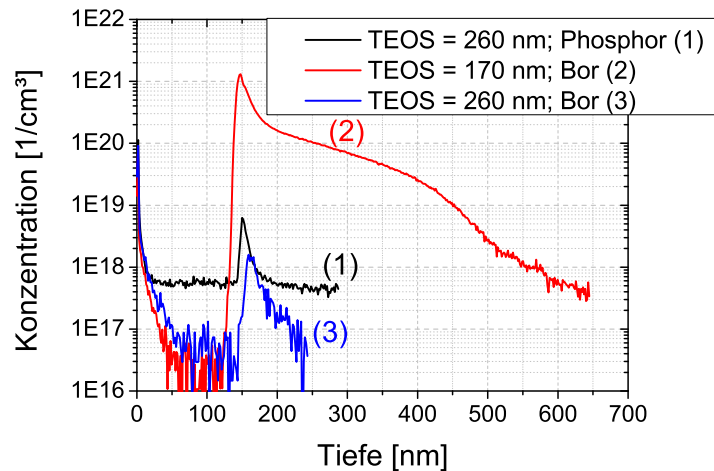


Abbildung 5.32: Diffusionsprofile bei der Verwendung einer Diffusionsbarriere

verwendet werden, da sie bei einer Temperatur von 750 °C abgeschieden werden. Siliziumnitrid weist den Nachteil auf, dass es bereits bei der Herstellung des Spacers verwendet wird (Kap. 5.3.2). Da der Spacer bereits aus demselben Material besteht, besteht die Gefahr, dass beim Strukturieren des Passivierungsnitrids der Spacer entfernt wird. Dies könnte zu einem nicht funktionieren des Transistors führen. Aufgrund dessen, dass eine Selektivität zum Spacer gebraucht wird, kann nur ein Abscheideoxid verwendet werden. Dabei reicht bei thermischen Siliziumoxid bereits eine Schichtdicke von ca. 70 bzw. 20 nm aus, um als Diffusionsbarriere bei einer Vorbelegung mit Phosphor bzw. Bor bei 1050 °C für 3 min zu genügen [Tra00]. Aufgrund der Tatsache, dass das Abscheideoxid nicht so dicht wie ein thermisches Oxid ist, wird eine dickere Schicht benötigt. Abbildung 5.32 zeigt Diffusionsprofile von Bor und Phosphor bei unterschiedlichen Schichtdicken des Abscheideoxids. Bei einer Dicke von ca. 170 nm ist eine deutliche Konzentration von Bor in Silizium zu sehen. Das bedeutet, dass diese Schicht als Diffusionsbarriere nicht ausreicht. Jedoch erweist sich eine Schichtdicke von ca. 260 nm sowohl für Phosphor als auch für Bor als geeignet.

Flusssäureresistente Borschicht

Nach der Vorbelegung wird mit Flusssäure das SOD gleichzeitig mit dem darunter liegendem Siliziumoxid entfernt [Fil04]. Findet der Prozessschritt auf einem blanken Siliziumwafer statt, ist das SOD entfernt, sobald die Scheibenoberfläche aus dem hydrophilen in den hydrophoben Zustand übergeht. Bei der Entfernung des Bor-SODs findet die Zustandsänderung nicht statt, da eine leicht bräunlich schimmernde Schicht auf der Waferoberfläche zurück bleibt. Diese Beobachtung wurde bereits mehrfach veröffentlicht [Toa99],[Cao11] und [Sci10]. Die Schicht, die als Boron-Rich-Layer (BRL) bezeichnet wird [Pig80], entsteht während des Hochtemperaturprozesses der Vorbelegung aus dem im SOD enthaltenen Boroxid. Dadurch ergeben sich nach dem Hochtemperaturschritt folgende drei Schichten:

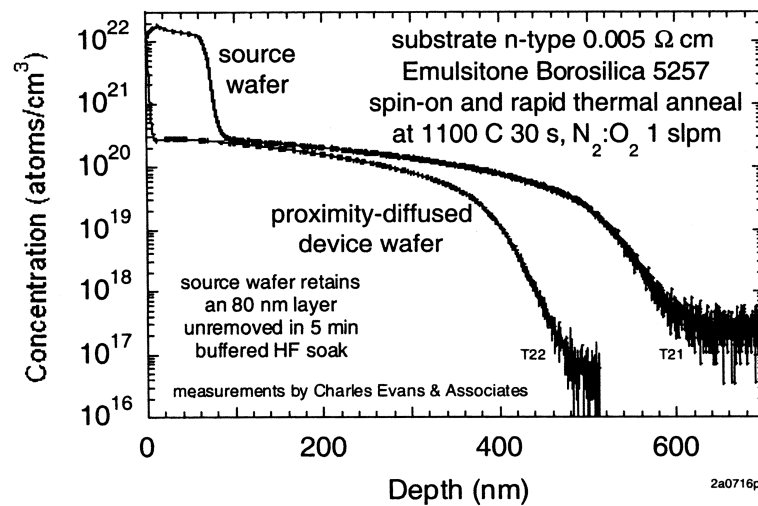
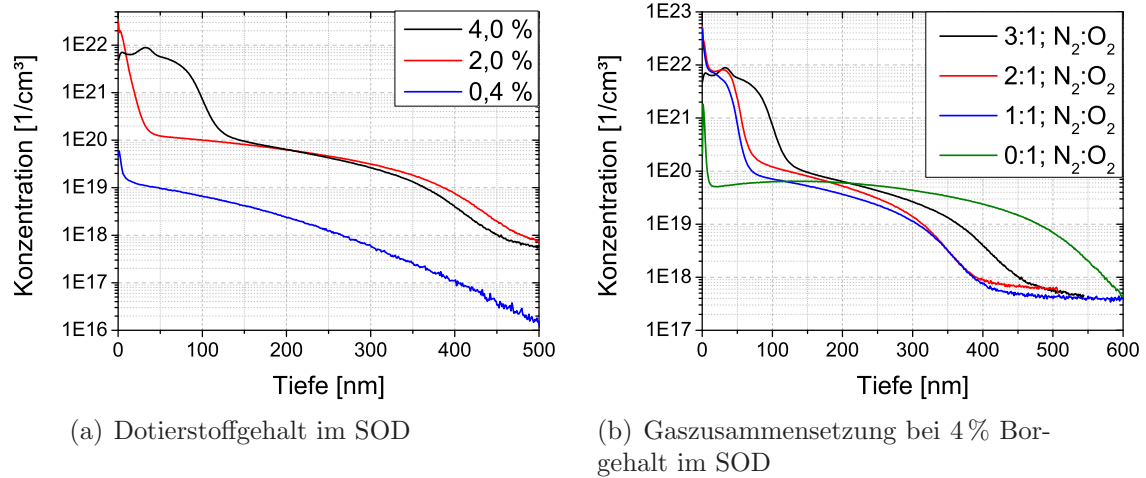
- Boron-Rich-Layer, Si-B Gefüge
- Siliziumoxid
- Boroxid

Nähere Untersuchungen der BRL ergaben eine Zusammensetzung aus SiB_4 und SiB_6 [Ara73]. Aufgrund dessen ergeben sich die folgenden Reaktionsgleichungen [Kes09].



Die BRL entsteht, wenn die Produktionsrate des elementaren Bors viel höher ist als die Diffusion dieses Elements in Silizium. Nach [Ara73] konnte bei einer Gasdiffusion festgestellt werden, dass die ätzresistente Schicht sich bei einem Anteil von über 12 % Bor gebildet hat. Daraus lässt sich schließen, dass die SiB_4 bzw. SiB_6 Schicht entsteht, wenn die Löslichkeit von Bor in Silizium überschritten ist. Diese Begründung trifft auch für das SOD zu. Abbildung 5.33(a) zeigt Diffusionsprofile mit unterschiedlicher Dotierstoffkonzentration im SOD, die bei 1000 °C für 9 min hergestellt werden. Die Dotierstoffkonzentrationen von 2 % und 4 % führen zu einer Oberflächenkonzentration, die deutlich größer ist als die Löslichkeitsgrenze von Bor in Silizium. Anschließend sinkt die Dotierung auf den Wert der Löslichkeitsgrenze ab. Beim SOD mit dem geringsten Gehalt von Boroxid tritt dieses Verhalten nicht auf. Die Dotierprofile und auch die Beobachtungen beim Entfernen des SODs führen zu der Behauptung, dass beim SOD mit 2 % und 4 % die BRL gebildet wird. Dabei ist zu beachten, dass beim SOD mit 4 % die Dicke von SiB_4 bzw. SiB_6 deutlich größer ist als die beim SOD mit 2 % Boroxid.

Die Bildung der BRL ist neben dem Borgehalt des SODs auch von der Gaszusammensetzung im Ofen während der Diffusion abhängig. Die dabei verwendeten Gase sind Sauerstoff und Stickstoff. Nach [Ara73] sinkt die Schichtdicke der ätzresistenten Schicht mit zunehmendem Sauerstofffluss. Dieser führt zu einer Oxidation des elementaren Bors und des Siliziums, was wiederum die Zufuhr des Dopanden zur Siliziumoberfläche vermindert. Abbildung 5.33(b) zeigt Diffusionsprofile von SOD in Abhängigkeit der Gaszusammensetzung in der RTP-Anlage, die bei 1000 °C für 9 min durchgeführt werden. Es ist deutlich zu erkennen, dass mit zunehmendem Sauerstoffgehalt die Bildung der BRL gehemmt wird. Jedoch bildet sich nachweislich bei allen vier Dotierungen diese Schicht aus. Bei der Diffusion ohne Stickstofffluss ist eine deutlich geringere Schichtdicke der BRL zu erkennen. Die geringere Oberflächenkonzentration ist dabei durch die Bildung von dickerem Siliziumoxid zu erklären, da das Bor durch diese Schicht durchdiffundieren muss um an die Siliziumgrenzfläche zu gelangen. Bei kürzeren Diffusionszeiten, die auch bei Source/Drain verwendet werden, ist dieses Absinken der Oberflächenkonzentration nicht zu beobachten. Durch die Diffusion mit reinem Sauerstoff wird die Bildung der BRL bei dem SOD mit 2 % Boroxid so weit gehemmt, dass sie mit Flusssäure entfernt werden kann. Aus diesem Grund empfiehlt es sich, die Diffusion bei reiner Sauerstoffatmosphäre durchzuführen.



(c) Ätzresistente Borschicht aus [Wan03]

Abbildung 5.33: Einfluss der SOD-Konzentration und der Gase auf die Entstehung der SiB_4/SiB_6 -Schicht und Vergleich mit Literatur

Abbildung 5.33(c) zeigt das Diffusionsprofil einer Dotierung mit Bor aus [Wan03]. Bei dem Profil, das als Source gekennzeichnet ist, ist die hohe Borkonzentration an der Oberfläche zu beobachten. Dieser Peak ist vergleichbar mit den Dotierprofilen aus Abbildung 5.33(a). Nach [Wan03] ist der hohe Peak ein Indiz für die Bildung der SiB_4/SiB_6 -Schicht.

Die Entstehung der BRL führt zu folgenden Nachteilen:

- Hoher Kontaktwiderstand [Bro71]
- Verschlechterung der Lebensdauer der Ladungsträger [Kes09]
- Erschöpfliche Quelle beim Eintreiben, wobei die genaue Konzentration des Bors nach der Vorbelegung nicht bekannt ist [Bus68].

Aus diesen Gründen muss für die Source/Drain Diffusion, bei der das SOD mit 4 % Boroxid verwendet wird, das SiB_4 bzw. SiB_6 entfernt werden. Dadurch ergeben sich folgende Möglichkeiten, die im Einzelnen behandelt werden.

- Nasschemie
- Nachoxidation
- Trockenchemie RIE
- Proximity-Diffusion

Nasschemie

Bei der nasschemischen Entfernung der BRL wird eine aufoxidierende Chemikalie, wie kochende Salpetersäure (HNO_3) verwendet. Dadurch wird das Bor bzw. das Silizium oxidiert, wodurch das entstandene Boroxid bzw. Siliziumoxid mit 1 % HF entfernt wird. Zur vollständigen Entfernung der BRL müssen die beiden Schritte öfters wiederholt werden. Nach [Bus68] eignet sich die Methode nicht, um größere Schichtdicken von SiB_4 bzw. SiB_6 zu entfernen. Der Ansatz führte im Rahmen dieser Arbeit nicht zum Entfernen der BRL und wird aus diesem Grund nicht weiter betrachtet.

Nachoxidation

Die Nachoxidation ist ein Verfahren, bei dem der Wafer nach dem Entfernen des SODs thermisch oxidiert wird. Dadurch wird die BRL aufoxidiert und kann anschließend mit Flusssäure entfernt werden (Gln. 5.16).

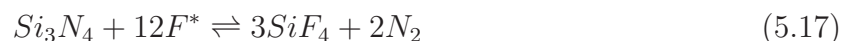


Der Nachteil der Methode ist, dass es bei Temperaturen über 750 °C zu einer Ausdiffusion der dotierten Gebiete kommt. Die thermische Trockenoxidation wird dabei für 3 min bei 1000 °C in einer RTP-Anlage durchgeführt. Das Siliziumoxid mit einer Schichtdicke von 20 nm wird anschließend mit Flusssäure entfernt. Dabei ändert der Wafer seinen Zustand von hydrophil auf hydrophob.

Trockenchemie RIE

Eine weitere Möglichkeit, die BRL zu entfernen, ergibt sich mit Hilfe der Trockenchemie, unter Verwendung eines RIE-Ätzers. Bei dieser Anlage wird das Plasma kapazitiv über die Hochfrequenzspannung (radio frequency, RF) am Probenhalter generiert. Durch eine induktive Leistungseinkopplung (inductive-coupled plasma, ICP) kann die Plasmadichte gesteigert werden [Fra04]. Für eine ausführliche Beschreibung der Anlage wird an dieser Stelle auf [Hol09] und [Bor07] verwiesen.

Bei der Entfernung der BRL wird auf das Programm zur Strukturierung von Siliziumnitrid zurückgegriffen. Dabei werden fluorhaltige Prozessgase verwendet, die im Plasma zu Fluor-Radikalen dissoziieren und die Schicht nach folgender Gleichung ätzen [Mel84]:

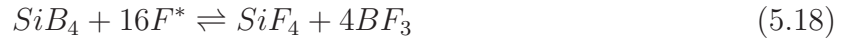


Zeit [s]	Temperatur [°C]	Druck [mTorr]	O_2 -Fluss [sccm]	CHF_3 -Fluss [sccm]	Leistung	
					RF [W]	ICP [W]
20	25	50	4	50	150	0

Tabelle 5.2: Prozess zur Strukturierung von SiB_4/SiB_6

Die Parameter für diesen Ätzprozess sind in Tabelle 5.2 dargestellt. Der Sauerstoff vermindert die Bildung eines Polymerfilms aus dem CHF_3 , welcher zu einer Herabsetzung der Ätzrate führt [Mel84]. Durch Verwendung dieses Programms wird sowohl das Siliziumnitrid als auch die BRL entfernt.

Die Ätzung der BRL erfolgt dabei nach folgender Gleichung:



Als Reaktionsprodukte entstehen neben SiF_4 auch das flüchtige Borfluorid BF_3 , welches aus der Prozesskammer abgepumpt wird. Die Verbindung entsteht auch, wenn bordotiertes Silizium mit fluorhaltigen Gasen geätzt wird. Mit den Parametern aus Tabelle 5.2 wird die BRL restlos entfernt. Dabei ist zu beachten, dass eine Ätzzeit von 20 s nicht überschritten werden sollte, da sonst Silizium geätzt wird.

Proximity Diffusion

Die Proximity Diffusion ist ein Verfahren für die Vorbelegung, bei dem das SOD nicht auf den Prozesswafer aufgebracht wird [Zag91]. Das Prinzip basiert darauf, dass man einen Prozesswafer und einen zusätzlichen Sourcewafer, dieser wird mit SOD bedeckt, verwendet. In einer RTP-Anlage wird nun der Sourcewafer über den Prozesswafer auf Quarzpins gelegt. Dadurch haben die beiden Wafer einen Abstand von ca. 0,3 mm zu einander. Dadurch, dass die Halogenlampen der Anlage gleichmäßig verteilt sind, ist die Temperatur bei beiden Substraten gleich. Bei dem Hochtemperaturschritt tritt das Dotiergas aus dem SOD aus und wird in der Gasphase zur Substratoberfläche des Prozesswafers transportiert. Das Dotiergas bildet eine dünne Silikatglasschicht mit dem Dotierstoff auf dem Prozesssubstrat aus. Anschließend erfolgt die Diffusion der Dopanden ins Silizium [Zag94a]. Als Dotierstoffe wurden bisher Phosphor, Bor und Arsen verwendet [Zag94b]. Nähere Untersuchungen zu diesem Prozess sind in [Gra95] dargestellt. Erste MOSFETs mit dieser Dotiertechnik sind von [Ken06] veröffentlicht worden. Die Vorteile der Methode sind, dass sehr scharfe Dotierprofile hergestellt werden können und dass der Flusssäureätzschritt zum Entfernen des SODs eingespart werden kann. Des Weiteren bildet sich nach [Wan03] keine BRL bei der Diffusion mit Bor aus. Diese Diffusion wurde bei 1050 °C für 3 min und einem Abstand zwischen Source- und Prozesswafer von 500 μ m durchgeführt. Dabei entstand auf dem Prozesssubstrat eine Schicht, die mit Flusssäure für 5 min geätzt werden musste. Die Bildung der BRL kann nicht beobachtet werden.

Abbildung 5.34 und Tabelle 5.3 zeigen die Diffusionsprofile bzw. die Schichtwiderstände nach Anwendung der vorgestellten Methoden zur Entfernung der SiB_4/SiB_6 Schicht. Dabei variiert die Dotierstoffkonzentration zwischen den beiden Messmethoden nur minimal.

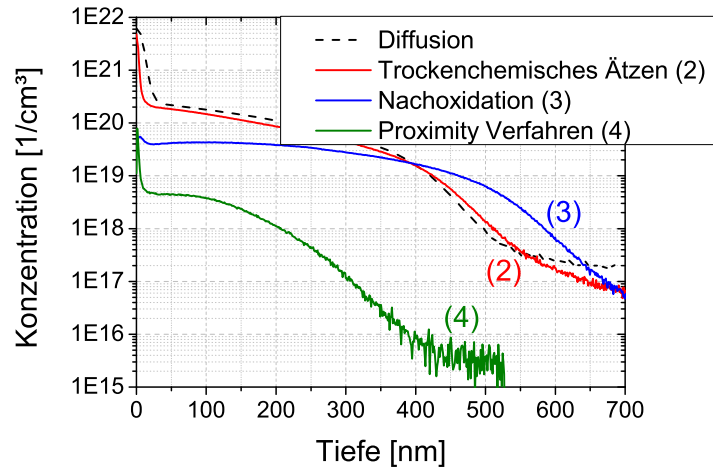


Abbildung 5.34: Vergleich der Diffusionsprofile für die Entfernung der SiB_4/SiB_6 Schicht

Alle Diffusionen werden bei 1050°C für 3 min durchgeführt. Das Diffusionsprofil nach der Nachoxidation und der Entfernung des Oxids zeigt, dass die Schicht entfernt ist, aber es kommt zu einer Ausdiffusion des dotierten Gebiets. Durch den Hochtemperaturschritt erfolgt eine Eintreibung der Wanne und folglich ein Absinken der Oberflächenkonzentration um ca. eine halbe Dekade. Dies zeigt auch der hohe Schichtwiderstand. Die Proximity-Diffusion zeigt die geringste Diffusionstiefe von allen Methoden auf, aber auch die geringste Dotierhöhe und dementsprechend auch den größten Schichtwiderstand. Dadurch, dass das Bor erst zur Scheibe diffundieren muss, gelangt ein geringfügiger Anteil des Dopanden an die Waferoberfläche, was zu einer geringen Konzentration führt. Dies ermöglicht einerseits, dass sich keine BRL bildet, andererseits führt es zu hohen Kontaktwiderständen. Das Dotierprofil des Wafers nach dem Ätzen im RIE ist dem ohne Entfernen der Schicht am ähnlichsten. Auch die Werte in den Schichtwiderständen unterscheiden sich nur minimal. Es ist deutlich zu erkennen, dass mit dieser Methode das Dotierprofil am wenigsten verändert wird. Des Weiteren liefert es eine reproduzierbare Art die BRL restlos zu entfernen. Zu beachten ist, dass eine zu lange Ätzzeit das Ergebnis verfälscht, da dann auch das dotierte Silizium strukturiert wird.

Verfahren	Schichtwiderstand [Ω/square]	Dotierstoffkonzentration [$1/\text{cm}^3$]
Diffusion	23,7	$1 \cdot 10^{20}$
Trockenchemisches Ätzen	21,1	$1 \cdot 10^{20}$
Aufoxidation	29,5	$5 \cdot 10^{19}$
Proximity	365	$6 \cdot 10^{18}$

Tabelle 5.3: Schichtwiderstände und daraus berechnete Dotierstoffkonzentration nach der Strukturierung von SiB_4/SiB_6

5.3.2 Nitridspacer

In Kapitel 5.2.1 ist der Polysilizium-Gate Prozess mit Hilfe einer Spacertechnologie dargestellt. Der Prozess wird im Rahmen dieser Dissertation entwickelt.

Die Schwierigkeit bei den lateralen Transistoren mit Siliziumoxid und Polysilizium als Gatematerial ist die Entfernung des SODs nach der Diffusion der Source/Drain Gebiete, da es ähnlich wie Siliziumoxid mit Flusssäure isotrop geätzt wird. Dies führt beim Entfernen des SODs nach der Diffusion, zu einer Unterätzung des Gates (Abb. 5.35(a)). Dadurch kann es zu einem Kurzschluss zwischen Gatemetallisierung und Source bzw.

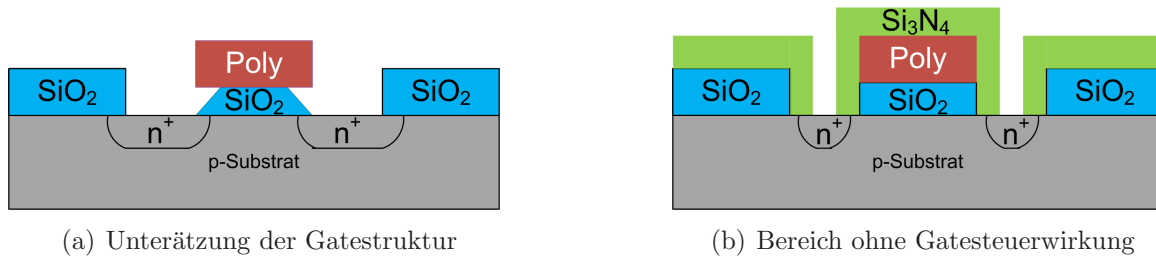


Abbildung 5.35: Prozessschwierigkeiten ohne Spacertechnologie

Drain kommen. Aus diesem Grund wird bei den am Institut für Physik hergestellten lateralen Transistoren ein zusätzlicher Lithographieschritt zum Schutz des Gateoxids verwendet [Isk12]. Dabei wird nach dem Ätzen des Polysiliziums Siliziumnitrid als Schutzschicht abgeschieden und mit einem zusätzlichen Lithographieschritt strukturiert. Dadurch sind die Source/Drain Gebiete des Transistors definiert. Als Nachteil erweist sich, dass aufgrund des Maskendesigns und dem Justierabstand die Source/Drain Gebiete nicht bis unter das Gate reichen (Abb. 5.35(b)). Es entstehen zwei Bereiche, die ohne Gatesteuerwirkung sind, was zu einer Einsatzspannung abhängig von der Drain-Source Spannung führt [Sto09]. Ein Verlängern der Diffusionszeit erhöht das thermische Budget und kann aufgrund dessen nicht für den CMOS-Prozess verwendet werden. Ein weiterer Nachteil ist, dass das Polysilizium nicht gleichzeitig mit den Source/Drain Gebieten dotiert wird. Dadurch kann nur erschwert eine symmetrische Einsatzspannung der beiden CMOS-Transistoren eingestellt werden (Kap. 4.3).

Aus diesen Gründen ist die Spacertechnologie entwickelt worden. Dabei wird nach der Strukturierung des Polysiliziums der Gateelektrode eine Isolationsschicht abgeschieden. Diese wird dann mit einem trockenchemischen Prozess anisotrop geätzt, so dass eine Schicht an der Kante des Gatestacks stehen bleibt (Abb. 5.8). Als Material für den Spacer werden in der Literatur Siliziumoxid [Maz92], Polysilizium [Ste08] und Siliziumnitrid [Maz92] verwendet. Bei der Verwendung von Siliziumoxid wird der Spacer, aufgrund der hohen Ätzrate der Schicht in Flusssäure, sehr dick gewählt. Dies führt zu einer Erhöhung des thermischen Budgets, da eine längere Source/Drain Diffusionszeit nötig ist, um eine Unterdiffusion des Gates zu gewährleisten. Aufgrund dessen, dass das undotierte Polysilizium bei der Source/Drain Diffusion dotiert und dadurch elektrisch leitend wird, würde dies zu einem Kurzschluss zwischen der Gateelektrode und dem Source bzw. Drain Gebiet führen. Aus diesem Grund kann als einziges dieser Materialien Siliziumnitrid

(Si_3N_4) verwendet werden, welches eine hohe Selektivität gegenüber Flusssäure aufweist und ein Isolator ist.

Das Siliziumnitrid wird dabei in einem Röhrenreaktor mittels LPCVD-Verfahren bei einer Temperatur von 750°C und einem Druck von $0,5\text{ mbar}$ abgeschieden [Chn96]. Die beiden Prozessgase sind Dichlorsilan (SiH_2Cl_2) und Ammoniak (NH_3). Durch folgende Reaktion reagieren die beiden zu Si_3N_4 .



Die abgeschiedene Dicke des Siliziumnitrids beträgt nach 31 min ca. 40 nm .

Die Ätzung von Siliziumnitrid kann sowohl nasschemisch als auch trockenchemisch erfolgen. Ersteres wird mit 160°C bis 180°C heißer Phosphorsäure realisiert [Scu91]. Dieses Verfahren weist den Nachteil auf, dass Fotolack nicht als Maskierung verwendet werden kann. Des Weiteren erfolgt die Ätzung isotrop. Aus diesem Grund wird das Trockenätzverfahren gewählt. Das geforderte anisotrope Profil erfolgt dabei durch ein rein physikalisches Ätzen. Dabei wird in den RIE-Ätzer Argon als Ätzgas eingeleitet, wodurch in einem Plasma Ionen erzeugt werden, die mit hoher kinetischer Energie auf den Wafer treffen. Dabei werden die Atome aus dem Substrat gelöst, wenn die kinetische Energie der Ionen größer ist, als die Bindungsenergie der Siliziumatome. Es entstehen keine senkrechten Wände, da die Abtragsrate vom Einfallswinkel der Ionen abhängt. Für jedes Material ergibt sich ein optimaler Ätzwinkel der meist etwa 60° beträgt, da das Herauslösen des Substratatoms durch Impulsübertragung des einfallenden Ions erfolgt und bei flacherem Einfallswinkel eine kleinere Richtungsänderung des Impulses notwendig ist. Aus diesem Grund werden die ursprünglich senkrechten Strukturkanten im Laufe des Ätzprozesses zu schrägen Flanken [Men05].

Dies wird für die Ätzung des Siliziumnitrids angewendet. Die genauen Parameter sind in Tabelle 5.4 aufgeführt.

Zeit [s]	Temperatur [$^\circ\text{C}$]	Druck [mTorr]	Argon-Fluss [sccm]	Leistung	
				RF [W]	ICP [W]
110	25	50	25	150	0

Tabelle 5.4: Prozess zur Strukturierung von Siliziumnitrid

In Abbildung 5.36 ist das mit dem Argon-Plasma strukturierte Siliziumnitrid dargestellt. Entsprechend der Literatur ist hier keine senkrechte Flanke, sondern eine Flanke mit einem Winkel von ca. 60° entstanden. Die Dicke des Siliziumnitrids, welches bündig mit dem Silizium abschließt, beträgt 30 nm .

Voraussetzung für einen funktionierenden Spacer ist bereits die Strukturierung des Polysiliziums. Dieses muss eine steile Ätzflanke aufweisen, damit durch die konforme Abscheidung des Siliziumnitrids und des anisotropen Rückätzens die Breite des Spacers genau so groß ist wie die ursprüngliche Dicke des abgeschiedenen Siliziumnitrids [Wid96]. Als mögliche Strukturierungsverfahren kommen sowohl die Nasschemie als auch die Trockenchemie in Frage. Für ersteres kann mit Hilfe von TMAH (Tetra-Methyl-Ammoniumhydroxid) und Polysilizium-Ätze, bestehend aus Salpetersäure HNO_3 , Ammoniumhydroxid NH_4F und Wasser H_2O , Polysilizium strukturiert werden. Diese Ätzlösung liefert

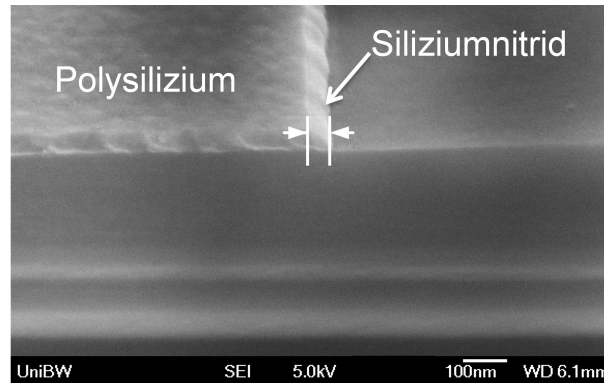


Abbildung 5.36: Anisotrop geätzter Siliziumnitridspacer

nach [Bor07] ein isotropes Ätzprofil und weist eine geringe Selektivität zu Siliziumoxid auf. Die Ätzlösung TMAH hingegen besitzt eine starke Selektivität gegenüber Siliziumoxid [Kov98]. Dies ist notwendig, damit es zu keiner Unterätzung des Gatestacks kommt. Jedoch liefert die Lösung bei starker Überätzung des Polysiliziums ein isotropes Ätzprofil. Aufgrund des hohen pH-Werts der Ätzlösung, welche zum Entfernen des Fotolacks führt, wird eine zusätzliche Hartmaske aus abgeschiedenem Siliziumoxid benötigt. Dabei wird nach dem Strukturieren der Hartmaske mit BHF der Fotolack entfernt und anschließend das Polysilizium mit TMAH bei 60 °C geätzt.

Für die trockenchemische Strukturierung des Polysiliziums eignet sich wieder der RIE-Ätzer. Dabei wird im Gegensatz zum Siliziumnitrid eine senkrechte Flanke gefordert. Aus diesem Grund können keine Prozesse bei Raumtemperatur verwendet werden, da diese ein isotropes Ätzprofil liefern [Bor07]. Dabei wird oft das Prozessgas Schwefelhexafluorid (SF_6) verwendet, welches im Plasma zu reaktiven Radikalen dissoziiert.



Durch die chemische Reaktion des Gases mit dem Substrat entsteht das flüchtige Produkt SiF_4 . Diese chemische Ätzung führt zu einem isotropen Ätzprofil. Verbindet man das vorher beschriebene physikalische Ätzen mit dem chemischen, so werden vertikale und glatte Flanken erzeugt. Um dies zu erreichen, ist eine polymerfilmbildende Komponente notwendig. Dabei kann es sich entweder um ein Prozessgas oder den Fotolack handeln. Hier werden durch den physikalischen Abtrag des Fotolacks durch Ionenbeschuss langkettige Polymere des Fotolacks gelöst, die sich über das gesamte Substrat verteilen. Durch die Bildung des Polymerfilms wird die gesamte Oberfläche vor der Ätzwirkung der Ionen geschützt. Dabei wird jedoch die Schicht durch ständigen Ionenbeschuss entfernt. Dadurch ist eine Fortsetzung des Siliziumabtrags gegeben. Aufgrund der Tatsache, dass der Ionenfluss an vertikalen Flanken kleiner ist, bleibt das Silizium an diesen Stellen vor dem Abtrag geschützt. Die chemische Ätzung kann dabei durch die Temperatur und den SF_6 -Fluss beeinflusst werden. Tieferen Temperaturen verlangsamen aufgrund des Arrhenius-Gesetzes die Reaktion. Ein höherer Gasfluss wiederum führt zu einer schnelleren Reaktionsgeschwindigkeit. Neben diesen beiden Faktoren spielen auch die RF-Leistung und der Druck eine wichtige Rolle, da sie den physikalischen Abtrag

beeinflussen. Dabei führt die Erhöhung des Drucks zu einem geringeren Abtrag, da die mittlere freie Weglänge reduziert wird. Eine größere RF-Leistung wiederum führt zu einer Erhöhung des Abtrags. Eine geeignete Wahl der Parameter führt zu glatten und senkrechten Flanken. Eine genaue Beschreibung des Prozesses ist in [Bor07] dargestellt.

Die Tabelle 5.5 zeigt die optimalen Prozessparameter für die anisotrope Ätzung von Polysilizium im RIE-Ätzer. Die Parameter, sowohl für das Ätzen als auch für die Prozessierung des Fotolacks, sind denen für das Ätzen von einkristallinen Silizium nachempfunden (Anhang B). Sie unterscheiden sich lediglich in einer geringeren Zeit und einer Halbierung der Flüsse.

Zeit [s]	Temperatur [°C]	Druck [Torr]	Ar-Fluss [sccm]	O_2 -Fluss [sccm]	SF_6 -Fluss [sccm]	Leistung	
						RF [W]	ICP [W]
30	-110	$7 \cdot 10^{-6}$	6	1	8	60	300

Tabelle 5.5: Prozess zur Strukturierung von Polysilizium

Zu beachten ist, dass diese Parameter auf eine Polysilizium-Schichtdicke von 180 nm optimiert sind. Der Ätzprozess ist sehr kritisch, da eine zu lange Ätzzeit aufgrund der geringen Selektivität zu Siliziumoxid zu einem Ätzen des darunter liegenden Siliziums führt (Abb. 5.37). Die dadurch entstehende Struktur ist für die Herstellung eines Siliziumnitridspacers ungeeignet.

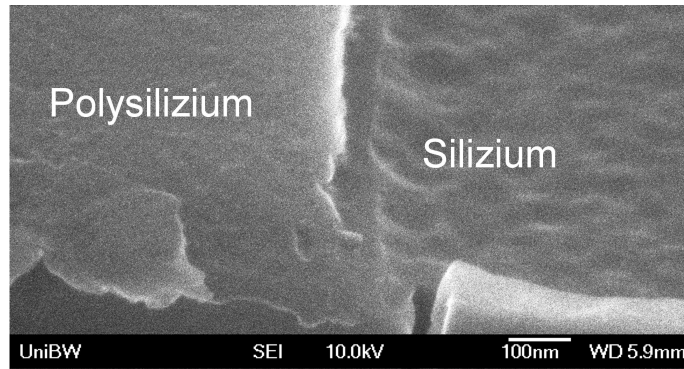
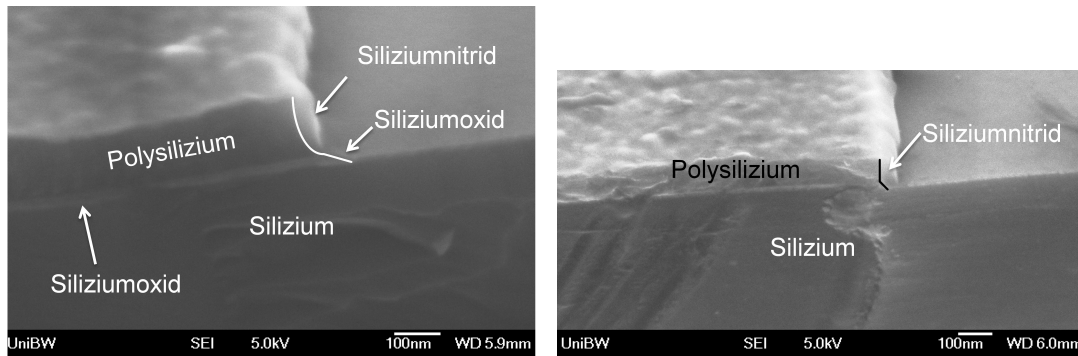


Abbildung 5.37: Überätzung des Polysiliziums

Die beiden Ätztechniken können am besten durch die Herstellung des Nitridspacers miteinander verglichen werden. Dazu wird wie bereits erwähnt 40 nm Siliziumnitrid abgeschieden und dieses dann anisotrop zurück geätzt. Die fertigen Nitridspacer Strukturen sind in Abbildung 5.38 dargestellt. Dabei zeigt die Abbildung 5.38(a) den Spacer bei dem Polysilizium mit TMAH strukturiert wird. Aufgrund der isotropen Struktur des Polysiliziums, das durch das TMAH verursacht wird, endet der Nitridspacer nicht an der Siliziumoberfläche. Dadurch wird das Gateoxid nicht vor der Flusssäure geschützt. Das im 60° Winkel überstehende Siliziumoxid entsteht durch ein zusätzliches trockenchemisches Ätzen. Dabei werden die gleichen Parameter wie in Tabelle 5.4 verwendet. Diese Ätzung ist notwendig, um das als Hartmaske verwendete Abscheideoxid zu entfernen.



(a) Nitridspacer, Polysiliziumstrukturierung mit TMAH
(b) Nitridspacer, Polysiliziumstrukturierung mit RIE-Ätzer

Abbildung 5.38: Nitridspacer mit unterschiedlichen Strukturierungen des Polysiliziums

Die Abbildung 5.38(b) zeigt den Spacer, bei dem das Polysilizium mit dem Prozess aus Tabelle 5.5 strukturiert wird. Aufgrund der anisotropen Struktur des Polysiliziums schließt der Nitridspacer bündig mit dem Siliziumsubstrat ab. Tests zeigten, dass der so entstandene Spacer das Gateoxid über 5 min in einem BHF-Bad schützt. In Kapitel 6.1 ist die elektrische Charakterisierung der mit diesem Spacer hergestellten Transistoren dargestellt.

In der Literatur wird der gerade entwickelte Nitridspacer mit einem sogenannten Spacer Zero erweitert. Dabei wird das Polysilizium vor dem Abscheiden des Siliziumnitrids thermisch oxidiert. Dies wird unternommen um zum einen die Feldüberhöhungen, die durch scharfe Kanten des Polysiliziums entstehen (Abb. 5.39), und zum anderen den Effekt des gateinduzierten Drainleakstroms (Gate-Induced Drain Leakage, GIDL) zu vermeiden (Kap. 3.2). Dieser Effekt findet vor allem bei sehr dünnen Gateoxiden statt. Durch den Nitridspacer wird dieser Effekt auf Grund der hohen Dielektrizitätszahl verstärkt. Dies führt zu einem schlechteren Off-Strom des Transistors [Maz92].

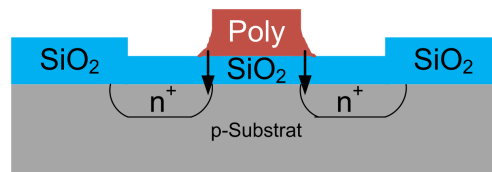


Abbildung 5.39: Scharfe Kanten des Polysiliziums

Aus diesem Grund wird im Rahmen dieser Arbeit neben dem Siliziumnitridspacer auch ein Nitridspacer mit Spacer Zero untersucht. Der Unterschied in der Prozessierung beläuft sich aufgrund einer nasschemischen Oxidation, die nach der Strukturierung des Polysiliziums erfolgt. Dadurch entsteht sowohl auf dem Polysilizium als auch auf dem freigelegten einkristallinen Siliziumsubstrat eine Oxidschicht von ca. 10 nm. Im Anschluss daran wird das Siliziumnitrid abgeschieden und anisotrop strukturiert.

Die Abbildung 5.40 zeigt einen Nitridspacer mit zusätzlichem Spacer Zero. Dabei ist das Polysilizium mit TMAH strukturiert worden. Das abgeschiedene ca. 370 nm dicke

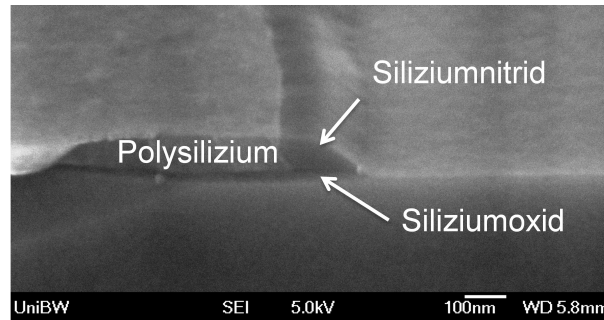


Abbildung 5.40: Nitridspacer mit zusätzlichem Spacer Zero

Siliziumnitrid wird mit dem Prozess aus Tabelle 5.4 für 9 min strukturiert. Die Dicke des so entstandenen Spacers beträgt ca. 200 nm.

Der Nachteil dieses Verfahrens ist, dass der Spacer sehr dick gewählt werden muss, damit beim Entfernen des Abscheideoxids und des SODs das Gate nicht unterätzt wird. Die Abbildung 5.41 zeigt das Fehlen des Spacers nach einer nasschemischen Ätzung von 5 min in BHF. Die Ätzlösung hat dabei das Siliziumoxid unter dem Spacer und auch das an der Grenze zwischen Polysilizium und Siliziumnitrid entfernt. Dadurch wird das Gateoxid geätzt und es kommt zum Verlust der Struktur.

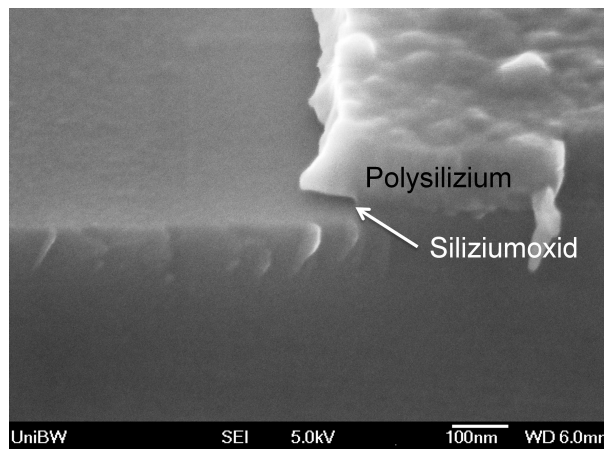


Abbildung 5.41: Abgelöster Siliziumnitridspacer nach der Entfernung des SODs

Dieses Verfahren kann für den hier verwendeten Prozess aufgrund des sehr kritischen Prozessfensters bei der BHF-Ätzung nicht verwendet werden. Dadurch werden nur Transistoren mit dem vorher beschriebenen Siliziumnitridspacer hergestellt.

5.3.3 Prozesse für Metal-Gatestack

Im Rahmen dieser Arbeit werden Transistoren mit Aluminiumoxid (Al_2O_3) als high-k Dielektrikum und Aluminium als Gate-Elektrode hergestellt. Im folgenden Abschnitt wird auf die dafür notwendigen Prozesse eingegangen.

Die Herstellung des Aluminiumoxids erfolgt mit dem Atomic Layer Deposition (ALD) Verfahren. Es handelt sich dabei um eine Dünnschicht-Abscheide-Technik, die auf selbst-limitierenden Oberflächen-Reaktionen beruht. Bei diesem Verfahren werden im Unterschied zu CVD-Verfahren die Gase nacheinander in den Reaktor geleitet und durch Evakuierung der Prozesskammer und/oder durch Spülschritte mit Inertgas getrennt. Dadurch findet keine chemische Reaktion in der Gasphase statt. Bei diesem Verfahren erfolgt das Schichtwachstum zyklisch. Der einfachste Fall besteht dabei aus vier Schritten:

1. Einleiten des ersten Precursors
2. Spülen/Evakuieren der Prozesskammer
3. Einleiten des zweiten Precursors
4. Spülen/Evakuieren der Prozesskammer

Im ersten Prozessschritt wird die Oberfläche des Substrats mit den Reaktionsprodukten des ersten Precursors gesättigt. Die restlichen Reaktionsprodukte werden zusammen mit dem Prozessgas aus dem Reaktor abgepumpt bzw. gespült. Durch Einleiten des zweiten Precursors entsteht eine chemische Reaktion mit den auf der Substratoberfläche befindlichen Reaktionsprodukten des ersten Gases. Die Reaktion findet statt, bis eine Sättigung erreicht wird. Dadurch ist eine Monolage des gewünschten Materials erzeugt worden. Da die Reaktion idealerweise bis zur Sättigung stattfindet, spricht man von einer selbst-limitierenden Schichtabscheidung. Durch Wiederholen dieser vier Prozessschritte wird die gewünschte Schichtdicke erreicht (Abb. 5.42).

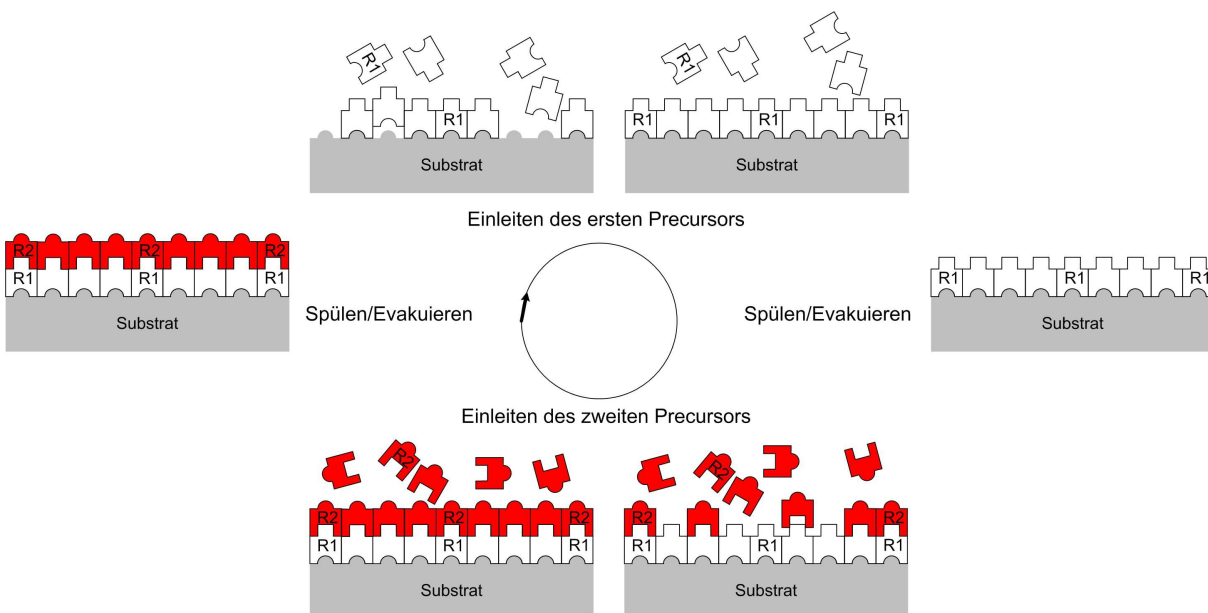
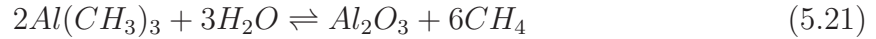


Abbildung 5.42: Symbolischer Ablauf eines ALD-Zyklus

Für die Abscheidung von Aluminiumoxid werden als Precusoren Wasserdampf (H_2O) und Trimethylaluminium $Al(CH_3)_3$, kurz TMA verwendet, welche miteinander wie folgt reagieren:



Als Reaktionsausgangsprodukt entsteht Methan (CH_4), welches keinen Einfluss auf die Reaktionen hat und dementsprechend im Spülschritt abgepumpt wird. Eine genaue Darstellung der Reaktionen ist in [Ran10] dargestellt.

Für die hier untersuchten Bauelemente wird das Aluminiumoxid bei einer Temperatur von 200 °C und einem Druck von 1 mbar abgeschieden. Dabei werden 150 Zyklen verwendet, um eine Schichtdicke von ca. 15 nm zu erzielen. Bevor es zum Einleiten des ersten Precursors kommt, wird ein sogenannter Flash Anneal bei 400 °C für 30 s in Stickstoffatmosphäre durchgeführt. Dadurch wird das durch die RCA-Reinigungssequenz entstandene chemische Oxid verdichtet. Durch diese Schicht aus Siliziumoxid wird eine niedrigere Grenzflächenzustandsdichte zum Silizium erreicht. Die Prozessentwicklung und eine genaue Prozessdarstellung dieses Abscheideverfahrens ist in [Kub12] nachzulesen.

Als Gateelektrode wird Aluminium in einer Hochvakuumanlage mit Widerstandsheizung aus einem Wolframschiffchen aufgedampft. Dies erfolgt bei einem Druck von ca. $2 \cdot 10^{-5}$ mbar. Das Strukturieren des Aluminiumstreifens erfolgt bei Raumtemperatur mit Phosphorsäureätzmischung. Die hohe Selektivität bei Raumtemperatur zu Aluminiumoxid (50:1) verhindert eine Unterätzung des Gates [Fab09] [Kub12]. Aufgrund dessen und da die Dotierung mit SOD bereits stattgefunden hat, ist ein Spacer, wie er in Kapitel 5.3.2 entwickelt wurde, nicht nötig.

Durch die Tatsache, dass die Gateelektrode aus Aluminium besteht, und dadurch keine Temperaturen über 450 °C verwendet werden dürfen, ist eine andere Passivierung als die beim selbstjustierenden Gate verwendete Siliziumnitridschicht nötig (Kap. 5.2.2). Nach [Kub12] eignet sich Spin-on-Glass (SOG) als Passivierung. Dieses wird genau wie SOD aufgeschleudert und mit einer Temperaturtreppe ausgeheizt [Sca07]. Für bessere passivierende Eigenschaften des SOGs empfiehlt es sich, einen zusätzlichen Ausheizschritt bei 400 °C durchzuführen [Kub12].

Ein kritischer Prozessschritt bei der Verwendung dieser Passivierung ist das Öffnen

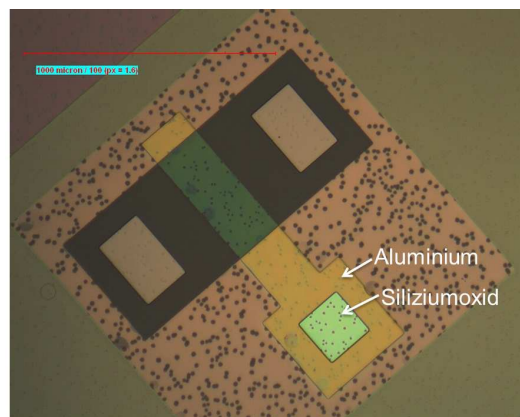


Abbildung 5.43: Durchgeätztes Aluminiumkontaktloch

der Kontaktlöcher. Dabei werden sowohl die Source/Drain/Bulk Gebiete als auch das Gate geöffnet. Da Flusssäure eine geringe Selektivität zu Aluminium aufweist, kann es vorkommen, dass das Aluminiumpad des Gates bis zur darunter liegenden Schicht durchgeätzt wird [Wil96]. Das ist in Abbildung 5.43 an dem deutlichen Farbunterschied zwischen Aluminium und dem darunter liegendem Siliziumoxid zu erkennen.

Dadurch besteht zwischen dem Gate des Transistors und der Kontaktmetallisierung keine elektrische Verbindung. Dies wirkt sich bei der elektrischen Messung durch eine fehlende Gatesteuerwirkung aus. Um das zu verhindern, ist es empfehlenswert eine große Dicke, ca. 700 nm des Gatealuminiums aufzudampfen. Dadurch können die Kontaktlöcher von Source/Drain/Bulk geöffnet werden, ohne dabei das Gate-Aluminium aus dem Kontaktloch zu entfernen. Eine lithographische Teilung des Prozessschrittes, wie er in [Fab09] dargestellt ist, ist nach jetzigem Kenntnisstand nicht nötig. Dabei werden als erstes die Kontaktlöcher für Source/Drain/Bulk geöffnet, wohingegen das Aluminium durch Fotolack geschützt ist. Durch einen zweiten Lithographieschritt wird dann das Gatealuminium geöffnet.

Für die Kontaktmetallisierung wird anders als beim selbstjustierenden-Gateprozess aufgedampft Aluminium verwendet (Kap. 5.2.2). Bei der Abscheidung vom Schichtstapel Titan/Titannitrid/Aluminium kommt es zu Rissen in der SOG-Passivierung. Die Abbildung 5.44 zeigt den SOG-Schichtstapel vor und nach dem Sputtern. Das Reißen des SOGs kommt durch die beim Sputtern des Titannitrids verwendete RF-Quelle zustande. Dadurch bestätigt sich, dass diese Passivierung nicht für Plasmaprozesse geeignet ist [Toa99]. Der Nachteil, dass nur Aluminium aufgebracht werden kann, stellt sich in der Gefahr des Spikings und eines nicht ohmschen Kontaktes dar. Ersteres kann ausgeschlossen werden, da nach dem Dotieren der Source/Drain Gebiete kein Temperaturschritt über 400 °C erfolgt. Der zweite Punkt tritt bei n-Dotierungen auf bei denen die Oberflächendotierung kleiner als $5 \cdot 10^{19} \frac{1}{\text{cm}^3}$ ist [Tra00]. Aufgrund der sehr hohen Oberflächenkonzentration des Dotierstoffes bei der SOD-Diffusion, kann dies vernachlässigt werden (Kap. 5.3.1).

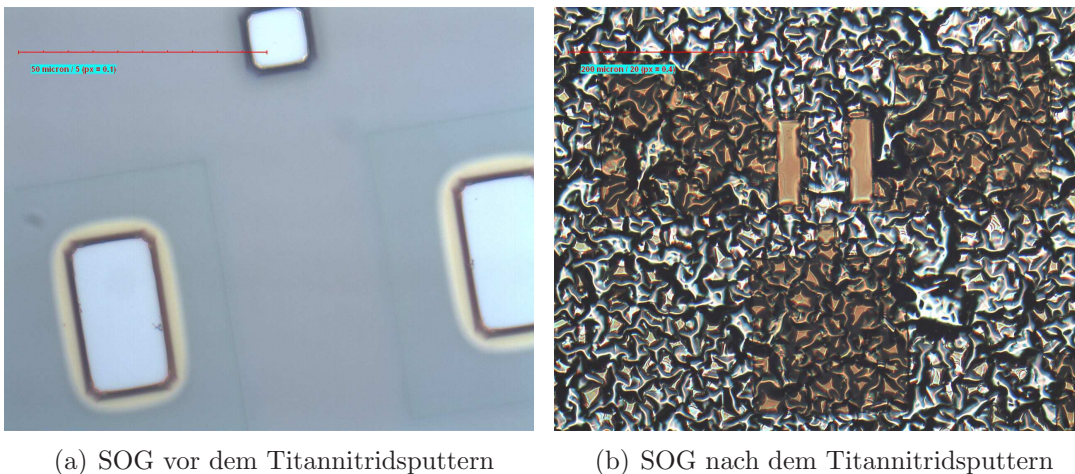


Abbildung 5.44: SOG im Verlauf des Metallisierungsprozesses

Kapitel 6

Elektrische Charakterisierung

Im vorherigen Kapitel wurde die Prozessentwicklung sowie die Herstellung von CMOS-Transistoren behandelt. In diesem Kapitel wird auf die elektrische Charakterisierung der produzierten Bauelemente eingegangen. Dabei wird genau wie im vorherigen Kapitel zwischen dem selbstjustierenden Gate (Abschnitt 6.1) und dem Metal-Gate Prozess (Abschnitt 6.2) unterschieden. Bei beiden wird auf die Eigenschaften der Feldeffekttransistoren eingegangen. In Abschnitt 6.2 wird zudem die elektrische Charakterisierung eines CMOS-Inverters behandelt. Im letzten Teil dieses Kapitels werden Vergleiche zwischen den Ergebnissen und der Theorie gezogen.

6.1 Selbstjustierendes Gate

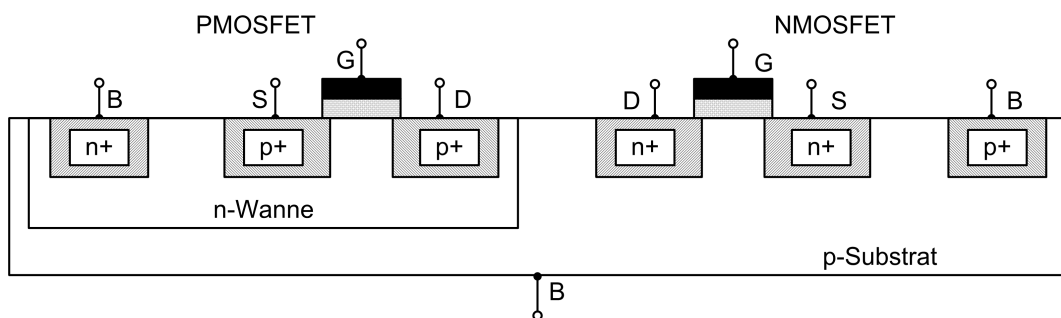


Abbildung 6.1: Schematische Zeichnung der hergestellten CMOS-Transistoren auf einem Wafer

In diesem Abschnitt wird die elektrische Charakterisierung der MOSFETs, die mit dem in Kapitel 5.2.1 vorgestellten Prozess hergestellt werden, behandelt. Dabei befindet sich der p-Kanal Transistor in einer n-dotierten Wanne (Abb. 6.1). Die Messungen finden auf dem ganzen Wafer mit einem Parameter-Analyzer und einem halbautomatischen Wafer-Prober statt. Die elektrische Kontaktierung der Transistoren erfolgt über vier Messspitzen, die sich auf den Kontaktpads der Anschlüsse befinden. Die Erdung des Bulks kann für den NMOSFET sowohl auf der Waferoberseite als auch auf der Waferrückseite erfolgen. Dies ist für den p-Kanal Transistor nicht der Fall. Da er in einer n-dotierten

Wanne liegt, kann die Erdung des Gebiets nur über die Waferoberseite erfolgen. Eine Erdung über die Waferückseite würde zu einer Verfälschung des Messergebnisses führen, da ein pn-Übergang zwischen Wanne und Substrat mitgemessen werden würde. Die elektrische Charakterisierung der Bauteile erfolgt durch die Transfer- und Ausgangskennlinie (Kap. 3.2). Zur Aufnahme der Transferkennlinie wird für verschiedene Drain-Source Spannungen V_{DS} eine Spannungsrampe am Gate gefahren, und der Drainstrom gemessen. Bei dem Ausgangskennlinienfeld wird für verschiedene Gate-Source Spannungen V_{GS} eine Rampe am Drainkontakt gefahren und der zugehörige Drainstrom gemessen. Die Transistoren besitzen ein W/L -Verhältnis von 5/2.

N-Kanal MOSFET in p-dotiertem Substrat

Die folgende Abbildung 6.2 zeigt beispielhaft die Charakterisierung eines n-Kanal Transistors im p-dotierten Substrat mit 20 nm dickem Gateoxid. Dabei zeigt der NMOSFET ein typisches Transferverhalten auf, auffallend ist jedoch der Anstieg des Off-Stroms mit steigender Drain-Source Spannung V_{DS} . Des Weiteren zeigt das Ausgangskennlinienfeld aus Abbildung 6.2(b), dass der MOSFET einen ausgeprägten Sättigungsbereich besitzt. Der Transistor ist vom Typ selbstsperrend, da die Einsatzspannung im Bereich positiver Gate-Source Spannungen V_{GS} liegt (Kap. 3.2). Er besitzt ein Verhältnis von I_{On}/I_{Off} von 7 Dekaden, was bedeutet, dass der Transistor als funktionsfähig deklariert wird. Ein MOSFET gilt als nicht funktionsfähig, wenn das Verhältnis von I_{On}/I_{Off} kleiner als 3 Dekaden ist.

Im nächsten Teil dieses Abschnitts wird auf die Kenngrößen eingegangen, die mithilfe der vorgestellten Methoden aus Kapitel 3.3 bestimmt werden. Ein Vergleich dieser Werte mit der Theorie erfolgt in Kapitel 6.3.

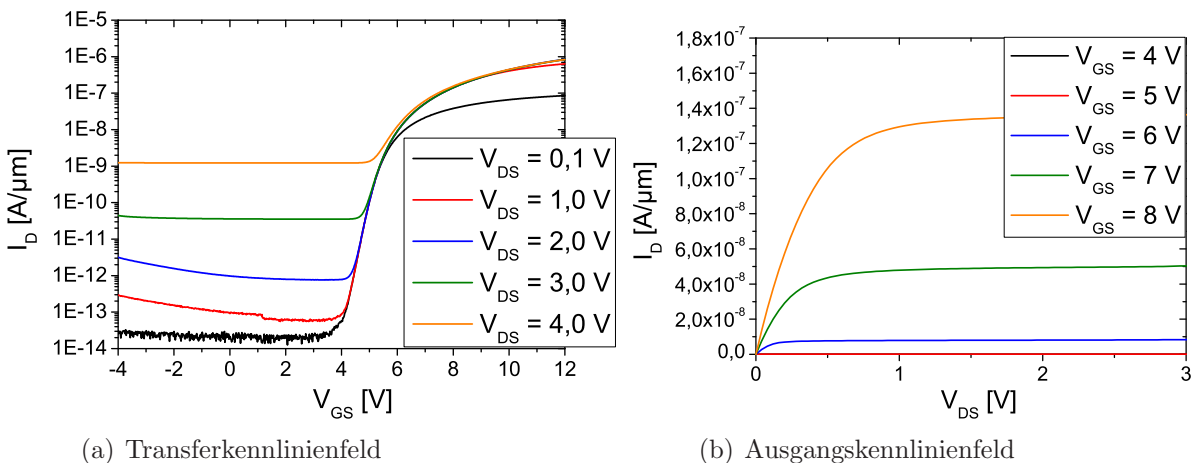


Abbildung 6.2: Kennlinien eines NMOSFETs

Unterschwelligsteigung

Als Unterschwelligsteigung wird die Potentialänderung bezeichnet, die im Unterschwelligbereich zu einer Änderung des Drainstroms um eine Dekade führt (Kap. 3.3). Die messtechnische Bestimmung der Unterschwelligsteigung erfolgt durch die Berechnung der Steigung der Tangente, die an den steigenden Ast der Transferkennlinie angelegt wird. Dadurch ergibt sich für den n-Kanal Transistor ein Wert von ca. $250 \frac{\text{mV}}{\text{dek}}$. In Kapitel 6.3 ist ein Vergleich dieses Werts mit theoretischen Berechnungen aufgezeigt.

Einsatzspannung

Nach Kapitel 3.3 wird die Einsatzspannung graphisch durch die beiden Methoden, lineare Extrapolation über I_D und der linearen Extrapolation über $\sqrt{I_D}$ bestimmt. Nach Abbildung 6.3(a), die I_D über V_{GS} aufzeigt, ergibt sich eine Einsatzspannung von $V_{Tn} = 6,47 \text{ V}$. Die Bestimmung der Einsatzspannung mit Hilfe der Abbildung 6.3(b), die $\sqrt{I_D}$ über V_{GS} aufträgt, führt zu einer Spannung von $V_{Tn} = 5,28 \text{ V}$. Diese Diskrepanz

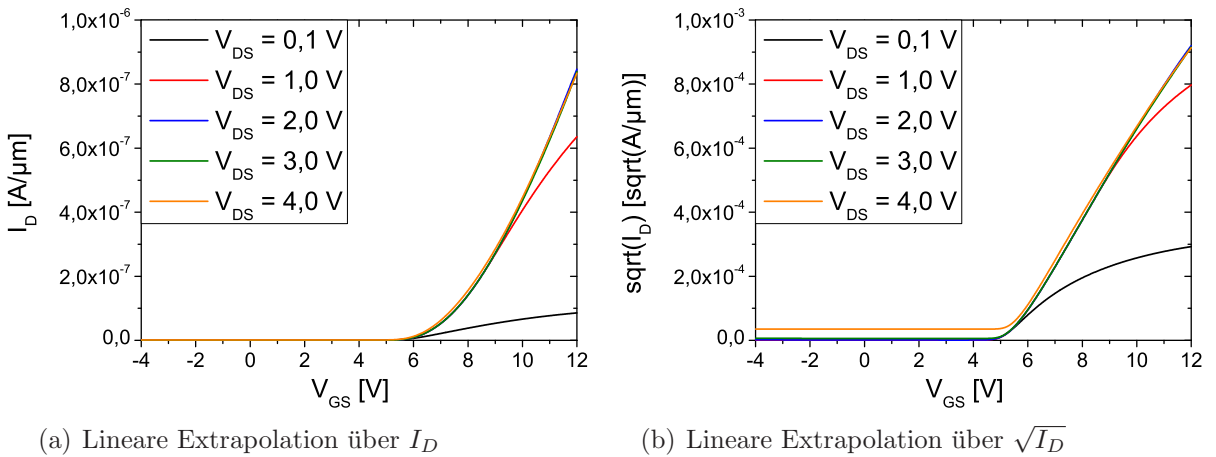


Abbildung 6.3: Bestimmung der Einsatzspannung des NMOSFETs

in den Ergebnissen dieser beiden Methoden konnte bereits beobachtet werden [Fab09]. Dabei stellte sich heraus, dass die Einsatzspannung, die durch die lineare Extrapolation über dem Drainstrom I_D ermittelt wird, stark von der angelegten Drain-Source Spannung V_{DS} abhängt. Die zweite Methode jedoch zeigt eine stärkere Stabilität gegenüber der Spannung auf und arbeitet im Sättigungsbereich des Transistors. Aus diesen Gründen wird dieser Methode der Vorzug gegeben und dadurch ergibt sich die Einsatzspannung zu $V_{Tn} = 5,28 \text{ V}$.

Gegenleitwert

Der Gegenleitwert g_m , wird zur Bestimmung der Ladungsträgerbeweglichkeit benötigt. Abbildung 6.4 stellt die Kennlinie dar, die durch Differenzieren des Drainstroms I_D nach der Gate-Source Spannung V_{GS} bestimmt wird (Kap. 3.3). Dadurch wird das Steilheitsmaximum $g_{m,max}$ für die unterschiedlichen Drain-Source Spannungen V_{DS} bestimmt. Dieses ergibt sich beispielhaft für $V_{DS} = 1 \text{ V}$ zu $0,12 \frac{\mu\text{S}}{\mu\text{m}}$.

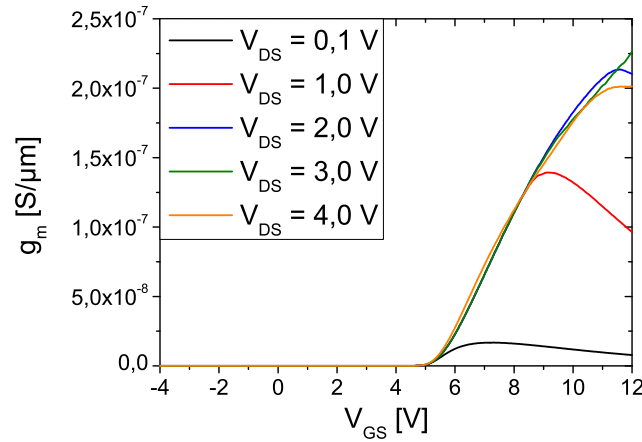


Abbildung 6.4: Bestimmung des Gegenleitwerts

Beweglichkeit

Mit Hilfe des Steilheitsmaximums $g_{m,max}$ wird die Beweglichkeit nach Gleichung 3.53 und den dort angegebenen Werten bestimmt. Dadurch ergibt sich eine Beweglichkeit

$$\mu = \frac{g_{m,max} L}{W C'_{Ox} V_{DS}} \quad (3.53)$$

Messwert (Abb. 6.4): $g_{m,max} = 0,12 \frac{\mu S}{\mu m} = 0,12 \frac{\mu S}{\mu m} \cdot W = 6 \cdot 10^{-5} S$

Maskenlayout (Kap. A): $L = 200 \mu m$
(Überlapp vernachlässigt)

Maskenlayout (Kap. A): $W = 500 \mu m$

Berechneter Wert: $C'_{Ox} = \frac{\epsilon_0 \cdot \epsilon_{Ox}}{t_{Ox}} = 1,386 \cdot 10^{-7} \frac{F}{cm^2}$

Spannung: $V_{DS} = 1 V$

für den gemessenen n-Kanal Transistor von $\mu = 173,18 \frac{cm^2}{Vs}$. Die Beweglichkeit ist deutlich kleiner als der Theoriewert ($\mu = 650 \frac{cm^2}{Vs}$) aus Kapitel 3.3. Die Erklärung für diese Abweichung und ein genauer Vergleich mit der Theorie ist in Kapitel 6.3 angegeben.

Zusammenfassung der Ergebnisse

Die Ergebnisse der Auswertung sind in Tabelle 6.1 für alle Drain-Source Spannungen V_{DS} zusammengefasst. Bei dem Verhältnis von I_{On}/I_{Off} ist eine Abhängigkeit zur Drain-Source Spannung V_{DS} zu beobachten. Dabei sinkt die Anzahl der Dekaden mit steigender Spannung. Bei der Drain-Source-Spannung V_{DS} von 4 V beträgt dieser Wert nur noch 2,83. Das bedeutet, dass dieser Transistor nach der Definition nicht funktionsfähig ist.

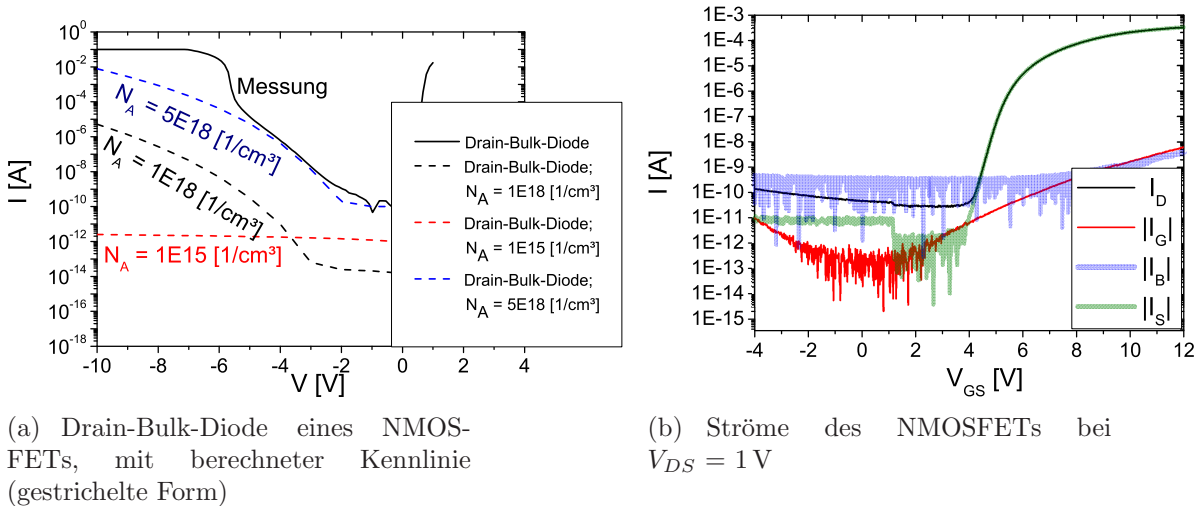
V_{DS} [V]	0,10	1,00	2,00	3,00	4,00
I_{On}/I_{Off} [Dek]	6,83	7,06	6,05	4,37	2,83
S [mV/dek]	250	290	290	290	270
V_{Tn} [V] nach I_D	6,00	6,23	6,47	6,47	6,47
V_{Tn} [V] nach $\sqrt{I_D}$	4,90	5,24	5,28	5,28	5,28
$g_{m,max}$ [$\mu S/\mu m$]	0,014	0,12	0,173	0,182	0,20
μ [cm^2/Vs]	202,02	173,18	124,82	87,54	72,15

Tabelle 6.1: Tabellierte Ergebnisse des NMOSFETs

Dieses schlechte Verhältnis von I_{On}/I_{Off} liegt an der Abhängigkeit des Off-Stroms von der Drain-Source Spannung V_{DS} (Abb. 6.2(a)).

Betrachtung des Off-Stroms

Um diesen Zusammenhang zu erklären, ist die Kennlinie der Drain-Bulk-Diode des Bauelements in Abbildung 6.5(a) dargestellt. Dabei wird eine Spannungsrampe an das p-dotierte Bulk und die Erdung an das n-dotierte Drain Gebiet angelegt. Dadurch befindet sich die pn-Diode bei negativer Spannung in Sperrrichtung. Fließt nur ein geringer Strom durch den pn-Übergang zwischen Drain und Bulk, so ist auch der Strom im ausgeschalteten Zustand des MOSFETs gering. Dies ist durch die Gleichung 3.2 aus Kapitel 3.2 gegeben. Der dort angegebene Strom I_{Rev} repräsentiert den Strom, der durch diese Diode in Sperrrichtung fließt. Die pn-Diode aus Abbildung 6.5(a) zeigt, dass der Leckstrom mit steigender negativer Spannung stark ansteigt. Dies führt schließlich zu einer Verschlechterung des Off-Stroms durch größer werdende Drain-Source Spannung V_{DS} . Die dargestellte Drain-Bulk Diode hat eine Durchbruchspannung von ca. -5,5 V.

**Abbildung 6.5:** Abhängigkeit des Off-Stroms eines Transistors

Die gestrichelten Kennlinien stellen den Sperrstrom der Diode berechnet nach den Gleichungen 3.5 - 3.18 aus Kapitel 3.2 dar. Dabei setzt sich der Sperrstrom aus den folgenden

drei Komponenten zusammen.

$$I_{Rev} = I_{Gen} + I_{So} + I_{Tunn}$$

Die angegebenen Gleichungen aus Kapitel 3.2 beschreiben diese drei Komponenten. Zur Berechnung der Ströme für die Kennlinien wird die Diodenfläche $A_{Diode} = 0,0025 \text{ cm}^2$ und die Dotierhöhe des Draingebiets von $N_D = 5 \cdot 10^{19} \frac{1}{\text{cm}^3}$ verwendet.

Dabei zeigt sich, dass bei einer höheren Dotierung des Substrats der Sperrstrom aufgrund des Band-Band Tunnelns ansteigt. Die Elektronen tunneln aus dem Valenzband des p-Gebiets in das Leitungsband des n-Gebiets. Dies entsteht, da aufgrund der hohen Dotierung bereits bei geringen Spannungen hohe Feldstärken am pn-Übergang auftreten. Aufgrund dieser niedrigen Spannung und der hohen Substratdotierung dominiert der Zenerdurchbruch [Til05]. Nach den Berechnungen zeigt sich, dass der gemessene Sperrstrom bei einer Dotierhöhe des Substrats bei $5 \cdot 10^{18} \frac{1}{\text{cm}^3}$ größtmäßig erreicht wird. Nach Herstellerangaben beläuft sich die Dotierhöhe des Substrats auf $1 \cdot 10^{18} \frac{1}{\text{cm}^3}$. Die Abweichung zwischen der analytischen Berechnung und der gemessenen Diode können an der sehr empfindlichen analytischen Berechnung liegen. In der Gleichung 3.16 ist der Strom exponentiell vom Bandabstand E_g und der maximalen Feldstärke E_{max} abhängig. Kleine Änderungen bei diesen beiden Werten führen bereits zu einer Vergrößerung des Stromwerts.

Zur Verringerung des Sperrstroms müssen für zukünftige Transistoren niedrig dotierte Substrate verwendet werden. Dadurch dominiert beim Durchbruch nicht der Zener, sondern der Lawineneffekt. Dieser führt zu einer Durchbruchspannung größer als 10 V (Kap. 3.2).

In Abbildung 6.5(b) sind die gemessenen Ströme des Transistors dargestellt. Es zeigt sich, dass der Strom im ausgeschalteten Zustand des MOSFETs durch den Bulk-Strom verursacht wird. Ein Teil des Stroms fließt durch die Drain-Bulk Diode zum Bulk ab. Der On-Strom hingegen ist durch den Strom der zur Source fließt verursacht. Diese Abbildung zeigt, dass der Off-Strom bei diesem Transistor erheblich von der Güte der Drain-Bulk Diode abhängt.

Elektrische Charakterisierung des Nitridspacers

Die Transistoren mit dem selbstjustierenden Prozess wurden mit einem Nitridspacer gefertigt. Die Entwicklung dieser Technologie ist in Kapitel 5.3.2 dargestellt. Dabei soll der Spacer ein Unterätzen des Gatedielektrikums und dem daraus folgenden Kurzschluss zwischen Gate und Drain verhindern. Abbildung 6.6 zeigt den Stromverlauf zwischen diesen beiden Gebieten. Dabei wird zwischen den beiden Kontakten eine Spannungsrampe gefahren und der zugehörige Strom aufgezeichnet. Der dabei auftretende Strom befindet sich im Auflösungsbereich des Messplatzes. Das bedeutet, dass zwischen den beiden Gebieten kein messbarer Strom fließt. Der entwickelte Nitridspacer funktioniert im Gesamtprozess.

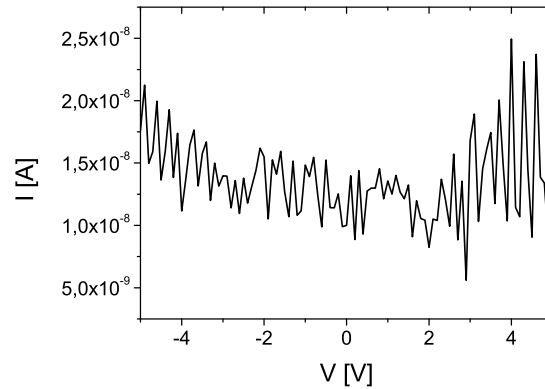


Abbildung 6.6: Messung des Stroms zwischen Gate und Drain

Statistische Auswertung

Für eine statistische Auswertung der Messergebnisse wird jeder Transistor mit Hilfe des halbautomatischen Probers gemessen. Dabei wird die Statistik des Wafers in Form von Histogrammen für das I_{On}/I_{Off} -Verhältnis und der Unterschwellsteigung S zusammengefasst. Die dazugehörigen Zahlen der Mittelwerte und Standardabweichungen sind in Tabelle 6.2 angegeben.

Anhand dieser Werte ist zu erkennen, dass die Ausbeute mit ca. 50 % gering ist. Die funktionierenden Transistoren befinden sich dabei meist am Rand des Wafers. Die restlichen MOSFETs weisen sowohl keine Gatesteuerwirkung als auch einen Kurzschluss zwischen Source und Drain auf. Dies lässt darauf schließen, dass der Nitridspacer entfernt wurde. Das Gateoxid wird beim Entfernen des SODs geätzt und dadurch entsteht ein Kurzschluss zwischen Gate und Drain. Am Waferrand funktionieren die Transistoren, da die Ätzrate des RIE-Ätzers zur Wafermitte zunimmt. Der inhomogene Prozess führt schließlich zu einer Überätzung in der Wafermitte. Um dies zu vermeiden, muss der Prozess zur Ätzung des Spacers optimiert werden.

V_{DS} [V]	0,10	1,00	2,00	3,00
Ausbeute [%]	65,96	67,02	50,00	42,55
I_{On}/I_{Off} [Dek]	6,86	5,70	5,45	4,15
σ	1,93	1,47	0,96	0,41
S [mV/dek]	177,36	269,48	279,81	375,97
σ	111,96	88,97	63,70	102,32

Tabelle 6.2: Tabellierte Ergebnisse der gesamten NMOSFETs auf dem Wafer

Das Verhältnis von I_{On}/I_{Off} in Abbildung 6.7(a), hat ein Maximum bei ca. 7 Dekaden. Durch höhere Drain-Source Spannungen verschlechtert sich das Verhältnis von I_{On}/I_{Off} sehr stark (Tab. 6.2). Abbildung 6.8 stellt den On-Strom I_{On} als auch den Off-Strom I_{Off} über dem Verhältnis der beiden Ströme dar. Daran ist zu sehen, dass I_{On} konstant bleibt, I_{Off} aber mit zunehmender Dekadenanzahl und abnehmender Drain-Source Spannung V_{DS} abnimmt. Dies zeigt, dass die unterschiedliche Dekadenanzahl auf

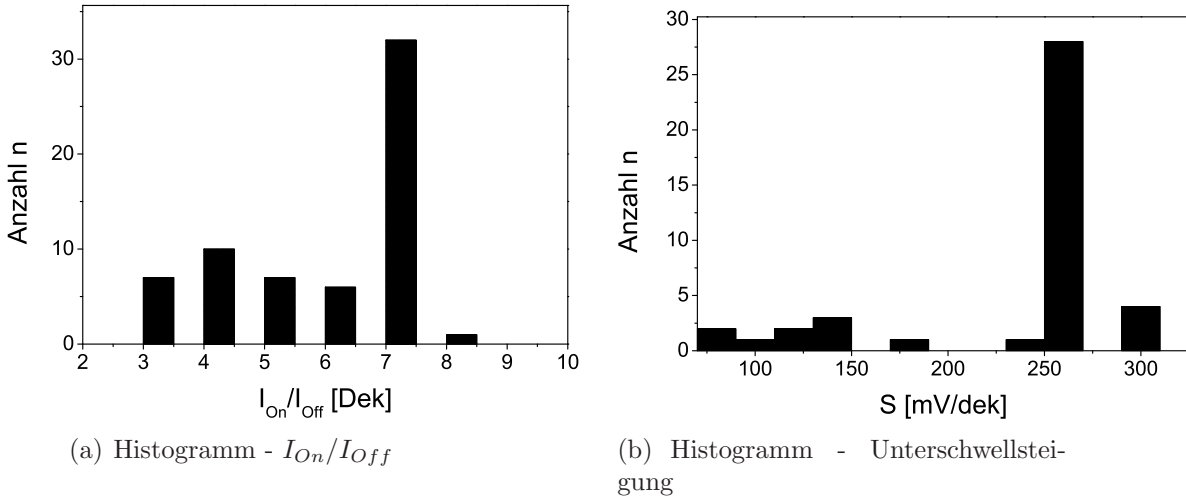


Abbildung 6.7: Statistik der Kennzahlen des NMOSFETs bei $V_{DS} = 1\text{ V}$

den I_{Off} zurückzuführen ist. Die Ursache dafür liegt an der vorher besprochenen pn-Diode zwischen Drain und Bulk. Durch den Anstieg des Leckstroms I_{Rev} mit steigender Drain-Source Spannung V_{DS} , nimmt das Verhältnis ab. Auch die Unterschwellsteigung verhält sich der Theorie nach Gaußverteilt und hat dabei ein Maximum bei etwa $250 \frac{\text{mV}}{\text{dek}}$ (Abb. 6.7(b)).

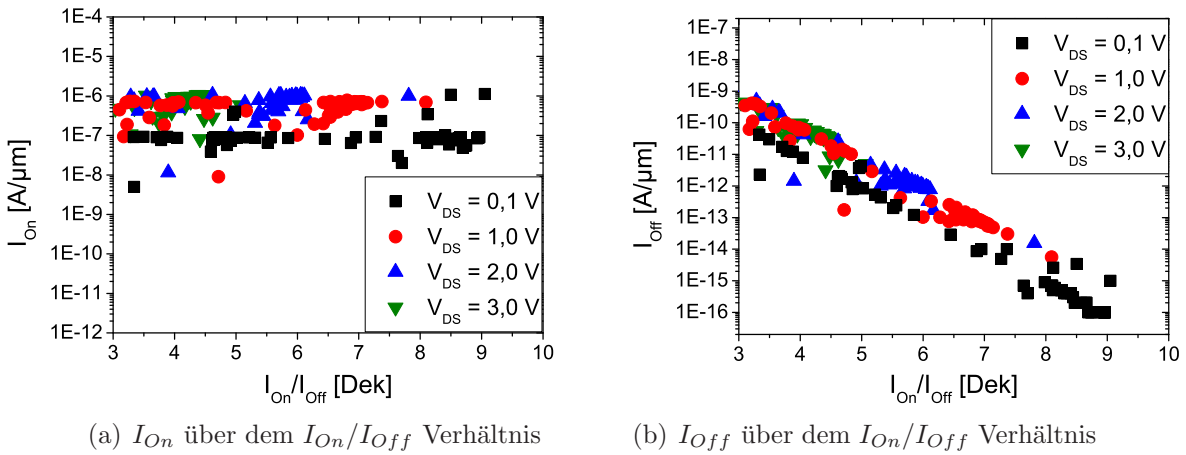


Abbildung 6.8: Abhängigkeit des I_{On}/I_{Off} Verhältnisses

Die statistische Verteilung zeigt, dass die funktionsfähigen Transistoren, ein sehr ähnliches Verhalten aufzeigen. Um eine höhere Ausbeute zu gewährleisten, muss die Strukturierung des Nitridspacers als auch der BRL verbessert werden.

P-Kanal MOSFET in n- dotierter Wanne

Für die Funktionsfähigkeit eines CMOS-Inverters ist neben dem NMOSFET auch ein funktionierender PMOSFET von Bedeutung. Er wird in diesem Fall mit Hilfe einer

n-Wanne im p-Substrat realisiert. Abbildung 6.9(a) zeigt den Stromverlauf zwischen dem Source und Drain Gebiet. Dabei wird, ohne Kontaktierung der Gateelektrode, eine Spannungsrampe an den Drainkontakt angelegt und der zugehörige Strom gemessen. Die lineare Darstellung zeigt eindeutig eine Widerstandskennlinie (Abb. 6.9(a)). Zum Vergleich ist in Abbildung 6.9(b) die Source-Drain Diode des NMOSFETs aufgezeigt, welche einen typischen npn-Übergang darstellt. Die Widerstandskennlinie des PMOSFETs ist die Folge der zu geringen Diffusionstiefe der n-dotierten Wanne.

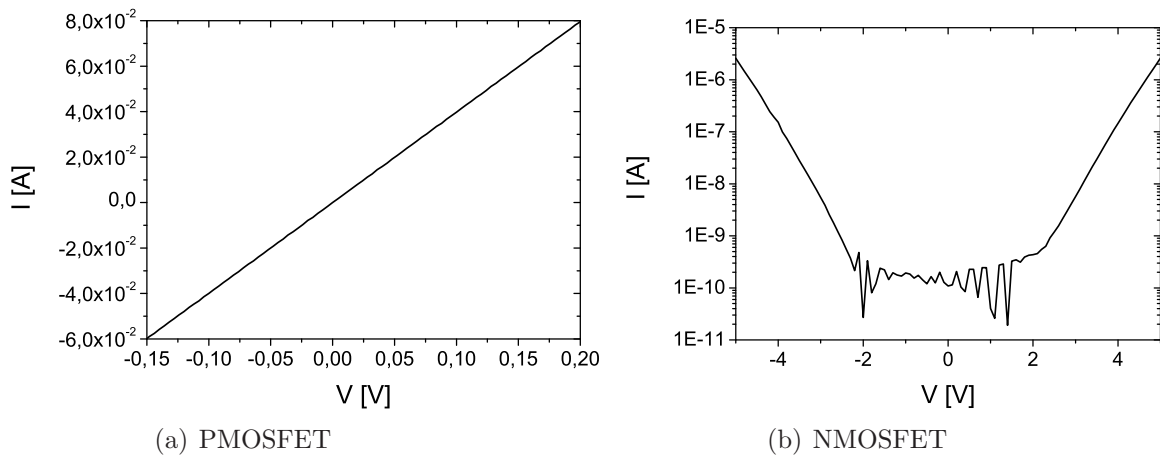


Abbildung 6.9: Stromverlauf der Source-Drain Diode

Nach den SIMS-Ergebnissen aus Kapitel 5.3.1 beträgt die Tiefe für eine Bor dotierte Wanne ca. 500 nm. Dieses Ergebnis sollte aufgrund der Dotierprofile aus Kapitel 5.3.1 mit dem von Phosphor nahezu übereinstimmen. Betrachtet man jedoch, dass die Diffusionstiefe der Source/Drain Gebiete ca. 500 nm beträgt, ergibt sich die Möglichkeit dass es zu einem Kurzschluss zwischen den beiden Gebieten und dem Substrat kommt (Abb 6.10). Dies erklärt die Widerstandskennlinie zwischen diesen beiden Kontakten,

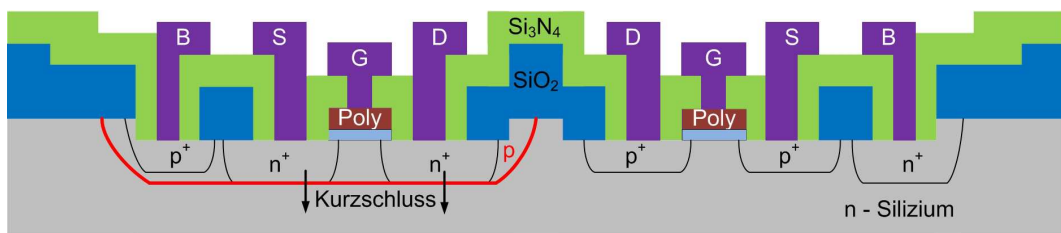


Abbildung 6.10: Kurzschluss zwischen Drain und Bulk

da der Strom nicht durch den Kanal in der Wanne sondern durch das Substrat fließt. Aus diesem Grund sind die Inverter nicht funktionsfähig. Um dies zu erreichen, muss die Dotierung der Wanne verbessert werden. Bei den Metal-Gate Transistoren wird eine p-Wanne verwendet, da die Messung der Phosphordotierung bei diesen niedrigen Dotierhöhen schwierig ist.

6.2 Metal-Gate

In diesem Abschnitt wird die elektrische Charakterisierung der Bauelemente behandelt, die mit dem in Kapitel 5.2.2 vorgestellten Metal-Gate Prozess hergestellt werden. Dabei wird sowohl auf n-Kanal als auch auf p-Kanal Transistoren eingegangen. Des Weiteren wird die elektrische Eigenschaft des Gatedielektrikums, Aluminiumoxid behandelt. Im letzten Abschnitt wird auf die Auswertung eines CMOS-Inverters mit diesem Dielektrikum eingegangen.

6.2.1 MIS-Kapazität

Die MIS-Kapazität ist vom Aufbau identisch zu der in Kapitel 2.1 behandelten MOS-Struktur. Der einzige Unterschied ist, dass in diesem Fall das Gatedielektrikum nicht Siliziumoxid sondern ein anderer Isolator ist. Die MIS-Kapazität eignet sich, um die Qualität eines Gatedielektrikums, welches einen großen Einfluss auf das elektrische Verhalten des MISFETs hat, zu verifizieren. Als Gatedielektrikum, wird das in Kapitel 5.3.3 vorgestellte Aluminiumoxid verwendet, welches mit einer ALD-Anlage abgeschieden wird. Die Dicke wird mittels Ellipsometer auf 15 nm bestimmt. Dadurch besteht die MIS-Kapazität aus Silizium, Siliziumoxid und Aluminiumoxid, die das Dielektrikum bilden und Aluminium als Gateelektrode. Diese Struktur wird während des CMOS-Prozesses, zusammen mit Transistoren und Invertern auf einem n-dotierten Wafer mit dem spezifischen Widerstand von $1\text{--}5\ \Omega\text{cm}$ hergestellt. Dadurch können anhand der MIS-Kapazitäten auch Rückschlüsse auf die MISFETs gezogen werden. Die genauen Prozessparameter sind in Anhang B.0.2 dargestellt.

Abbildungen 6.11 und 6.12 zeigen typische CV/GV-Kurven von MIS-Kapazitäten, die auf demselben n-dotierten Wafer hergestellt werden.

MIS-Kapazität auf n-dotiertem Substrat

Die Abbildung 6.11 zeigt die Kapazität auf einem n-dotierten Substrat. Dadurch befindet sich der Halbleiter unter dem Gatedielektrikum bei positiver Gatespannung in Akkumulation. Im weiteren Verlauf dieses Abschnitts wird auf die Bestimmung der Kenngrößen eingegangen.

Dicke des Aluminiumoxids

In dem Bereich der Akkumulation entspricht die gemessene Kapazität der Oxidkapazität C_{Ox} und hat den flächennormierten Wert von $0,44\ \frac{\mu\text{F}}{\text{cm}^2}$ (Kap. 2.1). Hieraus berechnet sich die elektrische Dicke des Aluminiumoxids unter Verwendung der Dielektrizitätszahl $\epsilon_{Al_2O_3}$ von 7,7 zu $t_{Ox} = 15,2\text{ nm}$. Dieser Wert stimmt mit der am Ellipsometer gemessenen Dicke überein. Dadurch berechnet sich die äquivalente Oxiddicke nach Gleichung 2.21 aus Kapitel 2.2.3 zu 7,7 nm. Der Wert CET aus der gemessenen CV-Kurve ergibt eine Schichtdicke von 7,8 nm.

Flachbandspannung V_{FB}

Die Flachbandspannung bestimmt sich aus der CV-Kurve zu $V_{FB} = 0,885\text{ V}$ (Kap. 2.2.1).

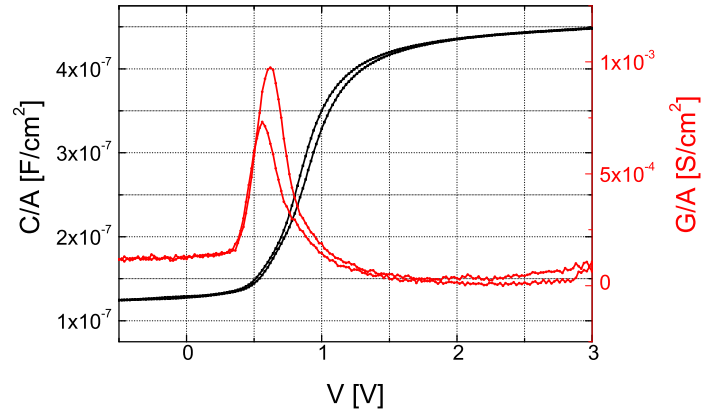


Abbildung 6.11: MIS-Kapazität auf n-dotiertem Substrat

Dieser Wert ist zur Bestimmung der Einsatzspannung des Transistors notwendig. Der gemessene Wert ergibt sich jedoch bei einer Dotierung von $1 \cdot 10^{17} \frac{1}{\text{cm}^3}$. Laut Herstellerangabe ist die Substratdotierung $1 \cdot 10^{15} \frac{1}{\text{cm}^3}$. Aus diesem Grund ist die Verschiebung auf Ladungen im Aluminiumoxid zurückzuführen. Arten und Ursachen von diesen Ladungen sind in Kapitel 2.2.1 aufgeführt.

Grenzflächenzustände D_{it}

Die Bestimmung der Grenzflächenzustände erfolgt unter der Verwendung der Leitwertmethode nach Kapitel 2.2.2. Dadurch ergibt sich nach dem Formiergastempnen der Wafer für die Grenzflächenzustände $D_{it} = 3,8 \cdot 10^{11} \frac{1}{\text{eV} \cdot \text{cm}^2}$. Im Vergleich zu einem industriellen CMOS-Prozess ist der Wert erhöht. Jedoch sind die hier bestimmten Grenzflächenzustände kleiner als der Wert von [Fab09], der sich auf $D_{it} = 6,5 \cdot 10^{12} \frac{1}{\text{eV} \cdot \text{cm}^2}$ beläuft. Dabei wird ebenfalls Aluminiumoxid als Gatedielektrikum verwendet. Ursache dafür ist das in dieser Arbeit verwendete chemische Siliziumoxid, welches zu einer Verbesserung der Grenzflächenzustände führt. Ein entsprechender Prozessschritt ist bei [Fab09] nicht durchgeführt worden. Die Kennzahlen der MIS-Kapazitäten sind in Tabelle 6.3 zusammengefasst.

Hysteresis

Ein Indiz für mobile Ladungen ist eine Hysteresis in der CV-Kurve. Dabei wird die Messung bei hohen Temperaturen durchgeführt. Die hier gezeigte Messung findet bei Raumtemperatur statt, jedoch ist dies schon ausreichend um eine Aussage zutreffen ob der Einfluss der mobilen Ladungen sehr hoch ist. Dies ist aufgrund der geringen bis gar keiner Verschiebung nicht der Fall.

MIS-Kapazität in p-dotierter Wanne

Abbildung 6.12 zeigt die CV/GV-Kurve einer MIS-Kapazität, die in einer p-dotierten Wanne gelegen ist. Hier kann der Wafer nicht als Rückseitenkontakt verwendet werden, da sonst der pn-Übergang zwischen Wanne und Substrat das Ergebnis verfälschen würde. Aus diesem Grund befindet sich der Bulkkontakt auf der Waferoberseite und kontaktiert

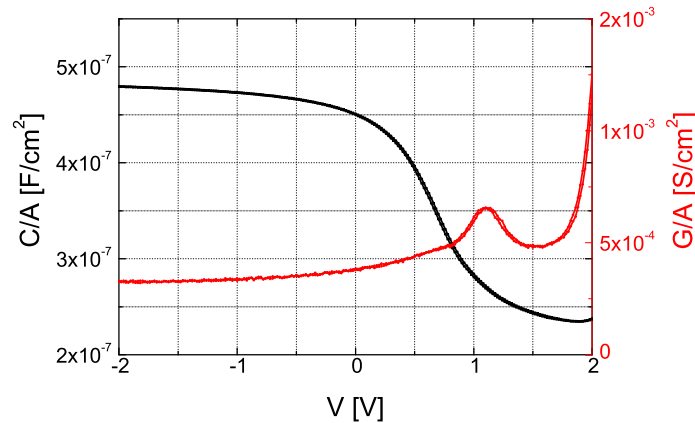


Abbildung 6.12: MIS-Kapazität auf p-dotierter Wanne

die Wanne.

Dicke des Aluminiumoxids

Aufgrund der p-dotierten Wanne befindet sich der Halbleiter unter dem Gatedielektrikum bei negativer Gatespannung in Akkumulation. Die in diesem Bereich gemessene Oxidkapazität normiert auf die Fläche beträgt $0,48 \frac{\mu\text{F}}{\text{cm}^2}$. Hieraus errechnet sich die Dicke des Aluminiumoxids zu $t_{\text{Ox}} = 14,4 \text{ nm}$. Dieser Wert ist im Vergleich zu der Kapazität auf dem n-dotierten Substrat um ca. $0,8 \text{ nm}$ kleiner. Ursache dafür kann das chemische Siliziumoxid sein. Nach [Tra00] wächst auf hochdotierten Substraten Siliziumoxid schneller als auf niedrig dotierten Gebieten auf. Die p-dotierte Wanne ist mit $1 \cdot 10^{18} \frac{1}{\text{cm}^3}$ deutlich höher dotiert als das Substrat mit $1 \cdot 10^{15} \frac{1}{\text{cm}^3}$. Die äquivalente Oxiddicke ergibt sich danach zu $7,3 \text{ nm}$. Der Wert für CET beläuft sich auf $7,2 \text{ nm}$.

Flachbandspannung V_{FB}

Aufgrund der höheren Dotierung der Wanne gegenüber dem Substrat ergibt sich nach Kapitel 2.2.1 eine Flachbandspannung V_{FB} von $-0,516 \text{ V}$.

Grenzflächenzustände D_{it}

Nach der Leitwertmethode ergibt sich für die Grenzflächenzustandsdichte ein Wert von $D_{it} = 6,6 \cdot 10^{11} \frac{1}{\text{eV} \cdot \text{cm}^2}$, der kleiner ist als der vergleichbare Wert $D_{it} = 6,5 \cdot 10^{12} \frac{1}{\text{eV} \cdot \text{cm}^2}$ von [Fab09]. Jedoch ist auffällig, dass dieser Wert größer ist als die Grenzflächenzustandsdichte der MIS-Kapazität auf dem Substrat. Die Begründung dafür liefert das in Kapitel 5.3.1 vorgestellte SOD-Verfahren zur Herstellung der Wanne. Durch diesen Prozessschritt kommt es aufgrund des Entfernens des Silikatglases mit Flusssäure zu einem Aufräumen der Oberfläche. Dadurch wird die Grenzfläche zwischen dem chemischen Siliziumoxid und dem Silizium verschlechtert, da viele offene Bindungen vorliegen. Um dies besser zu qualifizieren, müssen mehrere MIS-Kapazitäten gemessen werden, um eine statistische Auswertung zu bekommen.

Des Weiteren ist zu erkennen, dass die CV-Kurve der MIS-Kapazität in der Wanne deutlich flacher und auch der Leitwertspeak deutlich geringer ist, als bei der Struktur

	n-Substrat	p-Wanne
C'_{Ox} [$\mu F/cm^2$]	0,44	0,48
V_{FB} [V]	0,885	-0,516
$t_{Al_2O_3}$ [nm]	15,2	14,4
EOT [nm]	7,7	7,3
CET [nm]	7,8	7,2
D_{it} [$1/eVcm^2$]	$3,8 \cdot 10^{11}$	$6,6 \cdot 10^{11}$

Tabelle 6.3: Tabellarische Zusammenstellung der Kennzahlen der MIS-Kapazitäten

auf dem Substrat. Dies liegt an der Dotierung der Wanne, die mit etwa $1 \cdot 10^{18} \frac{1}{cm^3}$ hoch dotiert ist. Deswegen ist ein Vergleich dieser Kapazitäten untereinander schwierig. Für eine Aussage, inwieweit der SOD-Prozessschritt Auswirkungen auf die Güte des Gatestacks hat, ist es empfehlenswert eine gleiche Dotierkonzentration zu haben.

Im nächsten Abschnitt wird auf die MISFETs eingegangen, deren Gatestack aus den dargestellten MIS-Kapazitäten besteht.

6.2.2 MISFET

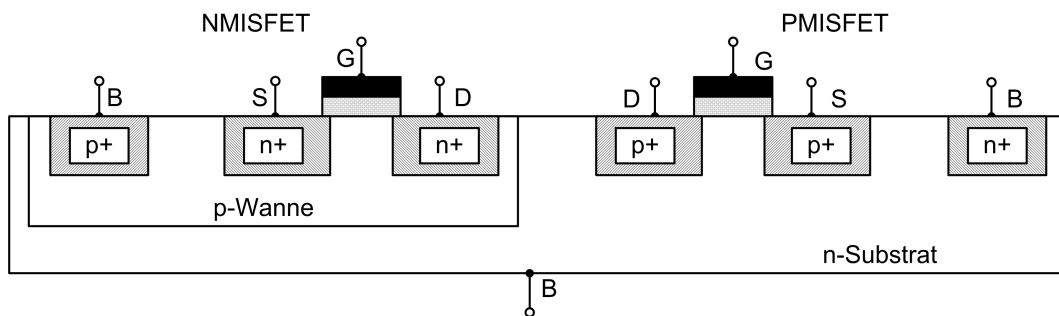


Abbildung 6.13: Schematische Zeichnung der hergestellten CMOS-Transistoren auf einem Wafer

In diesem Abschnitt werden, basierend auf den Ergebnissen der MIS-Strukturen aus dem vorherigen Kapitel, die elektrischen Eigenschaften eines p-Kanal sowie eines n-Kanal MISFETs beschrieben. Beide Transistortypen werden dabei auf demselben Wafer mit einem spezifischen Schichtwiderstand von $1-5 \Omega cm$ hergestellt. Der PMISFET befindet sich dabei im n-dotierten Substrat, der NMISFET hingegen sitzt in einer p-dotierten Wanne (Abb. 6.13). Die genauen Prozessparameter sind im Anhang B.0.2 dargestellt.

Die Messungen erfolgen, wie bei den vorher besprochenen Poly-Gate Transistoren, auf dem ganzen Wafer mit einem Parameter-Analyzer und einem halbautomatischen Wafer-Prober. Da der NMISFET in einer p-dotierten Wanne gelegen ist, kann der Rückseitenbulkkontakt nur für den p-Kanal Transistor verwendet werden. Eine Erdung des NMISFETs über die Rückseite führt zu einer Verfälschung des Ergebnisses, da ein pn-Übergang zwischen Bulk und Wanne mitgemessen wird. Die elektrische Charakterisierung der Bauteile erfolgt durch die Transfer- und die Ausgangskennlinie. Die high-k

Materialien können Hysteresen aufzeigen, daher werden anders als bei den vorher besprochenen Poly-Gate Transistoren, die Spannungsrampen zweimal durchfahren. Die in dieser Arbeit untersuchten Transistoren mit Metal-Gate besitzen ein W/L-Verhältnis von 50/28.

P-Kanal MISFET in n-dotiertem Substrat

Das Transfer- und Ausgangskennlinienfeld eines beispielhaften p-Kanal MISFETs im n-dotierten Substrat mit Aluminiumoxid als Gatedielektrikum und Aluminium als Elektrode ist in Abbildung 6.14 dargestellt. Das Ausgangskennlinienfeld aus Abbildung 6.14(b) zeigt einen ausgeprägten Sättigungsbereich. Der Transistor zeigt dabei ein typisches Transferverhalten auf. Auffällig ist jedoch, dass der Off-Strom des Bauteils mit kleiner werdender Drain-Source Spannung V_{DS} zunimmt. Des Weiteren ist eine Abhängigkeit des Off-Stroms zur Gate-Source Spannung V_{GS} zu beobachten. Abbildung 6.14(a) nach zu urteilen handelt es sich um einen selbstsperrenden Transistor, da dieser bei einer negativen Gate-Source Spannung V_{GS} einschaltet. Anhand der Transferkennlinie ist ein Verhältnis I_{On}/I_{Off} von 7 Dekaden zu erkennen. Daraus lässt sich folgern, dass dieser PMISFET ein funktionsfähiger Transistor ist.

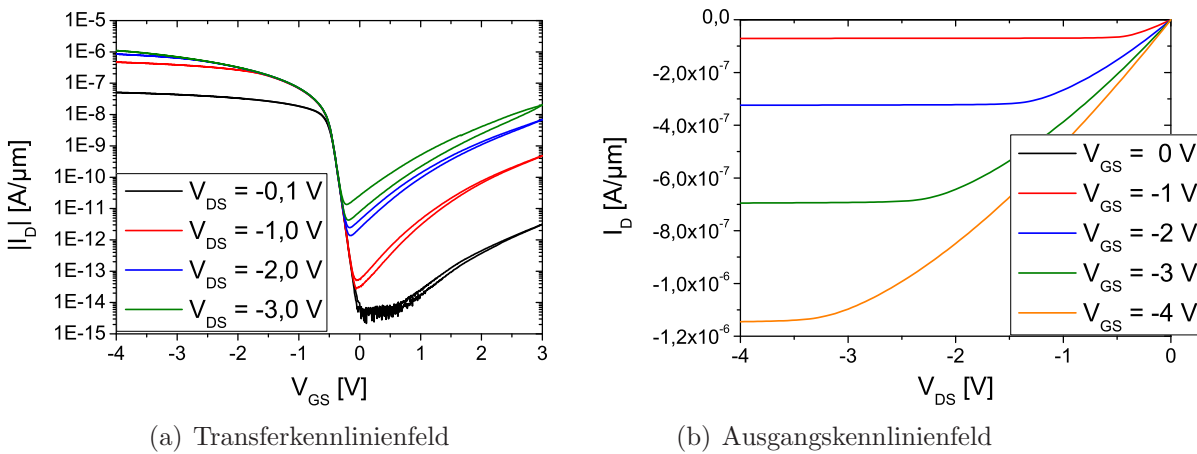


Abbildung 6.14: Kennlinien eines PMISFETs mit Aluminiumoxid als Gatedielektrikum

Im weiteren Verlauf des Abschnitts wird auf die Kenngrößen, dieses beispielhaften Transistors eingegangen. Der Vergleich dieser Werte mit der Theorie findet in Kapitel 6.3 statt.

Unterschwelsteigung

Die Potentialänderung, die im Unterschwellbereich zu einer Änderung des Drainstroms um eine Dekade führt, wird als Unterschwellsteigung bezeichnet (Kap. 3.3). Durch die Berechnung der Tangente, die an den steigenden Ast der Transferkennlinie angelegt wird, ergibt sich eine Unterschwellsteigung von $S = 72 \frac{\text{mV}}{\text{dek}}$.

Einsatzspannung

Identisch zu dem in Kapitel 6.1 behandelten Transistor mit selbstjustierenden Gate, wird die Einsatzspannung graphisch mit den beiden Methoden, lineare Extrapolation über I_D und der linearen Extrapolation über $\sqrt{I_D}$ aus Kapitel 3.3 bestimmt. Aus der Abbildung 6.15(a), die I_D über V_{GS} aufzeigt, ergibt sich eine Einsatzspannung von $V_{Tp} = -0,50$ V. Mit Hilfe der Methode der linearen Extrapolation über $\sqrt{I_D}$ aus Ab-

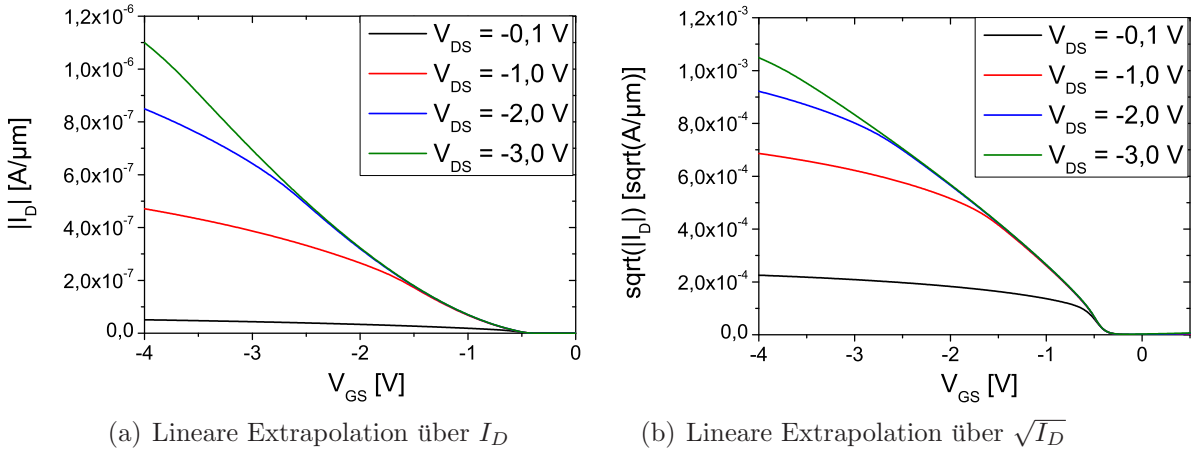


Abbildung 6.15: Bestimmung der Einsatzspannung des PMISFETs

bildung 6.15(b) bestimmt sich eine Spannung von $V_{Tp} = -0,31$ V. Diese Diskrepanz bei den Ergebnissen dieser beiden Methoden kann bereits bei den Polysilizium-Gate Transistoren beobachtet werden (Kap. 6.1). Dabei stellt sich heraus, dass die Methode der linearen Extrapolation über dem Drainstrom $\sqrt{I_D}$ eine stärkere Stabilität gegenüber der Drain-Source Spannung V_{DS} aufweist. Aufgrund dieser Tatsache ergibt sich die Einsatzspannung zu $V_{Tp} = -0,31$ V.

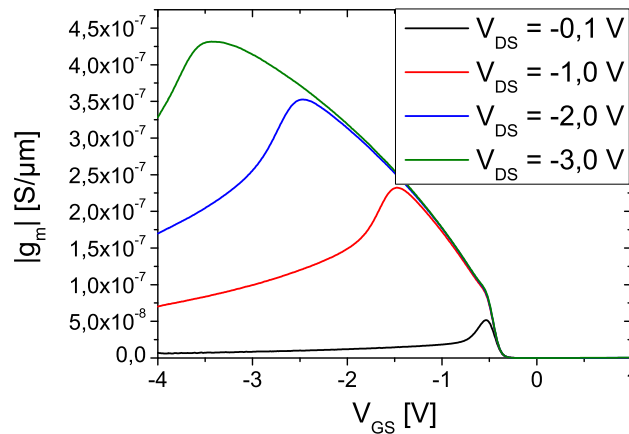


Abbildung 6.16: Bestimmung des Gegenleitwerts

Gegenleitwert

Für die Bestimmung der Ladungsträgerbeweglichkeit, wird als erstes der Gegenleitwert g_m bestimmt. Dabei wird, wie in Kapitel 3.3 beschrieben, der Drainstrom I_D nach der Gate-Source Spannung V_{GS} differenziert. Die so entstandene Kennlinie ist in Abbildung 6.16 dargestellt. Dadurch ergibt sich das Steilheitsmaximum $g_{m,max}$ beispielhaft für $V_{DS} = -1 \text{ V}$ zu $0,23 \frac{\mu\text{S}}{\mu\text{m}}$.

Beweglichkeit

Die Beweglichkeit dieses p-Kanal Transistors bestimmt sich mit Hilfe der Gleichung 3.53 und den dort angegebenen Werten zu $\mu = 143,73 \frac{\text{cm}^2}{\text{Vs}}$. Die Beweglichkeit ist kleiner als

$$\mu = \frac{g_{m,max} L}{W C'_{Ox} V_{DS}} \quad (3.53)$$

$$\text{Messwert (Abb. 6.16):} \quad |g_{m,max}| = 0,226 \frac{\mu\text{S}}{\mu\text{m}} \cdot W = 1,13 \cdot 10^{-4} \text{ S}$$

$$\text{Maskenlayout (Kap. A):} \quad L = 280 \mu\text{m} \quad (\text{Überlapp vernachlässigt})$$

$$\text{Maskenlayout (Kap. A):} \quad W = 500 \mu\text{m}$$

$$\text{Messwert (Kap. 6.2.1):} \quad C'_{Ox} = 4,4 \cdot 10^{-7} \frac{\text{F}}{\text{cm}^2}$$

$$\text{Spannung:} \quad |V_{DS}| = 1 \text{ V}$$

der Theoriewert ($\mu = 170 \frac{\text{cm}^2}{\text{Vs}}$) aus Kapitel 3.3. Auf diese Abweichung und auf einen genaueren Vergleich mit der Theorie wird an dieser Stelle auf Kapitel 6.3 verwiesen.

Zusammenfassung der Ergebnisse

Die Ergebnisse der Auswertung sind in Tabelle 6.4 für alle Drain-Source Spannungen V_{DS} zusammengefasst.

$V_{DS} [\text{V}]$	-0,10	-1,00	-2,00	-3,00
$I_{On}/I_{Off} [\text{Dek}]$	7,34	7,24	5,79	5,41
$S [\text{mV/dek}]$	71,00	71,65	73,92	76,16
$V_{Tp} [\text{V}]$ nach I_D	-0,50	-0,56	-0,55	-0,54
$V_{Tp} [\text{V}]$ nach $\sqrt{I_D}$	-0,31	-0,34	-0,31	-0,29
$g_{m,max} [\mu\text{S}/\mu\text{m}]$	0,054	0,23	0,36	0,44
$\mu [\text{cm}^2/\text{Vs}]$	NA	143,74	114,55	93,33

Tabelle 6.4: Tabellierte Ergebnisse des PMISFETs

Betrachtung des Off-Stroms

Bei dieser Untersuchung fällt auf, dass der Off-Strom des Transistors bei der Transferkennlinie sowohl von der Drain-Source Spannung V_{DS} als auch von der Gate-Source Spannung V_{GS} abhängt (Abb. 6.14(a)). Der Off-Strom steigt dabei mit größer werdendem Betrag der Drain-Source Spannung V_{DS} und führt zu einem schlechteren I_{On}/I_{Off} Verhältnis (Abb. 6.19(a)). Die Ursache dafür ist die Drain-Bulk-Diode des Transistors

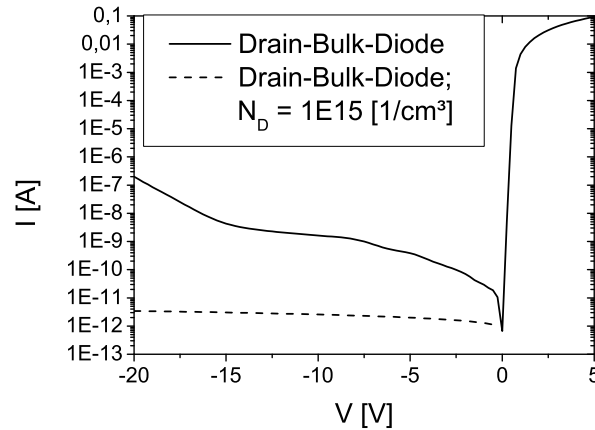


Abbildung 6.17: Drain-Bulk-Diode eines PMISFETs mit berechneter Kennlinie (gestrichelte Form)

(Abb. 6.17). Dabei wird die pn-Diode, durch Anlegen einer Spannungsrampe am Drain und der Erdung des Bulkkontakts gemessen. Dadurch befindet sich das Bauteil bei negativer Spannung in Sperrrichtung. Je kleiner der Sperrstrom dieser Diode ist, desto besser ist auch der Off-Strom des Transistors (Kap. 3.2). Der Grund dafür ist, dass diese Diode beim Betreiben eines MISFETs auch in Sperrrichtung betrieben wird. Man sieht, dass der Strom mit größer werdender Spannung ansteigt. Dies ist vergleichbar mit dem Anstieg des Off-Stroms beim Transistor abhängig von der Drain-Source Spannung V_{DS} . Dieser Anstieg des Stroms ist aufgrund der schwächeren Substratdotierung deutlich geringer als beim NMISFET. Vergleicht man dies mit der simulierten Kennlinie, so sollte es zu keinem Anstieg des Sperrstroms kommen. Jedoch kommt es bereits zu einer Erhöhung des Stroms durch Tunneleffekte, die in der Berechnung noch nicht berücksichtigt werden.

Für eine bessere Erklärung der Ursache für die Abhängigkeit des Off-Stroms von der Gate-Source Spannung V_{GS} sind alle gemessenen Ströme in Abbildung 6.18 dargestellt. Dabei ist zu beachten, dass der Drainstrom I_D im eingeschalteten Zustand des Transistors dem Betrag des Sourcestroms I_S entspricht. Im Bereich des Off-Stroms, entspricht der Drainstrom I_D dem Bulkstrom I_B . Beide Ströme steigen mit positiver Gate-Source Spannung V_{GS} an. Diese Beobachtung kann für jeden Transistor bei jeder Drain-Source Spannung V_{DS} festgestellt werden. Der Grund für dieses Phänomen ist das sogenannte Gate-Induced Drain Leakage. Eine genaue Erläuterung dieses Verhaltens wird in Kapitel 6.3 beschrieben.

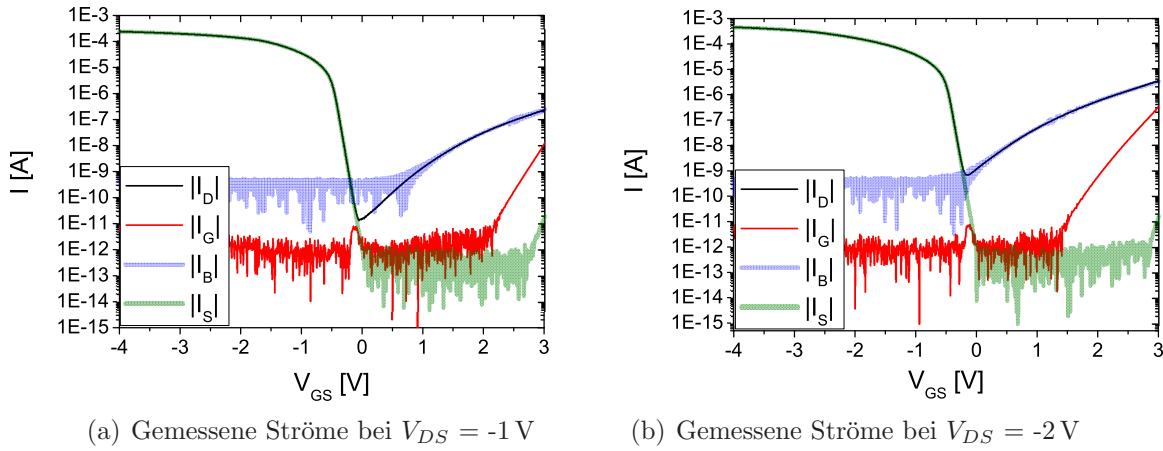


Abbildung 6.18: Gemessene Ströme des PMISFETs

Statistische Auswertung

Um eine statistische Auswertung der gezeigten Messergebnisse zu bekommen, wird jeder Transistor auf dem Wafer mit Hilfe des halbautomatischen Probers vermessen. Die Statistik des Wafers, erfolgt dabei identisch wie bei den Transistoren mit Polysilizium-Gate in Form von Histogrammen für das I_{On}/I_{Off} -Verhältnis, die Einsatzspannung V_{Tp} und der Unterschwellsteigung S . Die dazugehörigen Zahlen der Mittelwerte und Standardabweichungen sind in Tabelle 6.5 angegeben. Anhand dieser Werte ist zu erkennen, dass die Ausbeute mit ca. 97 % sehr hoch ist. Dies zeigt, dass die Prozesse auf dem gesamten Wafer funktionieren. Eine hohe Ausbeute ist wichtig, damit später die Inverter funktionieren können. Des Weiteren fällt auf, dass das bereits erwähnte Verhältnis von I_{On}/I_{Off} für alle Transistoren sehr hoch ist. Betrachtet man Abbildung 6.19(a) so ist allgemein eine Gaußverteilung zu beobachten, die bei der Drain-Source Spannung von -1 V ein Maximum bei ca. 7 Dekaden hat. Durch Erhöhen der Drain-Source Spannung V_{DS} verschlechtert sich dieses Verhältnis (Tab. 6.5). In Abbildung 6.20 ist der On-Strom I_{On}

V_{DS} [V]	-0,10	-1,00	-2,00	-3,00
Ausbeute [%]	85,32	97,25	97,25	98,17
I_{On}/I_{Off} [Dek]	7,76	7,40	5,63	4,34
σ	0,93	1,11	0,52	0,37
S [mV/dek]	70,51	69,40	78,06	106,37
σ	0,00	10,68	7,73	21,62
V_{Tp} [V]	-0,36	-0,55	-0,62	-0,52
σ	0,37	0,19	0,38	0,17

Tabelle 6.5: Tabellierte Ergebnisse der gesamten PMISFETs auf dem Wafer

und der Off-Strom I_{Off} in Abhängigkeit zum Verhältnis I_{On}/I_{Off} angegeben. Der On-Strom I_{On} bleibt nahezu konstant für die unterschiedlichen Drain-Source Spannungen V_{DS} und für das Verhältnis I_{On}/I_{Off} . I_{Off} hingegen steigt mit steigender Drain-Source Spannung V_{DS} . Dadurch nimmt die Anzahl der Dekaden ab.

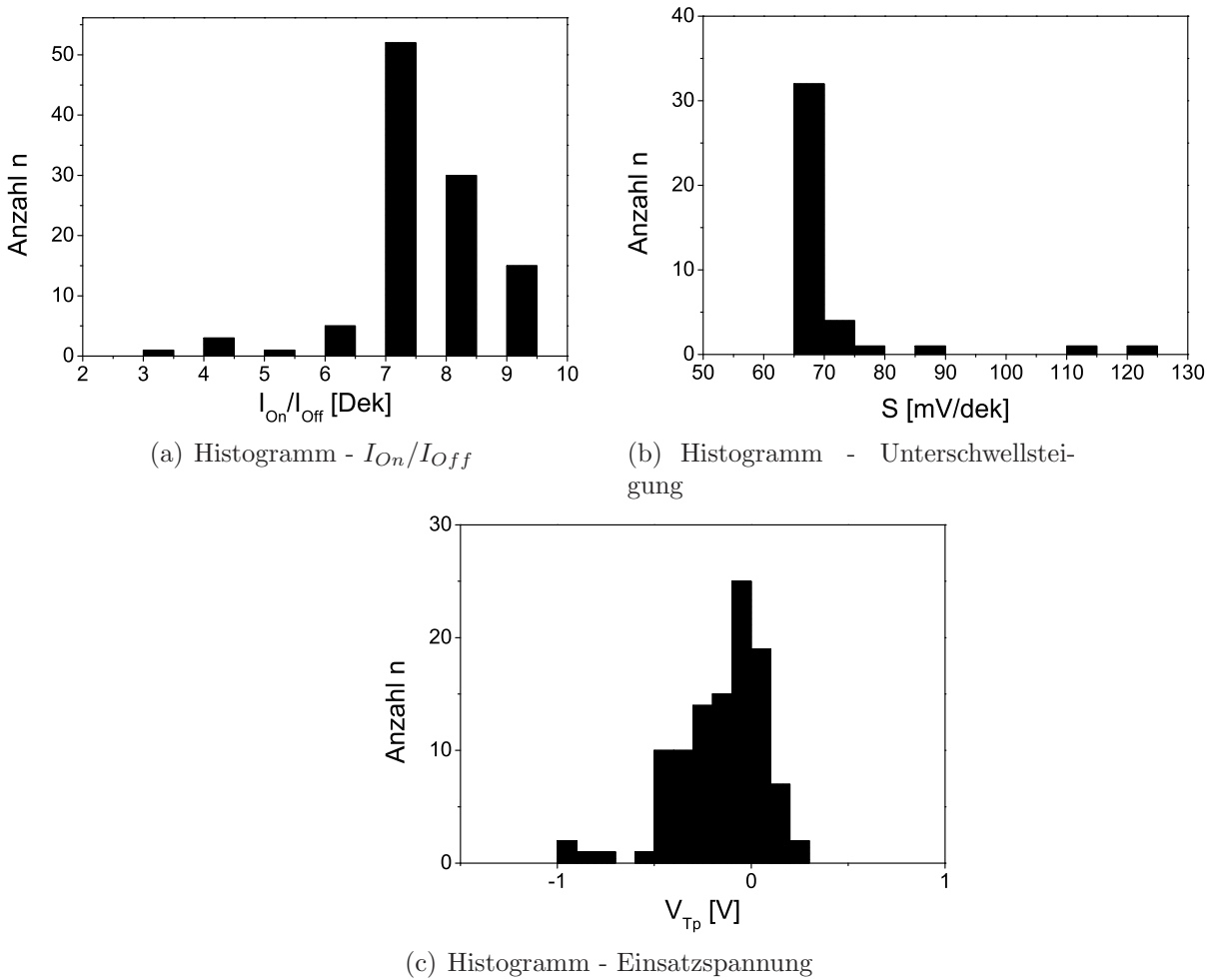


Abbildung 6.19: Statistik der Kennzahlen des PMISFETS bei $V_{DS} = -1$ V

Die Unterschwellsteigung hat bei einer Drain-Source Spannung von -1 V ein Maximum bei etwa $65 \frac{\text{mV}}{\text{dek}}$ (Abb. 6.19(b)). Auch dieser Wert ist von der Drain-Source Spannung V_{DS} abhängig, da bei höheren Spannungen ein Maximum bei etwa $106 \frac{\text{mV}}{\text{dek}}$ erreicht wird (Tab. 6.5).

Die Einsatzspannung ist in diesem Fall nur nach der linearen Extrapolation nach $\sqrt{I_D}$ bestimmt. Es zeigt sich, dass das Maximum der Werte um die -0,2 V liegt. Es fällt aber eine sehr starke Schwankung auf, was auf die Fluktuation in der Eigenschaft des Aluminiumoxids zurückzuführen ist. Um eine genaue Aussage darüber treffen zu können, muss eine Statistik über die MIS-Kapazitäten durchgeführt werden.

Insgesamt zeigt diese statistische Verteilung, dass die Transistoren auf dem gesamten Wafer sehr ähnlich sind. Der Metal-Gate Prozess liefert demnach eine hohe Ausbeute und identische Transistoren auf einem Wafer. Dadurch ist es möglich, auch einzelne Schaltungen zu realisieren. Jedoch muss dazu die Einsatzspannung besser kontrolliert werden.

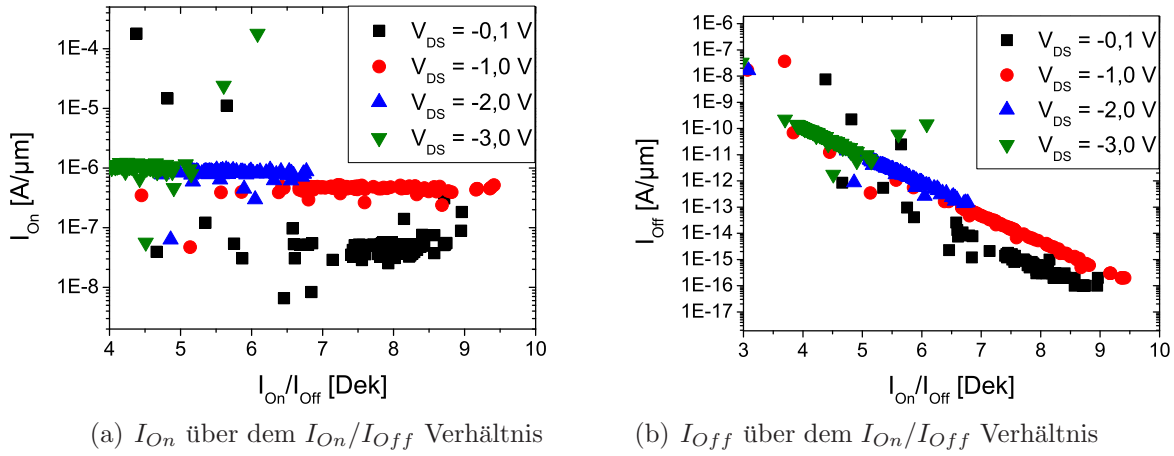


Abbildung 6.20: Abhängigkeit des I_{On}/I_{Off} Verhältnisses

N-Kanal MISFET in p-dotierter Wanne

Neben dem gerade besprochenen PMISFET werden auf demselben Wafer auch NMISFETs in einer p-dotierten Wanne hergestellt. In Abbildung 6.21 sind beispielhaft die Ausgangs- und Transferkennlinienfelder eines n-Kanal Transistors angegeben. Das Ausgangskennlinienfeld aus Abbildung 6.21(b) zeigt einen ausgeprägten Sättigungsbereich. Auffallend an der Transferkennlinie aus Abbildung 6.21(a) ist die Abhängigkeit des Off-Stroms zur Drain-Source V_{DS} und zur Gate-Source Spannung V_{GS} . Es zeigt sich, dass dieser Transistor bei einer positiven Gate-Source Spannung V_{GS} einschaltet und somit selbstsperrend ist (Abb. 6.21(a)). Dadurch ist es nach Kapitel 4.2 möglich, einen funktionierenden Inverter herzustellen. Des Weiteren kann dieser Transistor als funktionsfähig

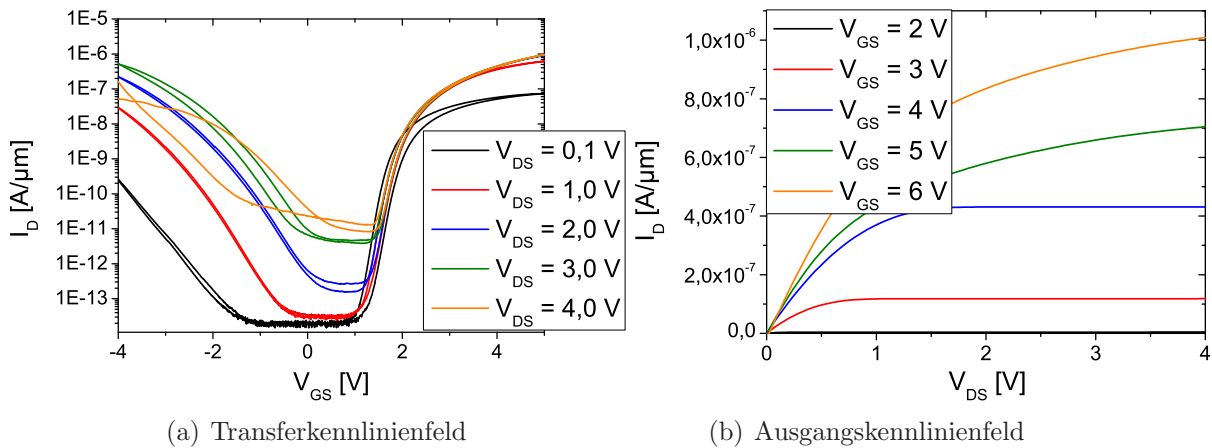


Abbildung 6.21: Kennlinien eines NMISFETs mit Aluminiumoxid als Gatedielektrikum

angesehen werden, da er ein Verhältnis von I_{On}/I_{Off} von 6 Dekaden aufweist. Im Vergleich zum vorher besprochenen PMISFET ist dies um etwa eine Dekade geringer. Im Folgenden wird auf die Kennzahlen des Transistors eingegangen. Ein Vergleich mit der

Theorie erfolgt in Kapitel 6.3.

Unterschwelligsteigung

Der Wert der Unterschwelligsteigung, der die maximale Stromverstärkung eines Transistors im Unterschwelligbereich angibt, beträgt etwa $126 \frac{\text{mV}}{\text{dek}}$. Es fällt auf, dass der Wert für die Unterschwelligsteigung deutlich größer ist als beim PMISFET ($S = 72 \frac{\text{mV}}{\text{dek}}$). Betrachtet man die folgende Gleichung aus Kapitel 3.3 so ist die Unterschwelligsteigung von der Grenzflächenkapazität C'_{it} , der Überlappkapazität C'_{Ov} , der Oxidkapazität C'_{Ox} und der Raumladungskapazität C'_{Sc} abhängig.

$$S = V_{Th} \ln(10) \left(1 + \frac{C'_{Ov} + C'_{Sc} + C'_{it}}{C'_{Ox}} \right)$$

	PMISFET	NMISFET
$C'_{Ox} [\mu F/cm^2]$	0,44	0,48
Überlappbereich $[\mu m]$	75	73,5
$D_{it} [1/eV cm^2]$	$3,8 \cdot 10^{11}$	$6,6 \cdot 10^{11}$
Dotierkonzentration des Bulkgebiets $[1/cm^3]$	$1 \cdot 10^{15}$	$1 \cdot 10^{18}$

Tabelle 6.6: Tabellarische Zusammenstellung der wichtigen Größen für die Unterschwelligsteigung

In Tabelle 6.6 sind die Werte für die einzelnen Transistoren angegeben, die Einfluss auf die Unterschwelligsteigung haben. Dabei fällt auf, dass die Oxidkapazität C'_{Ox} nahezu identisch ist. Für die Grenzflächenkapazität C'_{it} gilt das gleiche, da die Grenzflächenzustandsdichte D_{it} für beide Bauelemente nahezu gleich ist ($C'_{it} = q \cdot D_{it}$). Auch der Überlappbereich der beiden Transistoren ist identisch. Einzig allein die Dotierkonzentration der beiden Bulkgebiete unterscheidet sich sehr stark. Aufgrund der Abhängigkeit der Raumladungskapazität C'_{Sc} von der Dotierkonzentration (Kap. 2.1), ist dies der Grund für die unterschiedliche Unterschwelligsteigung.

Einsatzspannung

Identisch zum PMISFET erfolgt die Bestimmung der Einsatzspannung graphisch mit den beiden bekannten Methoden. Nach Abbildung 6.22(a), die I_D über V_{GS} aufzeigt, ergibt sich eine Einsatzspannung von $V_{Tn} = 1,98 \text{ V}$. Mit der Methode der linearen Extrapolation über $\sqrt{I_D}$ aus Abbildung 6.22(b) beträgt $V_{Tn} = 1,75 \text{ V}$. Aus den gleichen Gründen, die bereits beim PMISFET erläutert werden, wird dieser Wert für die spätere Auswertung verwendet.

An dieser Stelle ist bereits zu sehen, dass die Einsatzspannung der beiden komplementären Transistoren nicht symmetrisch ist. Um $\Delta V_T = 1,44 \text{ V}$ weicht die Einsatzspannung ab. Betrachtet man die Gleichung für die Einsatzspannung eines n-Kanal Transistors, so ist diese von der Dotierhöhe des Bulkgebiets, der Oxidkapazität C'_{Ox} und der Flachbandspannung V_{FB} abhängig. Dieselbe Abhängigkeit ist nach Kapitel 3.3 auch für

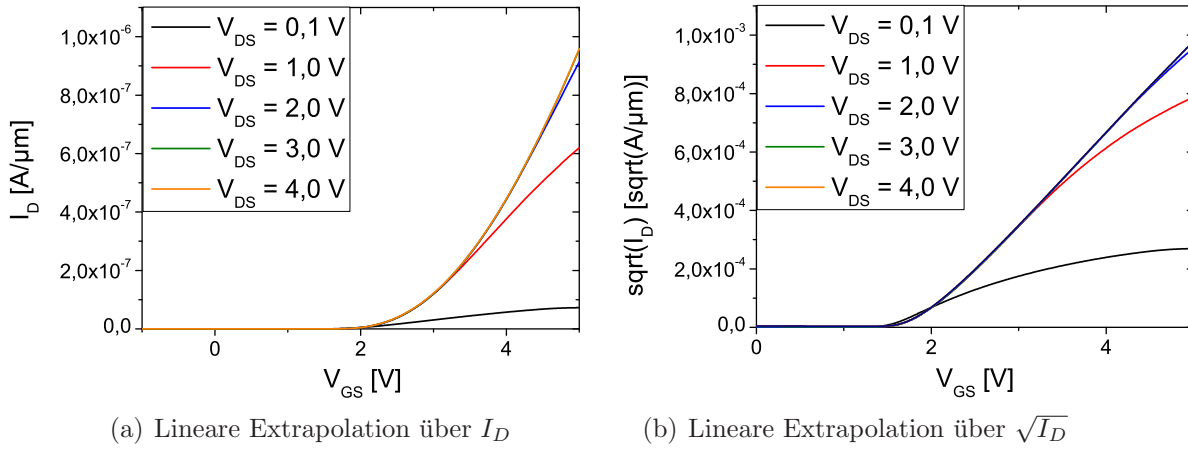


Abbildung 6.22: Bestimmung der Einsatzspannung des NMISFETs

einen p-Kanal Transistor gültig.

$$V_{Tn} = V_{FB} + |2\psi_B| + \gamma_n \sqrt{|2\psi_B|}$$

$$\gamma_n = \frac{\sqrt{2qN_A\epsilon_0\epsilon_{Si}}}{C'_{Ox}}$$

Dadurch ist ersichtlich, dass aufgrund der Werte aus Tabelle 6.7, der Unterschied in der Einsatzspannung aus der unterschiedlichen Dotierhöhe der Wanne zum Substrat und der unterschiedlichen Flachbandspannung V_{FB} herrührt. Um eine symmetrische Einsatzspannung zu bekommen müsste sowohl der Betrag der Flachbandspannung V_{FB} als auch die Dotierkonzentration des Bulkgebiets gleich sein.

	PMISFET	NMISFET
C'_{Ox} [$\mu F/cm^2$]	0,44	0,48
V_{FB} [V]	0,885	-0,516
Dotierkonzentration des Bulkgebiets [$1/cm^3$]	$1 \cdot 10^{15}$	$1 \cdot 10^{18}$

Tabelle 6.7: Tabellarische Zusammenstellung der wichtigen Größen für die Einsatzspannung

Gegenleitwert

Aus der Abbildung 6.23, die g_m über der Gate-Source Spannung V_{GS} darstellt, ergibt sich beispielhaft für $V_{DS} = 1$ V ein $g_{m,max}$ zu $0,29 \frac{\mu S}{\mu m}$.

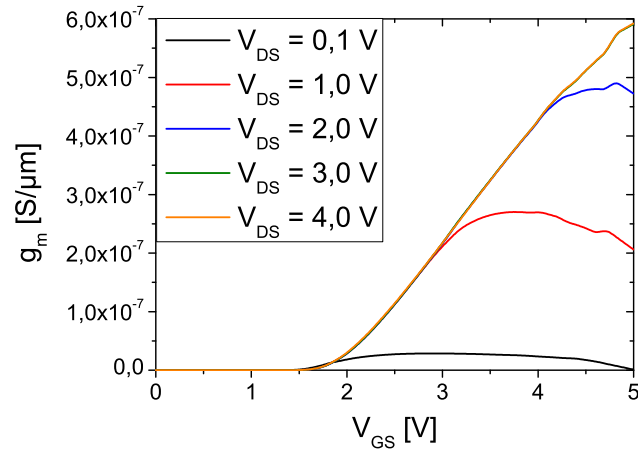


Abbildung 6.23: Bestimmung des Gegenleitwerts

Beweglichkeit

Unter Verwendung der folgenden Gleichungen und den angegebenen Werten ergibt sich eine Beweglichkeit von $\mu = 167,09 \frac{\text{cm}^2}{\text{Vs}}$. Diese Größe ist gegenüber dem theoretischen Wert von $\mu = 650 \frac{\text{cm}^2}{\text{Vs}}$ aus Kapitel 3.3 deutlich kleiner. Die Begründung dafür liefert Kapitel 6.3.

$$\mu = \frac{g_{m,max} L}{W C'_{Ox} V_{DS}} \quad (3.53)$$

Messwert (Abb. 6.23): $g_{m,max} = 0,286 \frac{\mu\text{S}}{\mu\text{m}} \cdot W = 1,43 \cdot 10^{-4} \text{ S}$

Maskenlayout (Kap. A): $L = 280 \mu\text{m}$
(Überlapp vernachlässigt)

Maskenlayout (Kap. A): $W = 500 \mu\text{m}$

Messwert (Kap. 6.2.1): $C'_{Ox} = 4,8 \cdot 10^{-7} \frac{\text{F}}{\text{cm}^2}$

Spannung: $V_{DS} = 1 \text{ V}$

Zusammenfassung der Ergebnisse

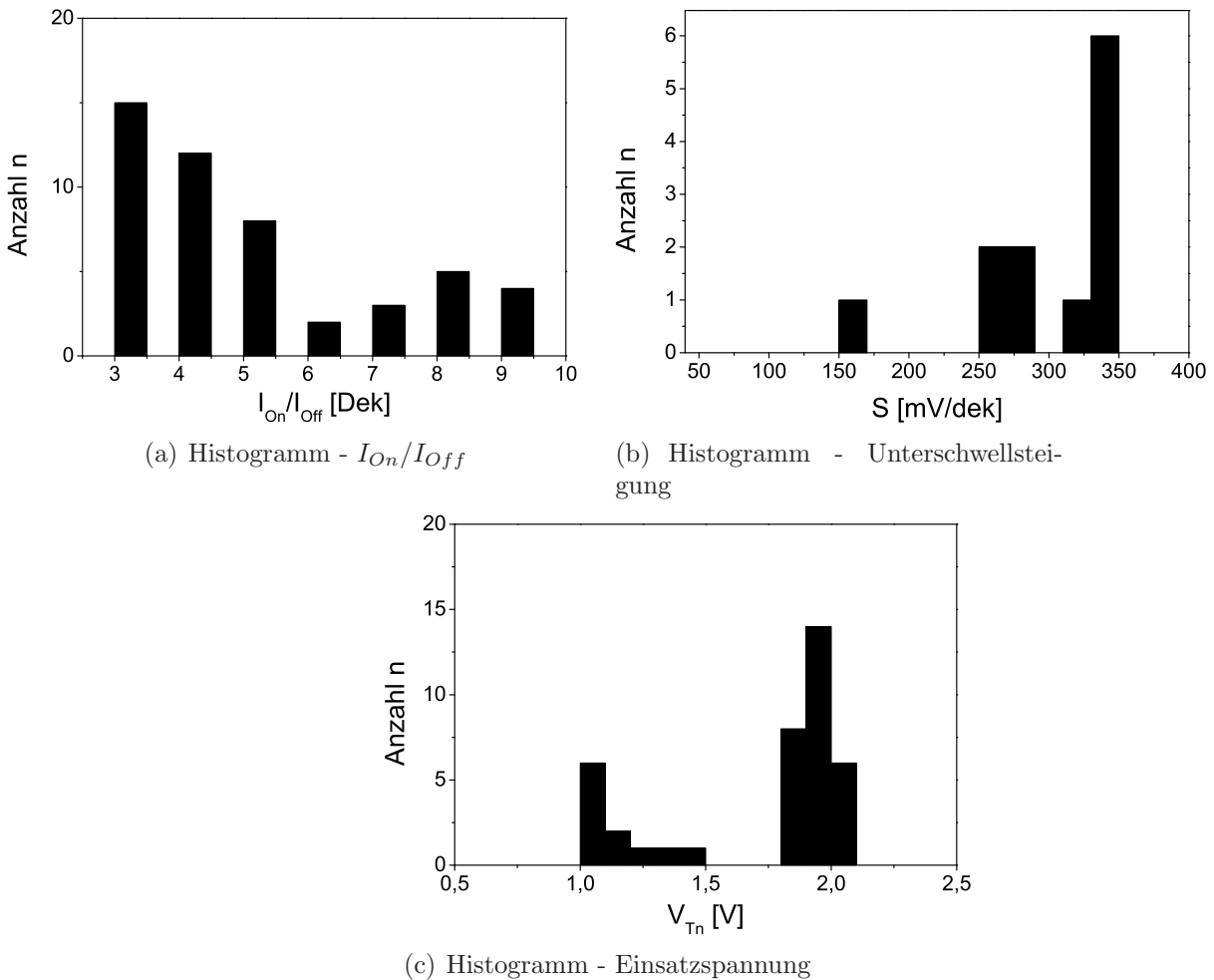
Die Ergebnisse der Auswertung für diesen beispielhaften Transistor sind in Tabelle 6.8 für alle Drain-Source Spannungen V_{DS} zusammengefasst.

V_{DS} [V]	0,10	1,00	2,00	3,00	4,00
I_{On}/I_{Off} [Dek]	6,70	7,42	6,78	5,40	4,88
S [mV/dek]	115	120	126	146	160
V_{Tn} [V] nach I_D	1,83	1,98	2,14	2,14	2,14
V_{Tn} [V] nach $\sqrt{I_D}$	1,47	1,75	1,78	1,78	1,78
$g_{m,max}$ [$\mu S/\mu m$]	0,03	0,286	0,51	0,61	0,61
μ [cm^2/Vs]	175,00	167,09	148,75	NA	88,95

Tabelle 6.8: Tabellierte Ergebnisse des NMISFETs**Statistische Auswertung**

Abbildung 6.24 und Tabelle 6.9 zeigen die Ergebnisse der statistischen Auswertung der Transistoren über den gesamten Bereich des Wafers.

Anders als beim vorher besprochenen PMISFET ist die Ausbeute deutlich geringer und sinkt mit steigender Drain-Source Spannung V_{DS} . Betrachtet man Abbil-

**Abbildung 6.24:** Statistik der Kennzahlen des NMISFETS bei $V_{DS} = 1\text{ V}$

V_{DS} [V]	0,10	1,00	2,00	3,00
Ausbeute [%]	78,13	51,04	35,42	15,63
I_{On}/I_{Off} [Dek]	5,16	4,95	4,79	4,16
σ	1,90	1,92	1,69	1,29
S [mV/dek]	168,12	162,52	163,09	163,62
σ	69,50	116,38	69,28	103,88
V_{Tn} [V]	2,15	1,54	2,18	2,84
σ	0,79	0,48	0,22	1,11

Tabelle 6.9: Tabellierte Ergebnisse der gesamten NMISFETs auf dem Wafer

dung 6.24(a) so ist eine starke Schwankung der Werte deutlich zu erkennen. Daraus lässt sich schließen, dass die Transistoren starken Fluktuationen unterliegen, die ihre Ursache in der Dotierung der Wanne haben könnte. Des Weiteren ist das Maximum des I_{On}/I_{Off} Verhältnisses mit 4 deutlich geringer als beim PMISFET. In Abbildung 6.25 ist sowohl der On-Strom I_{On} als auch der Off-Strom I_{Off} in Abhängigkeit zum Verhältnis I_{On}/I_{Off} angegeben. Daran ist deutlich zu erkennen, dass I_{On} konstant bleibt, jedoch der I_{Off} mit steigender Anzahl des I_{On}/I_{Off} Verhältnisses abnimmt. Daraus schließt sich, dass das schlechte I_{On}/I_{Off} Verhältnis am Off-Strom I_{Off} liegt. Zu möglichen Ursachen wird später Stellung genommen.

Beim Histogramm der Unterschwellsteigung ist die Variation der Werte noch deutlicher erkennbar (Abb. 6.24(b)). Bei der Einsatzspannung ergibt sich ein Maximum der Werte um 2 V. Die Schwankung der Werte ist dabei deutlich geringer als bei den vorher bestimmten Parametern.

Aus diesem Grund wird im nächsten Abschnitt ein weiterer NMISFET untersucht.

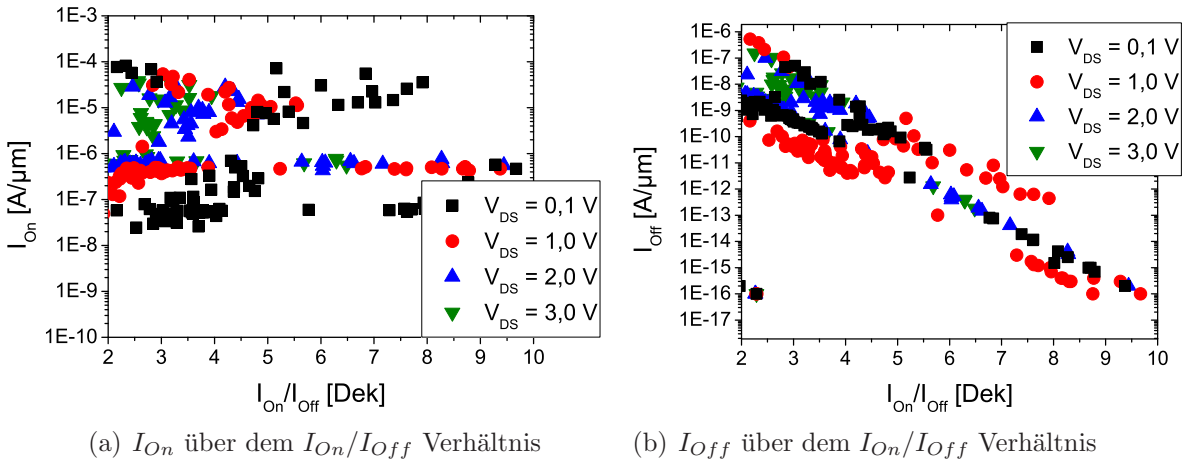


Abbildung 6.25: Abhängigkeit des I_{On}/I_{Off} Verhältnisses

N-Kanal MISFET in p-dotierter Wanne mit höherem Off-Strom

Abbildung 6.26 zeigt das Transfer- und Ausgangskennlinienfeld eines NMISFETs in einer p-dotierten Wanne mit höherem Off-Strom. Das Verhältnis von I_{On}/I_{Off} mit 3 bis 4 Dekaden ist dabei deutlich geringer als beim n-Kanal MISFET aus Abbildung 6.21. Bei einer Drain-Source Spannung von $V_{DS} = 3\text{ V}$ unterschreitet das Bauelement das I_{On}/I_{Off} Verhältnis den Wert 3, was bedeutet, dass das Bauelement als nicht funktionsfähig angesehen wird. Dadurch ist ersichtlich, dass die Transistoren auf demselben Wafer eine große Abweichung aufzeigen. Dies liegt an der unterschiedlichen Qualität der Drain-Bulk Dioden, was im nächsten Teil näher behandelt wird.

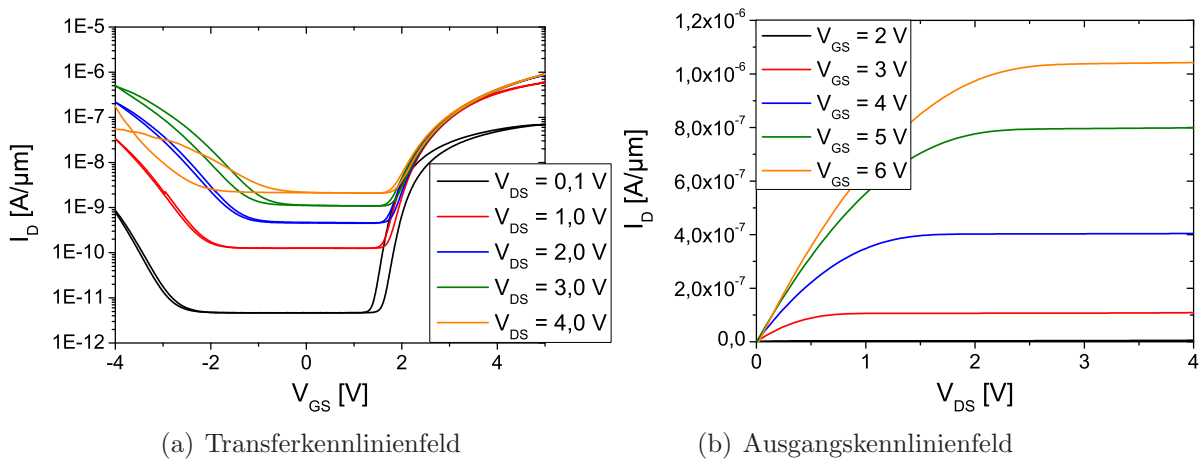
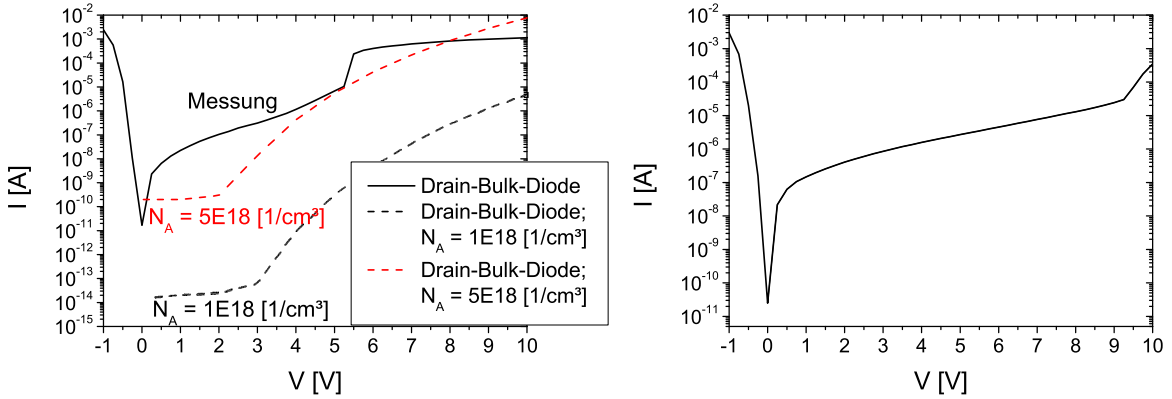


Abbildung 6.26: Kennlinien eines NMISFETs mit Aluminiumoxid als Gatedielektrikum auf demselben Wafer

Betrachtung des Off-Stroms

Dabei wird die pn-Diode, durch Anlegen einer Spannungsrampe am Drain und der Erdung des Bulkkontakts gemessen. Dadurch befindet sich das Bauteil bei positiver Spannung in Sperrrichtung. Abbildung 6.27 zeigt diese Dioden für die beiden vorher besprochenen Transistoren. Dabei ist auffällig, dass beide Dioden einen hohen Sperrstrom aufzeigen. Er ist in Abbildung 6.27(b) um zwei Dekaden größer als in Abbildung 6.27(a). Dies spiegelt sich dann bei der Charakterisierung der Transistoren wieder. Der Anstieg des Off-Stroms mit steigender Drain-Source Spannung V_{DS} lässt sich auch wieder auf die pn-Diode zwischen Drain und Bulk schließen. Durch steigende Spannung im Sperrbereich der Diode ist ein deutlicher Anstieg des Stroms zu beobachten. Dieser Strom ist äquivalent zum Off-Strom des Transistors (Kap. 3.2).

Dabei handelt es sich bei dieser Diode wieder um einen Zener-Durchbruch, der aufgrund der hohen Dotierung der Wanne dominiert. Vergleicht man den Sperrstrom mit dem des PMISFETs im Substrat, so ist die Abhängigkeit des Stroms von der Drain-Source Spannung aufgrund dieses Effekts deutlich höher. Die dargestellten Simulationen zeigen, dass diese nicht so übereinstimmen wie beim Transistor mit Polysilizium Gate. Auch in diesem Fall stimmt die Theorie eher mit einer Dotierhöhe der Wanne von

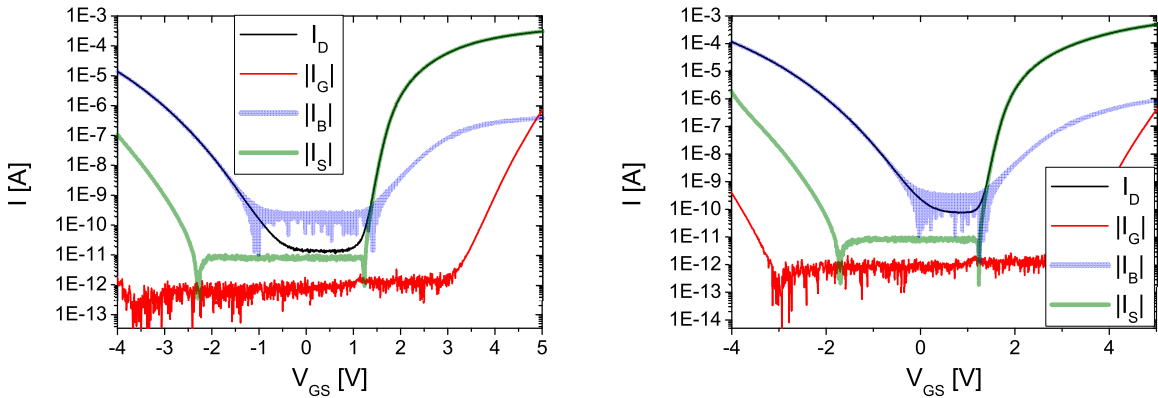


(a) Drain-Bulk-Diode des Transistors aus Abbildung 6.21 (b) Drain-Bulk-Diode des Transistors aus Abbildung 6.26

Abbildung 6.27: Drain-Bulk-Diode der zwei unterschiedlichen NMISFETs mit berechneter Kennlinie (gestrichelte Form)

$5 \cdot 10^{18} \frac{1}{\text{cm}^3}$ überein. Die Ursache dafür kann, wie bereits bei den Transistoren mit selbstjustierendem Gate besprochen, an der exponentiellen Abhängigkeit des Tunnelstroms vom Bandabstand E_g und der maximalen Feldstärke E_{max} liegen (Gln. 3.16). Bereits kleine Änderungen bei diesen Werten führen zu einem Anstieg des Stroms.

Damit eine Verbesserung dieses Verhaltens und eine höhere Ausbeute erzielt wird, muss die Diffusion verbessert werden. Die Dotierhöhe der Wanne beträgt nach den SIMS Messungen aus Kapitel 5.3.1 und durchgeführten van-der-Pauw Messungen $1 \cdot 10^{18} \frac{1}{\text{cm}^3}$. Eine schwächer dotierte Wanne würde dazu führen, dass der Lawinendurchbruch dominiert, was zu einem niedrigeren Off-Strom beiträgt. Des Weiteren ist die große Schwankung der Funktionsfähigkeit der Transistoren auf die Dotierung zurückzuführen. Vermutlich wird die Wanne in den unterschiedlichen Bereichen des Wafers verschieden stark dotiert. Bereits kleine Änderung in der Dotierstoffkonzentration führen zu einer Verschiebung der Einsatzspannung.



(a) Gemessene Ströme bei $V_{DS} = 1 \text{ V}$

(b) Gemessene Ströme bei $V_{DS} = 2 \text{ V}$

Abbildung 6.28: Gemessene Ströme des NMISFETs

Ähnlich wie beim PMISFET steigt auch beim NMISFET mit größer werdender Gate-Source Spannung V_{GS} der Drainstrom I_D an. Abbildung 6.28 zeigt alle gemessenen Ströme in Abhängigkeit der Gate-Source Spannung V_{GS} .

Der Drainstrom I_D des Transistors entspricht im eingeschalteten Zustand dem Betrag des Sourcestroms I_S . Im Bereich des Off-Stroms, entspricht der Drainstrom I_D dem Bulkstrom I_B . Dadurch steigt auch der Drainstrom mit kleiner werdender Gate-Source Spannung V_{GS} an. Diese Beobachtung kann für jeden Transistor bei jeder Drain-Source Spannung V_{DS} festgestellt werden. In der Literatur wird dieses Phänomen als Gate-Induced Drain Leakage (GIDL) bezeichnet. Für eine genauere Erklärung wird an dieser Stelle auf Kapitel 6.3 verwiesen.

6.2.3 Inverter

In diesem Abschnitt werden basierend auf den Ergebnissen der beiden Transistoren die elektrischen Eigenschaften des CMOS-Inverters besprochen. Damit der Inverter unempfindlicher gegen Störungen ist, wird als Dimensionierung ein symmetrischer Störabstand gewählt. Mit Hilfe der folgenden Gleichung und der angegebenen Werte ergibt sich ein W/L-Verhältnis von 150/28 für den PMISFET und eins von 50/28 für den NMISFET.

$$W_n \cdot \mu_n = W_p \cdot \mu_p \quad (4.8)$$

$$\text{Theoriewert (Kap. 3.3):} \quad \mu_n = 650 \frac{\text{cm}^2}{\text{Vs}}$$

$$\text{Theoriewert (Kap. 3.3):} \quad \mu_p = 170 \frac{\text{cm}^2}{\text{Vs}}$$

$$\text{Maskenlayout (Kap. A):} \quad W_n = 500 \mu\text{m}$$

Dadurch erfolgt das Umkippen der Ausgangsspannung von “High“ auf “Low“ wenn die Eingangsspannung $V_{in} = 0,5V_{DD}$ ist. Diese Bedingung ist nur erfüllt, wenn die Einsatzspannung der beiden Transistoren symmetrisch ist.

Die Messung des Inverters erfolgt dabei mit einem Parameter-Analyzer und einem Wafer-Prober. Die Kontaktpads der Schaltung werden mithilfe von vier Messnadeln elektrisch kontaktiert. Der Rückseitenkontakt des Wafers wird nicht benötigt. Die Charakterisierung der Schaltung erfolgt über die in Kapitel 4.2 beschriebene Übertragungskennlinie. Dabei wird an den Eingang des Inverters eine Spannungsrampe V_{in} von 0 V bis V_{DD} gefahren. An die Versorgungsspannung V_{DD} wird ein konstanter Spannungswert angelegt. Am Ausgang der Schaltung wird die zugehörige Ausgangsspannung V_{out} abgegriffen. Der Source/Bulk Kontakt des NMISFETs liegt auf Erde.

Übertragungskennlinie

In Abbildung 6.29 ist die dadurch entstandene Inverter-Kennlinie für unterschiedliche Versorgungsspannungen V_{DD} aufgezeigt. Dabei wird $V_{DD} = 5\text{ V}$ gewählt. Die Versorgungsspannung von 3 V ist die kleinst mögliche Versorgungsspannung und ergibt sich

nach folgendem Gleichungssystem (Kap. 4.4). Dabei werden die durchschnittlichen Einsatzspannungen der einzelnen MISFETs eingesetzt (Tab. 6.5 und 6.9). Bei beiden Gra-

$$V_{DDmin} = V_{Tn} + |V_{Tp}| \quad (4.22)$$

$$\text{Messwert (Kap. 6.2.2): } V_{Tn} = 2,18 \text{ V}$$

$$\text{Messwert (Kap. 6.2.2): } V_{Tp} = -0,62 \text{ V}$$

phen ist die invertierende Eigenschaft der Schaltung deutlich sichtbar. Bei einer Eingangsspannung von $V_{in} \approx 0 \text{ V}$ ist die Ausgangsspannung $V_{out} \approx 3 \text{ V}$ bzw. $V_{out} \approx 5 \text{ V}$. Dementsprechend ist bei einer Spannung von 0 V am Ausgang die Eingangsspannung $V_{in} \approx V_{DD}$. Dadurch ist ersichtlich, dass der Inverter von einem “Low“ Signal auf ein “High“ Signal und dementsprechend von “High“ auf “Low“ schaltet. Neben der Spannungs-kennlinie ist in der Übertragungskennlinie auch der Gesamtstrom der Schaltung aufgezeigt. Dabei befindet sich in Abbildung 6.29(a) das Maximum des Stroms im Umschalt-punkt des Inverters. Dies stimmt mit der Theorie aus Kapitel 4.2 überein, da an dieser Stelle beide Transistoren im Sättigungsbereich sind.

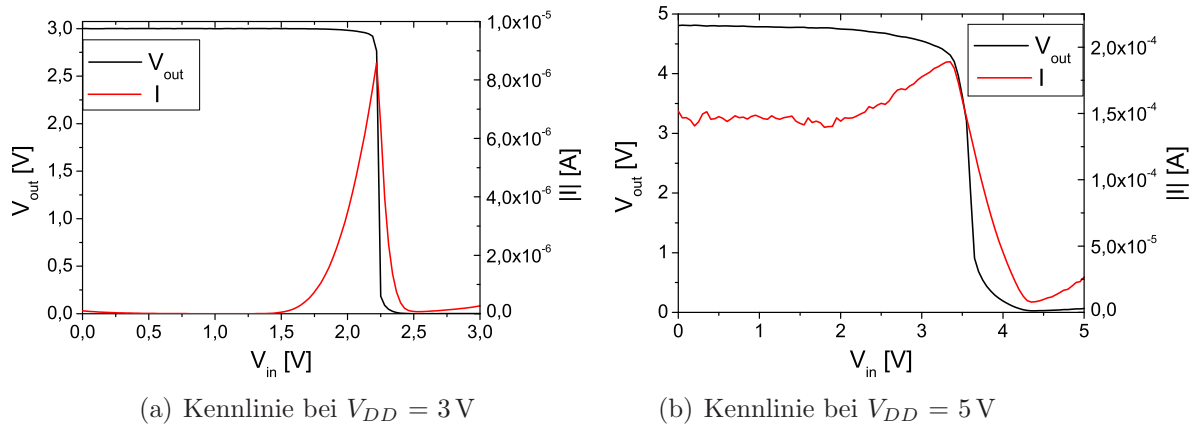


Abbildung 6.29: Kennlinien eines Inverters bei unterschiedlichen Versorgungsspannungen V_{DD}

Bei der Kennlinie, die mit einer Versorgungsspannung $V_{DD} = 5 \text{ V}$ gemessen wird, ist der Gesamtstrom im linken Bereich der Kennlinie sehr hoch (Abb. 6.29(b)). Dies führt zu einem höheren Leistungsverbrauch der Schaltung. Des Weiteren ist auffällig, dass die Spannungswerte bei der Ausgangsspannung V_{out} bei beiden Inverters von den idealen Werten abweichen. Um diese beiden Punkte besser zu erklären, ist in Abbildung 6.30 die Übertragungskennlinie bei einer Versorgungsspannung von $V_{DD} = 3 \text{ V}$ mit den Arbeitsbereichen des Inverters nach Kapitel 4.2 dargestellt.

Arbeitsbereiche des Inverters

Die dafür notwendigen Einsatzspannungen der einzelnen MISFETs sind der Auswertung aus Kapitel 6.2.2 entnommen. Im Bereich A ist die Ausgangsspannung $V_{out} \neq 3 \text{ V}$. Dabei

befindet sich der p-Kanal Transistor im Triodenbereich. Aufgrund dessen, dass ein Spannungsabfall am PMISFET existiert, ist die Ausgangsspannung V_{out} nach Gleichung 4.4 kleiner als angenommen. Diese Source-Drain Spannung V_{DSp} beträgt bei einer Versor-

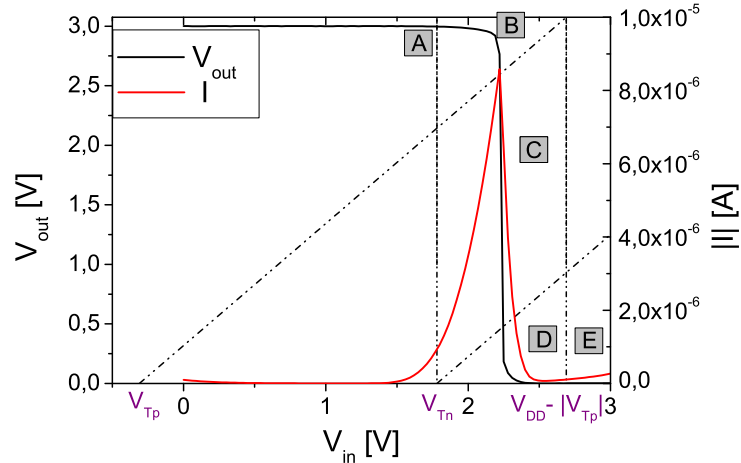


Abbildung 6.30: Betriebsbereiche der Transistoren eines CMOS-Inverters

gungsspannung von 3 V etwa 36 mV bzw. bei $V_{DD} = 5$ V etwa $V_{DSp} = 363$ mV. Der Anstieg des Gesamtstroms im ersten Bereich, bei der Kennlinie bei $V_{DD} = 5$ V kommt durch den schlechten Sperrstrom des n-Kanal Transistors zustande. Bei der Auswertung des NMISFETs aus Kapitel 6.2.2 ist zu erkennen, dass der Off-Strom mit steigender Drain-Source Spannung V_{DS} größer wird. In diesem Bereich A liegt am n-Kanal MISFET aufgrund folgender Gleichungen eine Drain-Source Spannung V_{DSn} von 5 V und eine Gate-Source Spannung V_{GSn} von 0 V an.

$$V_{in} = V_{GSn} = 0 \text{ V}$$

$$V_{out} = V_{DSn} = 5 \text{ V}$$

Um den Wert des Gesamtstroms mit Abbildung 6.26(a) zu vergleichen, muss der Wert aus der Transferkennlinie mit der Kanalweite multipliziert werden. Eine Abschätzung kann mit der Spannung von 4 V gemacht werden, da kein Wert bei $V_{DSn} = 5$ V vorliegt. Es zeigt sich, dass die beiden Werte gut übereinstimmen. Das gleiche Ergebnis spiegelt sich auch bei einer Versorgungsspannung von $V_{DD} = 3$ V wieder. Der hohe Gesamtstrom im Bereich A ist auf die Güte des NMISFETs zurückzuführen.

An der Stelle, bei dem das Ausgangssignal den Pegel "Low" erreicht, sollte im Idealfall $V_{out} = 0$ V sein. Dies ist der Fall, wenn der Inverter im Arbeitsbereich E ist, dabei befindet sich der NMISFET im Trioden- und der PMISFET im Unterschwellbereich. Die Ausgangsspannung beträgt bei $V_{DD} = 3$ V etwa 2 mV bzw. bei $V_{DD} = 5$ V etwa 200 mV. Dies liegt aufgrund der Gleichung 4.2 am Spannungsabfall an der Stelle des NMISFETs. Der höhere Spannungsabfall bei höherer Versorgungsspannung liegt an der Güte der Transistoren. Der Gesamtstrom ist nach dem Umschaltupunkt des Inverters auch bei erhöhter Versorgungsspannung sehr niedrig. Die Ursache dafür ist der niedrige Off-Strom des PMISFETs (Kap. 6.2.2). Jedoch steigt der Strom mit größer werdender

Eingangsspannung V_{in} an. Dies ist auf die Abhängigkeit des Sperrstroms des Transistors von der Gate-Source Spannung V_{GS} zurückzuführen (Kap. 6.2.2).

Schwellspannung

Die Schwellspannung ist eine wichtige Kenngröße zur Beschreibung eines Inverters. Diese Zahl gibt den Umschaltunkt des Inverters und dadurch auch den Punkt an, bei dem beide Transistoren im Sättigungsbereich arbeiten. Abbildung 6.31 zeigt die Bestimmung der Schwellspannung für unterschiedliche Versorgungsspannungen V_{DD} . Dabei ist der Punkt nach Kapitel 4.4 durch den Schnittpunkt der Übertragungskennlinie mit der unity gain line ($V_{in} = V_{out}$) bestimmt. Durch diesen Wert ist ersichtlich, dass die Inverter nicht sym-

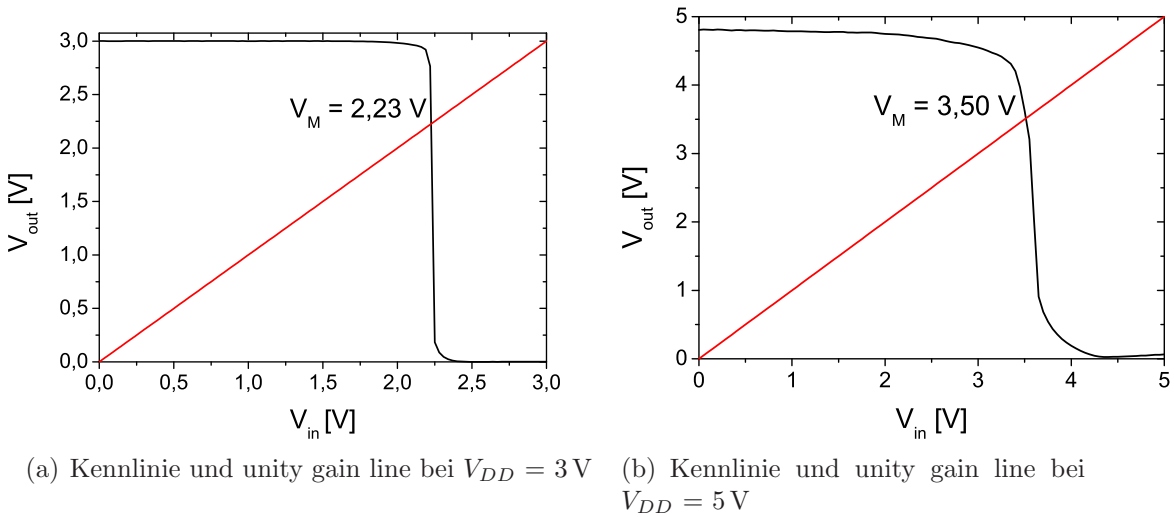


Abbildung 6.31: Bestimmung der Schwellspannung V_M eines Inverters bei unterschiedlichen Versorgungsspannungen V_{DD}

metrisch sind. Abbildung 6.32 zeigt, dass die Kennlinie gegenüber einem symmetrischen Inverter nach rechts verschoben ist.

Der Umschaltunkt sollte demzufolge bei $V_{in} = 1,5 \text{ V}$ liegen. In diesem Fall ist die Schwellspannung $V_M = 2,23 \text{ V}$. Unter Verwendung der Gleichung 4.10 aus Kapitel 4.4 lässt sich dieser Wert mit Hilfe der einzelnen Parameter der Transistoren berechnen. Mit den Parametern aus Tabelle 6.10, die sich aus der Auswertung der MISFETs und MIS-Kapazitäten aus Kapitel 6.2 ergeben, ergibt sich für die Schwellspannung ein Wert von $2,27 \text{ V}$ für $V_{DD} = 3 \text{ V}$.

$$V_M = \frac{V_{DD} - |V_{Tp}| + V_{Tn} \sqrt{\frac{\beta_n}{\beta_p}}}{1 + \sqrt{\frac{\beta_n}{\beta_p}}}$$

$$\beta_n = \mu_n C'_{ox} \frac{W_n}{L_n}$$

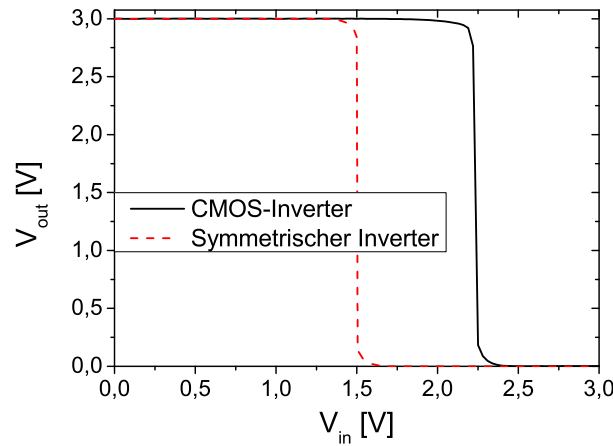


Abbildung 6.32: Vergleich des Inverters mit einem symmetrischen bei $V_{DD} = 3\text{ V}$

$$\beta_p = \mu_p C'_{ox} \frac{W_p}{L_p}$$

Das bedeutet, dass der Umschaltpunkt des gemessenen Inverters nahezu identisch mit den Werten der Einzel-MISFETs ist. Das gleiche Ergebnis ergibt sich bei einer Versorgungsspannung $V_{DD} = 5\text{ V}$.

	n-MISFET	p-MISFET
W [μm]	500	1500
L [μm]	280	280
C'_{ox} [$\mu\text{F}/\text{cm}^2$]	0,48	0,44
V_T [V]	2,18	-0,62
μ [$\frac{\text{cm}^2}{\text{Vs}}$]	650	170

Tabelle 6.10: Tabellierte Werte zur Berechnung der Schwellspannung V_M

Die Tatsache, dass es sich um keinen symmetrischen Inverter handelt, liegt an der Einsatzspannung der beiden MISFETs. Diese beträgt statistisch beim NMISFET $V_{Tn} = 2,18\text{ V}$ und beim PMISFET $V_{Tp} = -0,62\text{ V}$ (Tab. 6.5 und 6.9). Es ergibt sich eine Schwellspannung von $\frac{V_{DD}}{2}$, mit den Parametern aus Tabelle 6.10, wenn die Einsatzspannung $V_{Tn} = -V_{Tp}$ gewählt wird. Das bedeutet, dass das Design und die Technologie einen symmetrischen Inverter ermöglichen, wenn die Einsatzspannung symmetrisch ist. Um dies zu erreichen, muss die Wannentechnologie verbessert werden.

Störabstand

Eine weitere wichtige Kenngröße ist der Störabstand NM , der den Toleranzbereich bestimmt, bei dem Störungen keinen Einfluss auf die Schaltung haben (Kap. 4.4). Dafür müssen erst die vier kritischen Spannungen (V_{OH} , V_{OL} , V_{IH} und V_{IL}) bestimmt werden. Nach Kapitel 4.4 ergeben sich diese Werte an den Punkten, bei denen die Ableitung der Ausgangsspannung V_{out} nach der Eingangsspannung V_{in} gleich -1 ist. In Abbildung 6.33 sind die so bestimmten Werte angegeben.

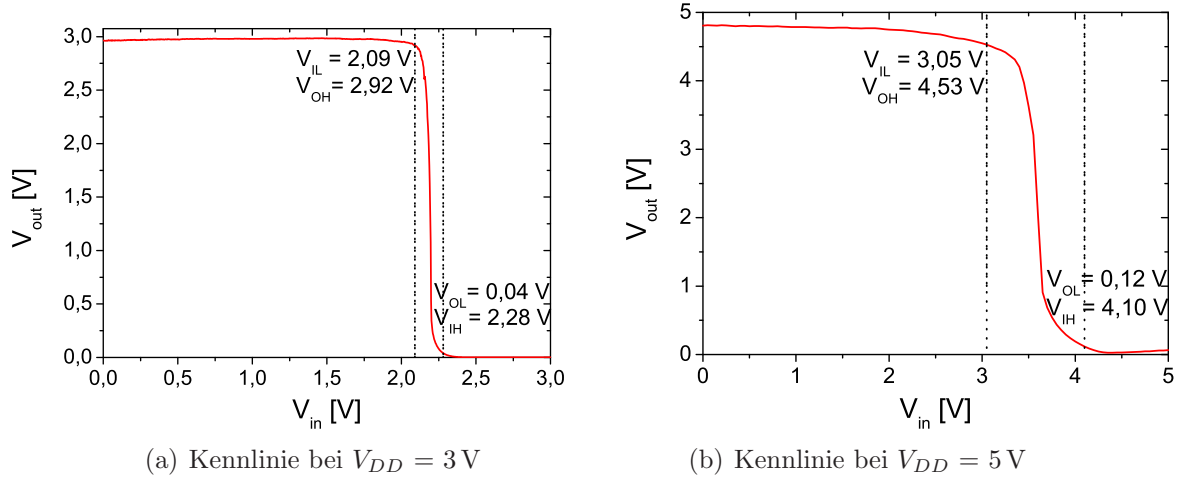


Abbildung 6.33: Bestimmung der vier kritischen Spannungen

Tabelle 6.11 enthält eine Gegenüberstellung der berechneten und der graphisch bestimmten Werte. Dabei werden die Werte mit Hilfe der Parameter aus Tabelle 6.10 und den Gleichungen 4.14 bis 4.17 aus Kapitel 4.4 berechnet. Anhand der Tabelle ist deutlich zu erkennen, dass die Werte sich nicht voneinander unterscheiden. Das Ergebnis besagt nun, dass sich der Zustand der Ausgangsspannung V_{out} nicht ändert, d.h. der Ausgang Logisch 1 anzeigt, wenn am Eingang ein Störsignal mit der maximalen Größe von $V_{IL} = 2,09 \text{ V}$ der Eingangsspannung V_{in} überlagert wird.

$$V_{IH} = \frac{2 \frac{\beta_n}{\beta_p} (V_{DD} - V_{Tn} + V_{Tp})}{(\frac{\beta_n}{\beta_p} - 1) \sqrt{1 + 3 \frac{\beta_n}{\beta_p}}} - \frac{(V_{DD} - \frac{\beta_n}{\beta_p} V_{Tn} + V_{Tp})}{\frac{\beta_n}{\beta_p} - 1}$$

$$V_{IL} = \frac{2 \sqrt{\frac{\beta_n}{\beta_p}} (V_{DD} - V_{Tn} + V_{Tp})}{(\frac{\beta_n}{\beta_p} - 1) \sqrt{3 + \frac{\beta_n}{\beta_p}}} - \frac{(V_{DD} - \frac{\beta_n}{\beta_p} V_{Tn} + V_{Tp})}{\frac{\beta_n}{\beta_p} - 1}$$

$$V_{OL} = \frac{(\frac{\beta_n}{\beta_p} + 1) V_{IH} - V_{DD} - \frac{\beta_n}{\beta_p} V_{Tn} - V_{Tp}}{2 \frac{\beta_n}{\beta_p}}$$

$$V_{OH} = \frac{(\frac{\beta_n}{\beta_p} + 1) V_{IL} + V_{DD} - \frac{\beta_n}{\beta_p} V_{Tn} - V_{Tp}}{2}$$

Dadurch ergibt sich nun nach Gleichung 4.19 bzw. 4.18 für den Störabstand High NM_H ein Wert von 0,64 und für den Störabstand Low NM_L 2,05. Bei einem symmetrischen Inverter sind die beiden Werte aufgrund des symmetrischen Störabstands gleich (Kap. 4.4).

	Erwartete Werte anhand der Einzeltransistoren	Messwerte
V_{OH}	2,98 V	2,92 V
V_{IL}	2,24 V	2,09 V
V_{OL}	0,03 V	0,04 V
V_{IH}	2,29 V	2,28 V

Tabelle 6.11: Gegenüberstellung der kritischen Spannungen bei einer Versorgungsspannung $V_{DD} = 3\text{ V}$

Stromverstärkung

Im Bereich der Schwellspannung besitzt der Inverter eine stromverstärkende Eigenschaft. Die Stromverstärkung g kann messtechnisch durch Differenzieren der Übertragungskennlinie nach der Eingangsspannung V_{in} bestimmt werden (Kap. 4.4). Abbildung 6.34 stellt

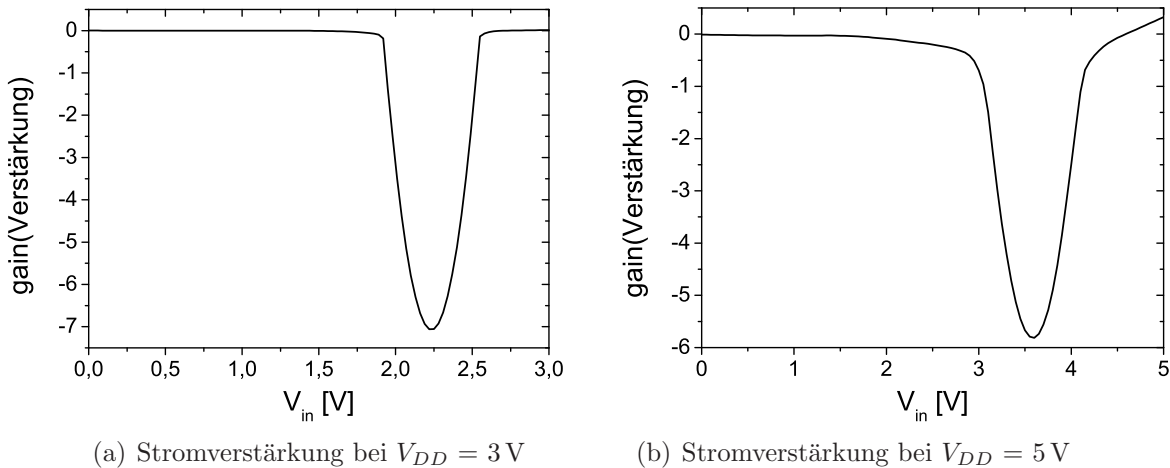


Abbildung 6.34: Bestimmung der Stromverstärkung g

die abgeleitete Übertragungskennlinie dar. Dabei befindet sich die maximale Verstärkung, wie in der Theorie angegeben, im Umschaltunkt des Inverters. Daraus lässt sich für $V_{DD} = 3\text{ V}$ eine Stromverstärkung von 7 und bei $V_{DD} = 5\text{ V}$ von 6 herauslesen. Die berechneten Werte nach Gleichung 4.20 ergeben eine Verstärkung des Stroms im Umschaltunkt von 9 bzw. 7.

Zusammenfassung

Anhand der am Inverter durchgeführten Auswertung ist ersichtlich, dass die Versorgungsspannung V_{DD} Einfluss auf den Inverter hat. Abbildung 6.35 zeigt die Messungen des gleichen Inverters bei einer Versorgungsspannung V_{DD} von 3 V bzw. 5 V. Der Unterschied der beiden Kennlinien zeigt sich nicht nur bei der unterschiedlichen Schwellspannung, sondern auch an der Form der Kennlinie. Bei der Messkurve, die bei $V_{DD} = 3\text{ V}$ aufgezeichnet wird, ist eine hohe Steilheit im Umschaltunkt zu beobachten. Zusätzlich ist der Bereich zwischen den vier kritischen Spannungen nach Abbildung 6.33 deutlich geringer

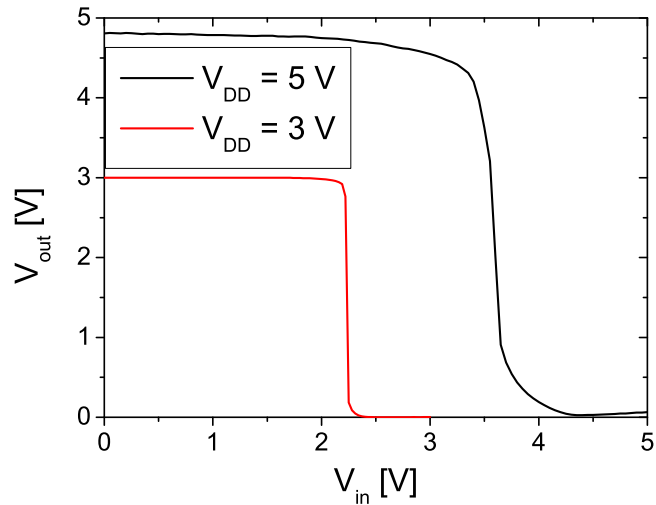


Abbildung 6.35: Vergleich von Invertern mit unterschiedlicher Versorgungsspannung

als bei der Messung mit $V_{DD} = 5\text{ V}$. Dadurch ist der Bereich, in dem der Inverter keine genauen logischen Zustände ausgibt, sehr gering. Daneben ist auch der statische Leistungsverbrauch des Inverters von V_{DD} abhängig (Gln. 4.5). Da der Strom I_{stat} , der den Strom des in Unterschwellbereich befindlichen Transistors widerspiegelt, auch abhängig von der Versorgungsspannung ist. Bei einer höheren Spannung ist der Leckstrom des NMISFETs deutlich größer als bei einem niedrigen Wert. Diese Punkte zeigen auf, dass zur Untersuchung des Inverters die Wahl der Versorgungsspannung wichtig ist.

Die Ausbeute der hergestellten CMOS-Inverter auf einem Wafer beläuft sich auf 100 %. Als funktionsfähig ist eine Schaltung deklariert, wenn eine Übertragungskennlinie gemessen wird. Aufgrund der starken Schwankung in der Güte der NMISFETs weisen die Inverter ein unterschiedliches Stromverhalten auf. Anhand dieser Auswertung wird gezeigt, dass die Inverter mit dem Metal-Gate Prozess funktionsfähig sind. Der nächste Schritt ist die Herstellung von Ringoszillatoren, damit auch eine dynamische Auswertung des Inverters erfolgen kann.

6.3 Diskussion der Ergebnisse der Transistoren

Um die Güte der hergestellten Transistoren zu verdeutlichen, werden in diesem Abschnitt exemplarisch die bisher gezeigten Ergebnisse mit Theoriewerten und untereinander verglichen. Der Vergleich der Inverter mit dem Metal-Gate Prozess und der Theorie ist Bestandteil des Kapitels 6.2.3. Aus diesem Grund wird nur auf die einzelnen MOSFETs eingegangen.

High-k Metal-Gate n-Kanal MOSFET in p-dotierter Wanne

Abbildung 6.36 zeigt das Transfer- und Ausgangskennlinienfeld eines gemessenen high-k Metal-Gate NMISFETs in einer p-dotierten Wanne und den Theoriewerten. Diese sind

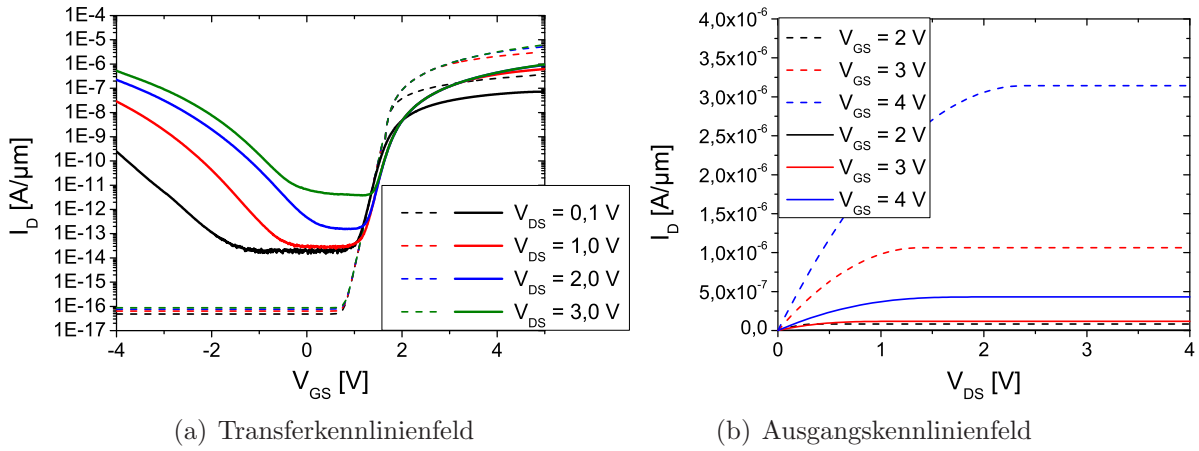


Abbildung 6.36: Vergleich der gemessenen Kennlinien eines high-k Metal-Gate n-Kanal MISFETs mit den Theoriewerten (gestrichelte Linie)

mit den folgenden Gleichungen aus Kapitel 3.2 und den angegebenen Werten berechnet. Die dadurch entstehenden Kennlinien sind in gestrichelter Form angegeben.

$$V_{GS} < V_{Tn} \quad I_{Dn} = I_{Rev} + I_{Sub} \quad (3.2)$$

$$0 < V_{DS} \leq V_{GS} - V_{Tn} \quad I_{Dn} = \mu_n C'_{Ox} \frac{W}{L} \left[(V_{GS} - V_{Tn}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (3.25)$$

$$V_{DS} \geq V_{GS} - V_{Tn} > 0 \quad I_{Dn} = \frac{\mu_n C'_{Ox}}{2} \frac{W}{L} (V_{GS} - V_{Tn})^2 \quad (3.29)$$

$$I_{Sub} = \mu_n V_{Th}^2 (C'_{Sc} + C'_{it}) \frac{W}{L} \cdot \exp \left[\frac{V_{GS} - V_{Tn}}{n \cdot V_{Th}} \right] \quad (3.22)$$

$$I_{Rev} \approx I_{Gen}; I_{Tunn} \ll I_{So} \ll I_{Gen} \quad (3.5)$$

$$I_{Gen} = \frac{q A_{Diode} \cdot x_{Sc2} \cdot n_i}{\tau_{Gen}} \quad (3.6)$$

$$n = 1 + \frac{C'_{Sc}}{C'_{Ox}} \quad (3.24)$$

$$C'_{Ox} = \frac{\epsilon_0 \cdot \epsilon_{Al_2O_3}}{t_{Ox}} \quad (2.6)$$

$$C'_{Sc} = \frac{\epsilon_{Si} \epsilon_0}{x_{Sc}} \quad (2.8)$$

$$C'_{it} = qD_{it} \quad (3.4)$$

$$x_{Sc} = \sqrt{\frac{2\epsilon_{Si}\epsilon_0|2\psi_B|}{qN_A}} \quad (2.7)$$

$$x_{Sc2} = \sqrt{\frac{2\epsilon_{Si}\epsilon_0(N_A + N_D)(\psi_{B2} + |V_{DS}|)}{qN_A N_D}} \quad (3.7)$$

$$\psi_B = V_{Th} \ln \frac{N_A}{n_i} \quad (2.4)$$

$$\psi_{B2} = V_{Th} \ln \frac{N_A N_D}{n_i^2} \quad (3.8)$$

$$V_{Th} = \frac{kT}{q} \quad (2.5)$$

Theoriewert (Kap. 3.3): $\mu_n = 650 \frac{\text{cm}^2}{\text{Vs}}$

Maskenlayout (Anhang A): $L = 280 \mu\text{m}$

Maskenlayout (Anhang A): $W = 500 \mu\text{m}$

Berechnet (Kap. 6.3): $V_{Tn} = 1,61 \text{ V}$

Maskenlayout (Anhang A): $A_{Diode} = 0,0025 \text{ cm}^2$

Messwert (Kap. 6.2.1): $t_{Ox} = 14,4 \text{ nm}$

Messwert (Kap. 6.2.1): $D_{it} = 6,6 \cdot 10^{11} \frac{1}{\text{eV} \cdot \text{cm}^2}$

Messwert (Kap. 5.3.1): $N_A = 1 \cdot 10^{18} \frac{1}{\text{cm}^3}$

Messwert (Kap. 5.3.1): $N_D = 5 \cdot 10^{19} \frac{1}{\text{cm}^3}$

Konstanten: In Anhang C

Einsatzspannung

Die Einsatzspannung des Transistors ergibt sich nach Gleichung 3.41 zu $V_{Tn} = 1,61 \text{ V}$. Dabei werden für die Flachbandspannung $V_{FB} = -0,516 \text{ V}$ und die flächennormierte Oxid-

kapazität $C'_{Ox} = 0,48 \frac{\mu\text{F}}{\text{cm}^2}$, die Werte aus der gemessenen MIS-Kapazität aus Kapitel 6.2.1 verwendet. Die Dotierhöhe der Wanne wird aufgrund der messtechnischen Bestimmungen und der SIMS-Profile auf $1 \cdot 10^{18} \frac{1}{\text{cm}^3}$ gesetzt.

$$V_{Tn} = V_{FB} + |2\psi_B| + \gamma_n \sqrt{|2\psi_B|} \quad (3.41)$$

$$\gamma_n = \frac{\sqrt{2qN_A\epsilon_0\epsilon_{Si}}}{C'_{Ox}} \quad (3.42)$$

$$C'_{Ox} = \frac{\epsilon_0 \cdot \epsilon_{Al_2O_3}}{t_{Ox}} \quad (2.6)$$

$$\psi_B = V_{Th} \ln \frac{N_A}{n_i} \quad (2.4)$$

$$V_{Th} = \frac{kT}{q} \quad (2.5)$$

Messwert (Kap. 6.2.1): $V_{FB} = -0,516 \text{ V}$

Messwert (Kap. 5.3.1): $N_A = 1 \cdot 10^{18} \frac{1}{\text{cm}^3}$

Messwert (Kap. 6.2.1): $t_{Ox} = 14,4 \text{ nm}$

Konstanten: In Anhang C

Die Einsatzspannung für den gemessenen Transistor ergibt nach Kapitel 6.2.2 $V_{Tn} = 1,75 \text{ V}$. Hier zeigt sich eine Verschiebung der Einsatzspannung um $\Delta V_{Tn} = 140 \text{ mV}$. Eine mögliche Ursache ist die Fluktuation der Eigenschaften des Aluminiumoxids. Es ist möglich, dass die Flachbandspannung V_{FB} andere Werte liefert, da keine Statistik über die MIS-Kapazitäten durchgeführt wird. Des Weiteren wird bei diesem Vergleich nur ein gemessener Transistor verwendet. Jedoch ist zu sehen, dass der gemessene Wert dieses Transistors mit der Berechnung gut übereinstimmt.

Unterschwelsteigung

Das gleiche zeigt sich auch bei der Bestimmung der Unterschwelsteigung. Diese ergibt sich bei dem gemessenen Transistor zu $S = 126 \frac{\text{mV}}{\text{dek}}$. Der berechnete Wert nach Gleichung 3.46 ergibt für die Unterschwelsteigung $S = 126,88 \frac{\text{mV}}{\text{dek}}$.

Dabei wird sowohl die Raumladungskapazität, Grenzflächenkapazität als auch die Überlappkapazität berücksichtigt. Letzteres ergibt sich aufgrund der Gatemaske, die einen Überlapp von $73,5 \mu\text{m}$ aufzeigt. Die Grenzflächenkapazität bestimmt sich aus der gemessenen Grenzflächenzustandsdichte $D_{it} = 6,6 \cdot 10^{11} \frac{1}{\text{eV} \cdot \text{cm}^2}$ der MIS-Kapazität. Die gemessene Unterschwelsteigung stimmt mit dem berechneten Wert nahezu überein. Der Grund für die hohe Unterschwelsteigung im Vergleich zum idealen Theoriewert von

$$S = V_{Th} \ln(10) \left(1 + \frac{C'_{Ov} + C'_{Sc} + C'_{it}}{C'_{Ox}} \right) \quad (3.46)$$

$$C'_{Ov} = C'_{Ox} \cdot \frac{L_{ov}}{L}$$

$$C'_{Sc} = \frac{\epsilon_{Si} \epsilon_0}{x_{Sc}} \quad (2.8)$$

$$C'_{it} = q D_{it} \quad (3.4)$$

$$C'_{Ox} = \frac{\epsilon_0 \cdot \epsilon_{Al_2O_3}}{t_{Ox}} \quad (2.6)$$

$$x_{Sc} = \sqrt{\frac{2\epsilon_{Si}\epsilon_0|2\psi_B|}{qN_A}} \quad (2.7)$$

$$\psi_B = V_{Th} \ln \frac{N_A}{n_i} \quad (2.4)$$

$$V_{Th} = \frac{kT}{q} \quad (2.5)$$

Maskenlayout (Anhang A): $L_{ov} = 73,5 \mu\text{m}$

Maskenlayout (Anhang A): $L = 280 \mu\text{m}$

Messwert (Kap. 6.2.1): $t_{Ox} = 14,4 \text{ nm}$

Messwert (Kap. 6.2.1): $D_{it} = 6,6 \cdot 10^{11} \frac{1}{\text{eV} \cdot \text{cm}^2}$

Messwert (Kap. 5.3.1): $N_A = 1 \cdot 10^{18} \frac{1}{\text{cm}^3}$

Konstanten: In Anhang C

$60 \frac{\text{mV}}{\text{dek}}$ ergibt sich aufgrund der hohen Dotierung der Wanne. Desto größer die Dotierstoffkonzentration der p-dotierten Wanne ist, desto kleiner ist die Weite der Raumladungszone. Dies führt dazu, dass die Raumladungskapazität größer wird und demzufolge nach Gleichung 3.46 auch die Unterschwellsteigung (Kap. 3.3).

On-Strom I_{On} und Off-Strom I_{Off}

In Abbildung 6.36(a) ist der Vergleich der gemessenen und der theoretischen Transferkennlinie aufgezeigt. Dabei ist ein Unterschied in der Größe des Off- und des On-Stroms

zu beobachten. Ersteres ergibt sich durch die in Kapitel 6.2.2 behandelte pn-Diode zwischen Drain und Bulk. Aufgrund des dort behandelten Zenereffekts ist der Sperrstrom der Diode größer als der der berechneten nach den Gleichungen aus Kapitel 3.2. Bei dieser Berechnung wird der Durchbrucheffect vernachlässigt. Der On-Strom ist beim berechneten Wert um eine halbe Dekade höher als beim gemessenen Transistor. Beim Ausgangskennlinienfeld in Abbildung 6.36(b) ist der Unterschied des Sättigungsstroms noch größer. Bei der Berechnung dieser Kennlinien wird eine Beweglichkeit der Elektronen von $\mu = 650 \frac{\text{cm}^2}{\text{Vs}}$ angenommen. Die Beweglichkeit der Ladungsträger bei den gemessenen n-Kanal MISFETs beläuft sich auf $\mu = 167,09 \frac{\text{cm}^2}{\text{Vs}}$. Durch diesen viel geringeren Wert ist auch der kleinere Strom wie auch der Gegenleitwert $g_{m,max}$ zu erklären. Dieser beläuft sich beim NMISFET auf $g_{m,max} = 0,29 \frac{\mu\text{S}}{\mu\text{m}}$ bei $V_{DS} = 1 \text{ V}$ und beim berechneten auf $g_{m,max} = 1,10 \frac{\mu\text{S}}{\mu\text{m}}$.

Um einen genaueren Wert für die Ladungsträgerbeweglichkeit zu erhalten, wird diese in Abhängigkeit des grenzflächennahen elektrischen Feldes E_{eff} berechnet.

$$\mu_{eff} = \frac{\mu_0}{1 + (\alpha E_{eff})^\gamma} \quad (3.49)$$

$$E_{eff} = \frac{Q'_{Sc} + \eta Q'_{inv}}{\epsilon_0 \epsilon_{Si}} \quad (3.50)$$

$$Q'_{Sc} = -q N_A x_{Sc,max} \quad (3.51)$$

$$Q'_{inv} = C'_{Ox} (V_{GS} - V_{Tn}) \quad (3.52)$$

$$C'_{Ox} = \frac{\epsilon_0 \cdot \epsilon_{Al_2O_3}}{t_{Ox}} \quad (2.6)$$

$$x_{Sc,max} = \sqrt{\frac{2\epsilon_{Si}\epsilon_0 |2\psi_B|}{q N_A}} \quad (2.7)$$

$$\psi_B = V_{Th} \ln \frac{N_A}{n_i} \quad (2.4)$$

$$V_{Th} = \frac{kT}{q} \quad (2.5)$$

Theoriewert ([Sze81]):	μ_0	$= 250 \frac{\text{cm}^2}{\text{Vs}}$
------------------------	---------	---------------------------------------

Theoriewert (Kap. 3.3):	$\frac{1}{\alpha}$	$= 7 \cdot 10^5$
-------------------------	--------------------	------------------

Theoriewert (Kap. 3.3):	γ	$= 1,69$
-------------------------	----------	----------

Theoriewert (Kap. 3.3):	η	$= \frac{1}{2}$
Messwert (Kap. 5.3.1):	N_A	$= 1 \cdot 10^{18} \frac{1}{\text{cm}^3}$
Messwert (Kap. 6.2.1):	t_{Ox}	$= 14,4 \text{ nm}$
Wert:	V_{GS}	$= 3,45 \text{ V}$
Messwert (Kap. 6.2.2):	V_{Tn}	$= 1,75 \text{ V}$
Konstanten:	In Anhang C	

Dadurch ergibt sich nach Gleichung 3.50 aus Kapitel 3.3 für eine Gate-Source Spannung V_{GS} von 3,45 V ein elektrische Feld von $E_{eff} = 3,82 \cdot 10^5 \frac{\text{V}}{\text{cm}}$. Die Kanalbeweglichkeit berechnet sich zu $\mu_{eff} = 183,93 \frac{\text{cm}^2}{\text{Vs}}$. Aufgrund der Dotierhöhe der Wanne von $1 \cdot 10^{18} \frac{1}{\text{cm}^3}$ ergibt sich für μ_0 ein Wert von $250 \frac{\text{cm}^2}{\text{Vs}}$. Der Wert ist mit dem des gemessenen Transistors fast identisch.

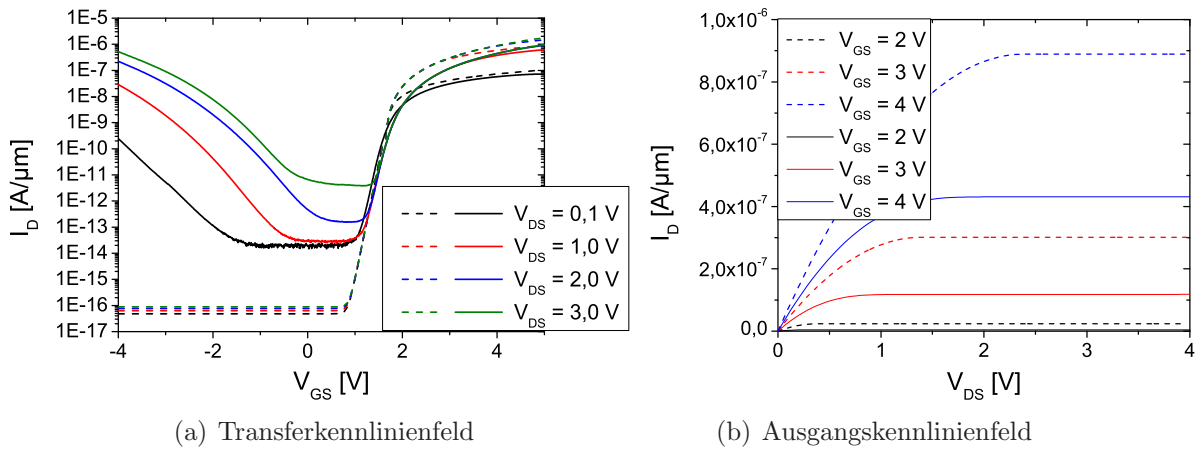


Abbildung 6.37: Vergleich der gemessenen Kennlinien eines high-k Metal-Gate n-Kanal MISFETs mit den Theoriewerten bei angepasster Beweglichkeit der Ladungsträger (gestrichelte Linie)

Abbildung 6.37 zeigt den Vergleich der Transfer- und Ausgangskennlinienfelder für den gemessenen und berechneten Transistor mit angepasster Beweglichkeit. Dadurch ist der Unterschied zwischen den maximalen Strömen sehr gering (Abb. 6.37(a)). Dieser entsteht, da bei der Berechnung die Widerstände des Transistors vernachlässigt werden, die zu einer geringeren angelegten Spannung und demzufolge zu einem kleineren Strom führen. Mit der Methode nach Terada Muta aus Kapitel 3.3 werden diese Widerstände ermittelt. Jedoch sind dafür Transistoren mit unterschiedlicher Kanallänge und gleicher Kanalweite nötig.

	Theoriewerte	Messwerte	Angepasste Theoriewerte
S [mV/dek]	126,88	126	126,88
V_{Tn} [V]	1,61	1,75	1,61
μ [cm^2/Vs]	650	167,09	183,93
$g_{m,max}$ [$\mu S/\mu m$]($V_{DS} = 1$ V)	1,10	0,29	0,31
I_{On} [$A/\mu m$]($V_{DS} = 1$ V)	$4,27 \cdot 10^{-6}$	$6,2 \cdot 10^{-7}$	$1,21 \cdot 10^{-6}$
I_{Off} [$A/\mu m$]($V_{DS} = 1$ V)	$6,35 \cdot 10^{-17}$	$2,98 \cdot 10^{-14}$	$6,35 \cdot 10^{-17}$

Tabelle 6.12: Vergleich zwischen den Theorie- und Messwerten eines high-k Metal-Gate n-Kanal MISFETs in p-dotierter Wanne

Da der Gegenleitwert direkt von dem Drainstrom I_D abhängt, stimmt nach der Anpassung auch das Maximum des Gegenleitwerts nahezu überein, dieses beläuft sich nun auf $g_{m,max} = 0,31 \frac{\mu S}{\mu m}$ bei $V_{DS} = 1$ V. In Tabelle 6.12 sind die Werte zusammengefasst.

Anhand dieses Vergleichs ist zu sehen, dass der hergestellte NMISFET mit der Theorie nahezu übereinstimmt.

Polysilizium n-Kanal MOSFET in p-dotiertem Substrat

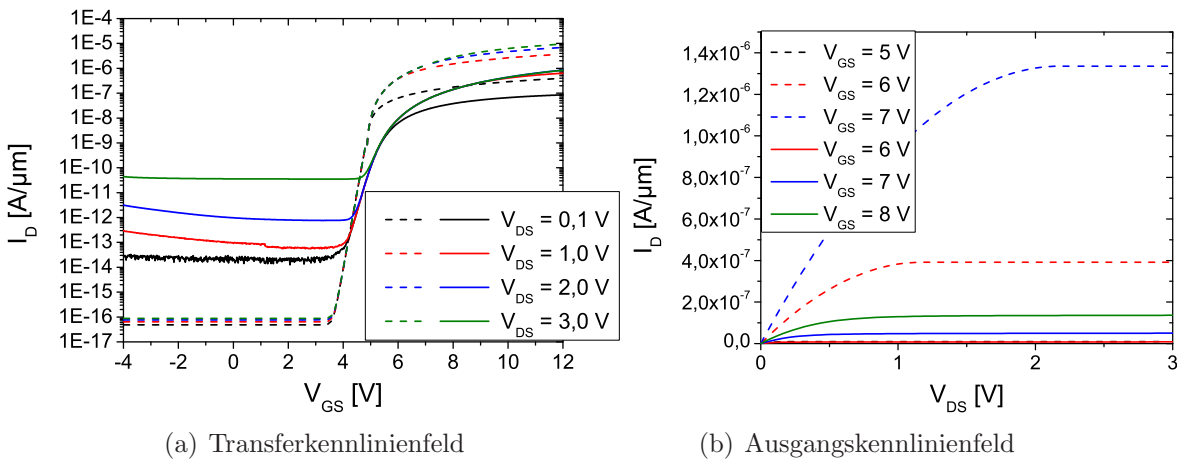


Abbildung 6.38: Vergleich der gemessenen Kennlinien eines n-Kanal MOSFETs mit den Theoriewerten (gestrichelte Linie)

Neben diesen Transistoren mit Metal-Gate Prozess werden auch n-Kanal MOSFETs mit Polysilizium und Siliziumoxid als Gatestack hergestellt. Abbildung 6.38 stellt die Transfer- und Ausgangskennlinie eines gemessenen und eines mit Theoriewerten berechneten NMOSFETs dar. Dabei wird letztere durch gestrichelte Linien dargestellt. Die für die Berechnung notwendigen Gleichungen und Werte sind im Folgenden aufgeführt. Der minimale Off-Strom unterscheidet sich bei beiden Kurven aufgrund der Vernachlässigung des Zenereffekts bei der Drain-Bulk-Diode (Abb. 6.38(a)). Dies ist vergleichbar zu dem vorher behandelten NMISFET.

$$V_{GS} < V_{Tn} \quad I_{Dn} = I_{Rev} + I_{Sub} \quad (3.2)$$

$$0 < V_{DS} \leq V_{GS} - V_{Tn} \quad I_{Dn} = \mu_n C'_{Ox} \frac{W}{L} \left[(V_{GS} - V_{Tn}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (3.25)$$

$$V_{DS} \geq V_{GS} - V_{Tn} > 0 \quad I_{Dn} = \frac{\mu_n C'_{Ox}}{2} \frac{W}{L} (V_{GS} - V_{Tn})^2 \quad (3.29)$$

$$I_{Sub} = \mu_n V_{Th}^2 (C'_{Sc} + C'_{it}) \frac{W}{L} \cdot \exp \left[\frac{V_{GS} - V_{Tn}}{n \cdot V_{Th}} \right] \quad (3.22)$$

$$I_{Rev} \approx I_{Gen}; I_{Tunn} \ll I_{So} \ll I_{Gen} \quad (3.5)$$

$$I_{Gen} = \frac{q A_{Diode} \cdot x_{Sc2} \cdot n_i}{\tau_{Gen}} \quad (3.6)$$

$$n = 1 + \frac{C'_{Sc}}{C'_{Ox}} \quad (3.24)$$

$$C'_{Ox} = \frac{\epsilon_0 \cdot \epsilon_{SiO_2}}{t_{Ox}} \quad (2.6)$$

$$C'_{Sc} = \frac{\epsilon_{Si} \epsilon_0}{x_{Sc}} \quad (2.8)$$

$$C'_{it} = q D_{it} \quad (3.4)$$

$$x_{Sc} = \sqrt{\frac{2 \epsilon_{Si} \epsilon_0 |2 \psi_B|}{q N_A}} \quad (2.7)$$

$$x_{Sc2} = \sqrt{\frac{2 \epsilon_{Si} \epsilon_0 (N_A + N_D) (\psi_{B2} + |V_{DS}|)}{q N_A N_D}} \quad (3.7)$$

$$\psi_B = V_{Th} \ln \frac{N_A}{n_i} \quad (2.4)$$

$$\psi_{B2} = V_{Th} \ln \frac{N_A N_D}{n_i^2} \quad (3.8)$$

$$V_{Th} = \frac{kT}{q} \quad (2.5)$$

Theoriewert (Kap. 3.3):	μ_n	$= 650 \frac{\text{cm}^2}{\text{Vs}}$
Maskenlayout (Anhang A):	L	$= 200 \mu\text{m}$
Maskenlayout (Anhang A):	W	$= 500 \mu\text{m}$
Berechnet (Kap. 6.3):	V_{Tn}	$= 4,82 \text{ V}$
Messwert (Kap. 6.1):	t_{Ox}	$= 20 \text{ nm}$
Angepasster Wert:	D_{it}	$= 5 \cdot 10^{11} \frac{1}{\text{eV} \cdot \text{cm}^2}$
Maskenlayout (Anhang A):	A_{Diode}	$= 0,0025 \text{ cm}$
Herstellerangabe:	N_A	$= 1 \cdot 10^{18} \frac{1}{\text{cm}^3}$
Messwert (Kap. 5.3.1):	N_D	$= 5 \cdot 10^{19} \frac{1}{\text{cm}^3}$
Konstanten:	In Anhang C	

Einsatzspannung

Die Einsatzspannung des gemessenen n-Kanal Transistors ergibt sich nach der Methode der linearen Extrapolation von $\sqrt{I_D}$ zu $V_{Tn} = 5,28 \text{ V}$. Nach Gleichung 3.41 berechnet sich die Einsatzspannung zu $V_{Tn} = 4,82 \text{ V}$. Dabei wird die Flachbandspannung V_{FB} nach Gleichung 2.2 berechnet. Für die Bestimmung der flächennormierten Oxidkapazität C'_{Ox} wird eine Siliziumoxiddicke von 20 nm eingesetzt. Die Dotierhöhe des Substrats beläuft sich auf $1 \cdot 10^{18} \frac{1}{\text{cm}^3}$. Die dadurch gewonnenen Werte zeigen eine Verschiebung der Einsatzspannung um $\Delta V_{Tn} = 460 \text{ mV}$.

$$V_{Tn} = V_{FB} + |2\psi_B| + \gamma_n \sqrt{|2\psi_B|} \quad (3.41)$$

$$V_{FB} = \phi_M - |\chi_{Si}| - \left| \frac{E_g}{2q} \right| - |\psi_B| \quad (2.2)$$

$$\gamma_n = \frac{\sqrt{2qN_A\epsilon_0\epsilon_{Si}}}{C'_{Ox}} \quad (3.42)$$

$$C'_{Ox} = \frac{\epsilon_0 \cdot \epsilon_{SiO_2}}{t_{Ox}} \quad (2.6)$$

$$\psi_B = V_{Th} \ln \frac{N_A}{n_i} \quad (2.4)$$

$$V_{Th} = \frac{kT}{q} \quad (2.5)$$

Theoriewert: $\phi_M = 4,05 \text{ eV}$

Theoriewert: $\chi_{Si} = 4,05 \text{ V}$

Herstellerangabe: $N_A = 1 \cdot 10^{18} \frac{1}{\text{cm}^3}$

Messwert (Kap. 6.1): $t_{Ox} = 20 \text{ nm}$

Konstanten: In Anhang C

Die Diskrepanz zwischen dem berechneten und dem gemessenen Wert ist bei diesem Transistor nicht zu übersehen. Eine Ursache dafür liefert das Fehlen von Messungen an den MOS-Kapazitäten. Dadurch werden bei der Berechnung der Flachbandspannung V_{FB} die Oxidladungen vernachlässigt. Dies führt zu einer nicht exakten Berechnung der Einsatzspannung.

Unterschwelligsteigung

Die Unterschwelligsteigung ergibt sich beim gemessenen Transistor zu $S = 250 \frac{\text{mV}}{\text{dek}}$. Bei der Berechnung dieses Werts nach Gleichung 3.46 beläuft sich der zu erwartende Wert auf $S = 191,65 \frac{\text{mV}}{\text{dek}}$.

$$S = V_{Th} \ln(10) \left(1 + \frac{C'_{Ov} + C'_{Sc} + C'_{it}}{C'_{Ox}} \right) \quad (3.46)$$

$$C'_{Ov} = C'_{Ox} \cdot \frac{L_{ov}}{L}$$

$$C'_{Sc} = \frac{\epsilon_{Si} \epsilon_0}{x_{Sc}} \quad (2.8)$$

$$C'_{it} = q D_{it} \quad (3.4)$$

$$C'_{Ox} = \frac{\epsilon_0 \cdot \epsilon_{SiO_2}}{t_{Ox}} \quad (2.6)$$

$$x_{Sc} = \sqrt{\frac{2 \epsilon_{Si} \epsilon_0 |2 \psi_B|}{q N_A}} \quad (2.7)$$

$$\psi_B = V_{Th} \ln \frac{N_A}{n_i} \quad (2.4)$$

$$V_{Th} = \frac{kT}{q} \quad (2.5)$$

$$\text{Maskenlayout (Kap. 6.1): } L_{ov} \approx 0 \mu\text{m}$$

$$\text{Maskenlayout (Anhang A): } L = 200 \mu\text{m}$$

$$\text{Messwert (Kap. 6.1): } t_{Ox} = 20 \text{ nm}$$

$$\text{Angepasster Wert: } D_{it} = 5 \cdot 10^{11} \frac{1}{\text{eV} \cdot \text{cm}^2}$$

$$\text{Herstellerangabe: } N_A = 1 \cdot 10^{18} \frac{1}{\text{cm}^3}$$

$$\text{Konstanten: } \quad \quad \quad \text{In Anhang C}$$

Dabei ist die flächennormierte Überlappkapazität C'_{Ov} nicht berücksichtigt, da bei der Herstellung dieses Transistors kein Überlapp durch die Maske verursacht wird. Einzig die Unterdiffusion bei der Dotierung von den Source/Drain Gebieten führt zu einer zusätzlichen Kapazität. Nach den SIMS-Profilen ergibt sich dieser Überlapp auf beiden Seiten zu maximal $1 \mu\text{m}$. Dadurch erhöht sich dieser Wert kaum. Neben der Überlappkapazität C_{Ov} ist die Unterschwellsteigung auch von der Grenzflächenkapazität C_{it} abhängig. Die genaue Grenzflächenkapazität C_{it} kann nicht genau bestimmt werden, da keine genauen Untersuchungen an den MOS-Kapazitäten durchgeführt werden können. Das ist auch der Grund, warum die beiden Werte nicht so übereinstimmen, wie bei dem Metal-Gate Transistor.

On-Strom I_{On}

Vergleichbar zur vorherigen Untersuchung des Metal-Gate Transistors ist auch hier der Drainstrom im Sättigungsbereich des gemessenen MOSFETs geringer als der berechnete Theoriewert. Dies lässt sich wiederum mit der Beweglichkeit der Ladungsträger erklären. Die Kennlinien werden dabei mit einer Beweglichkeit der Elektronen von $\mu = 650 \frac{\text{cm}^2}{\text{Vs}}$ berechnet. Bei dem gemessenen n-Kanal MOSFET beläuft sich diese auf $\mu = 173,18 \frac{\text{cm}^2}{\text{Vs}}$. Dieser geringe Wert führt zu einem kleineren Strom und Gegenleitwert g_m . Letztere beläuft sich beim gemessenen n-Kanal Transistor auf $g_{m,max} = 0,12 \frac{\mu\text{S}}{\mu\text{m}}$ bei $V_{DS} = 1 \text{ V}$ und in der Theorie $0,56 \frac{\mu\text{S}}{\mu\text{m}}$. Die angenommene Beweglichkeit ist zu groß und aus diesem Grund wird sie in Abhängigkeit des grenzflächennahen elektrischen Feldes E_{eff} berechnet. Dadurch ergibt sich nach Gleichung 3.50 für eine Gate-Source Spannung V_{GS} von $6,98 \text{ V}$ das elektrische Feld zu $E_{eff} = 1,39 \cdot 10^5 \frac{\text{V}}{\text{cm}}$. Dies ergibt für die Beweglichkeit der Ladungsträger bei $\mu_0 = 250 \frac{\text{cm}^2}{\text{Vs}}$ einen Wert von $\mu = 234,67 \frac{\text{cm}^2}{\text{Vs}}$. Dieser Wert ist mit dem

des gemessenen Transistors vergleichbar.

$$\mu_{eff} = \frac{\mu_0}{1 + (\alpha E_{eff})^\gamma} \quad (3.49)$$

$$E_{eff} = \frac{Q'_{Sc} + \eta Q'_{inv}}{\epsilon_0 \epsilon_{Si}} \quad (3.50)$$

$$Q'_{Sc} = -q N_A x_{Sc,max} \quad (3.51)$$

$$Q'_{inv} = C'_{Ox} (V_{GS} - V_{Tn}) \quad (3.52)$$

$$C'_{Ox} = \frac{\epsilon_0 \cdot \epsilon_{SiO_2}}{t_{Ox}} \quad (2.6)$$

$$x_{Sc,max} = \sqrt{\frac{2\epsilon_{Si}\epsilon_0|2\psi_B|}{qN_A}} \quad (2.7)$$

$$\psi_B = V_{Th} \ln \frac{N_A}{n_i} \quad (2.4)$$

$$V_{Th} = \frac{kT}{q} \quad (2.5)$$

Theoriewert ([Sze81]):	μ_0	$= 250 \frac{\text{cm}^2}{\text{Vs}}$
------------------------	---------	---------------------------------------

Theoriewert (Kap. 3.3):	$\frac{1}{\alpha}$	$= 7 \cdot 10^5$
-------------------------	--------------------	------------------

Theoriewert (Kap. 3.3):	γ	$= 1,69$
-------------------------	----------	----------

Theoriewert (Kap. 3.3):	η	$= \frac{1}{2}$
-------------------------	--------	-----------------

Herstellerangabe:	N_A	$= 1 \cdot 10^{18} \frac{1}{\text{cm}^3}$
-------------------	-------	---

Messwert (Kap. 6.1):	t_{Ox}	$= 20 \text{ nm}$
----------------------	----------	-------------------

Wert:	V_{GS}	$= 6,98 \text{ V}$
-------	----------	--------------------

Messwert (Kap. 6.1):	V_{Tn}	$= 5,28 \text{ V}$
----------------------	----------	--------------------

Konstanten:		In Anhang C
-------------	--	-------------

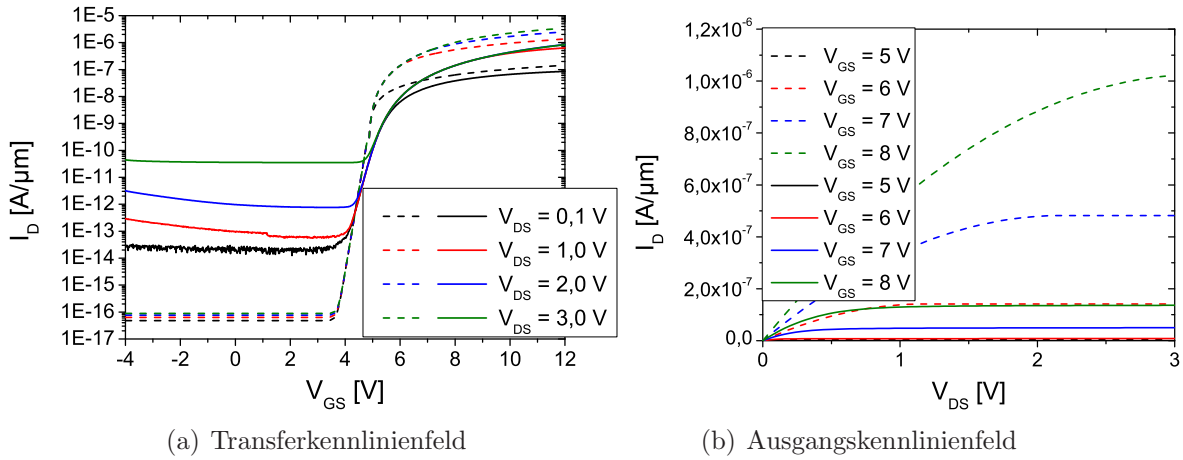


Abbildung 6.39: Vergleich der gemessenen Kennlinien eines n-Kanal MOSFETs mit den Theoriewerten bei angepasster Beweglichkeit der Ladungsträger (gestrichelte Linie)

Abbildung 6.39 zeigt den Vergleich der Transfer- und Ausgangskennlinienfelder für den gemessenen und den berechneten Transistor mit angepasster Beweglichkeit. Der Unterschied in den maximalen Strömen ist gering (Abb. 6.39(a)). Durch die Widerstände des MOSFETs, die zu Spannungsabfällen führen, sind die Werte des gemessenen Transistors kleiner als die des berechneten. Durch diese Anpassung stimmt auch das Maximum des Gegenleitwerts nahezu überein, es beläuft sich auf $g_{m,max} = 0,2 \frac{\mu S}{\mu m}$ bei $V_{DS} = 1 V$. In Tabelle 6.13 sind die Werte zusammengefasst. Der hergestellte n-Kanal MOSFET stimmt mit der Theorie gut überein.

	Theoriewerte	Messwerte	Angepasste Theoriewerte
S [mV/dek]	191,65	250	191,65
V_{Tn} [V]	4,82	5,28	4,82
μ [cm^2/Vs]	650	173,18	234,67
$g_{m,max}$ [$\mu S/\mu m$] ($V_{DS} = 1 V$)	0,56	0,12	0,2
I_{On} [$A/\mu m$] ($V_{DS} = 1 V$)	$3,75 \cdot 10^{-6}$	$6,35 \cdot 10^{-7}$	$1,35 \cdot 10^{-6}$
I_{Off} [$A/\mu m$] ($V_{DS} = 1 V$)	$6,36 \cdot 10^{-17}$	$2,93 \cdot 10^{-13}$	$6,36 \cdot 10^{-17}$

Tabelle 6.13: Vergleich zwischen den Theorie- und Messwerten eines n-Kanal MOSFETs

High-k Metal-Gate p-Kanal MISFET in n-dotiertem Substrat

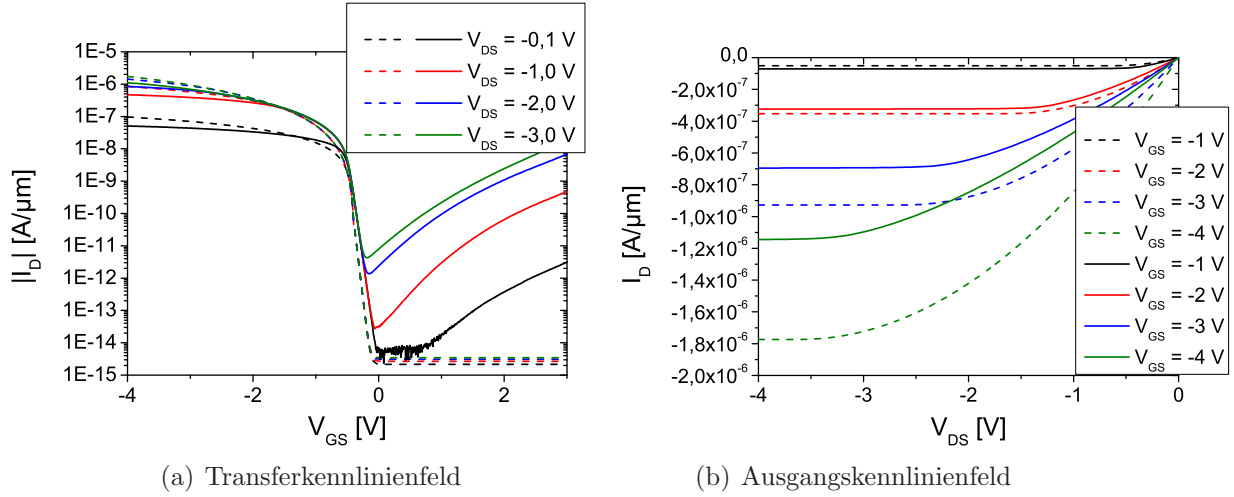


Abbildung 6.40: Vergleich der gemessenen Kennlinien eines high-k Metal-Gate p-Kanal MISFETs mit den Theoriewerten (gestrichelte Linie)

In Abbildung 6.40 ist das Transfer- und Ausgangskennlinienfeld eines high-k Metal-Gate p-Kanal MISFETs und in gestrichelter Form die der berechneten Theoriewerte aus Kapitel 3.2 dargestellt. Für die Berechnung der Kennlinien sind im Folgenden die Gleichungen und die dazu notwendigen Werte angegeben.

$$V_{GS} > V_{Tp} \quad I_{Dp} = |I_{Rev}| + |I_{Sub}| \quad (3.2)$$

$$V_{GS} - V_{Tp} \leq V_{DS} < 0 \quad I_{Dp} = \left| -\mu_p C'_{Ox} \frac{W}{L} \left[(V_{GS} - V_{Tp}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \right| \quad (3.26)$$

$$0 > V_{GS} - V_{Tp} \geq V_{DS} \quad I_{Dp} = \left| -\frac{\mu_p C'_{Ox}}{2} \frac{W}{L} (V_{GS} - V_{Tp})^2 \right| \quad (3.30)$$

$$I_{Sub} = \left| -\mu_p V_{Th}^2 (C'_{Sc} + C'_{it}) \frac{W}{L} \cdot \exp \left[\frac{-(V_{GS} - V_{Tp})}{n \cdot V_{Th}} \right] \right| \quad (3.23)$$

$$I_{Rev} \approx I_{Gen}; |I_{Tunn}| \ll |I_{So}| \ll |I_{Gen}| \quad (3.5)$$

$$I_{Gen} = \frac{q A_{Diode} \cdot x_{Sc2} \cdot n_i}{\tau_{Gen}} \quad (3.6)$$

$$n = 1 + \frac{C'_{Sc}}{C'_{Ox}} \quad (3.24)$$

$$C'_{Ox} = \frac{\epsilon_0 \cdot \epsilon_{Al_2O_3}}{t_{Ox}} \quad (2.6)$$

$$C'_{Sc} = \frac{\epsilon_{Si}\epsilon_0}{x_{Sc}} \quad (2.8)$$

$$C'_{it} = qD_{it} \quad (3.4)$$

$$x_{Sc} = \sqrt{\frac{2\epsilon_{Si}\epsilon_0|2\psi_B|}{qN_D}} \quad (2.7)$$

$$x_{Sc2} = \sqrt{\frac{2\epsilon_{Si}\epsilon_0(N_A + N_D)(\psi_{B2} + |V_{DS}|)}{qN_A N_D}} \quad (3.7)$$

$$\psi_B = \left| -V_{Th} \ln \frac{N_D}{n_i} \right| \quad (2.4)$$

$$\psi_{B2} = V_{Th} \ln \frac{N_A N_D}{n_i^2} \quad (3.8)$$

$$V_{Th} = \frac{kT}{q} \quad (2.5)$$

Theoriewert (Kap. 3.3): $\mu_p = 170 \frac{\text{cm}^2}{\text{Vs}}$

Maskenlayout(Anhang A): $L = 280 \mu\text{m}$

Maskenlayout(Anhang A): $W = 500 \mu\text{m}$

Berechnet (Kap. 6.3): $V_{Tp} = -0,38 \text{ V}$

Maskenlayout(Anhang A): $A_{Diode} = 0,0025 \text{ cm}^2$

Messwert (Kap. 6.2.1): $t_{Ox} = 15,2 \text{ nm}$

Messwert (Kap. 6.2.1): $D_{it} = 3,8 \cdot 10^{11} \frac{1}{\text{eV} \cdot \text{cm}^2}$

Herstellerangabe: $N_D = 1 \cdot 10^{15} \frac{1}{\text{cm}^3}$

Messwert (Kap. 5.3.1): $N_A = 5 \cdot 10^{19} \frac{1}{\text{cm}^3}$

Konstanten:

In Anhang C

Bei dem PMISFET handelt es sich um einen Transistor, der sich im n-dotierten Substrat befindet und nach dem Metal-Gate Prozess prozessiert wurde. Der Off-Strom der Transistoren variiert nur bei größer werdender Drain-Source Spannung V_{DS} (Abb. 6.40(a)). Dies liegt an der Vernachlässigung des Lawinendurchbruchs bei der Berechnung des Stroms durch die Drain-Bulk Diode I_{Rev} .

Einsatzspannung

Die Einsatzspannung des PMISFETs ergibt sich nach der Methode der linearen Extrapolation nach $\sqrt{I_D}$ zu $V_{Tp} = -0,31$ V. Der zu erwartende Wert berechnet sich zu $V_{Tp} = 0,28$ V.

Dabei wird für die Flachbandspannung $V_{FB} = 0,885$ V und für die flächennormierte Oxidkapazität $C'_{Ox} = 0,44 \frac{\mu F}{cm^2}$ eingesetzt. Beide Werte werden aus der gemessenen MIS-Kapazität aus Kapitel 6.2.1 entnommen. Die Dotierung des Substrats ist $1 \cdot 10^{15} \frac{1}{cm^3}$. Die Einsatzspannung wird mit Hilfe dieser Werte und der Gleichung 3.43 bestimmt.

$$V_{Tp} = V_{FB} - |2\psi_B| - \gamma_p \sqrt{|2\psi_B|} \quad (3.43)$$

$$\gamma_p = \frac{\sqrt{2qN_D\epsilon_0\epsilon_{Si}}}{C'_{Ox}} \quad (3.44)$$

$$C'_{Ox} = \frac{\epsilon_0 \cdot \epsilon_{Al_2O_3}}{t_{Ox}} \quad (2.6)$$

$$\psi_B = -V_{Th} \ln \frac{N_D}{n_i} \quad (2.4)$$

$$V_{Th} = \frac{kT}{q} \quad (2.5)$$

$$\text{Messwert (Kap. 6.2.1):} \quad V_{FB} = 0,885 \text{ V}$$

$$\text{Messwert (Kap. 5.3.1):} \quad N_D = 1 \cdot 10^{15} \frac{1}{cm^3}$$

$$\text{Messwert (Kap. 6.2.1):} \quad t_{Ox} = 15,2 \text{ nm}$$

Konstanten:

In Anhang C

Anhand dieses Vergleichs ist zu erkennen, dass der zu erwartende Wert mit dem gemessenen nicht übereinstimmt. Bei der Bestimmung der Flachbandspannung in Kapitel 6.2.1 wird darauf hingewiesen, dass der Wert sich für eine Dotierung von $1 \cdot 10^{17} \frac{1}{cm^3}$ ergibt. Mit dieser Dotierung ergibt sich für die Einsatzspannung ein Wert von $V_{Tp} = -0,3$ V.

Der Wert stimmt mit dem messtechnischen Wert überein. Daraus lässt sich schließen, dass die vorherrschenden Oxidladungen zu einer Verschiebung der Einsatzspannung führen. Des Weiteren werden für die Berechnung Werte verwendet, die mit Hilfe einer Messung an einer MIS-Kapazität bestimmt werden. Für ein genaueres Resultat ist eine statistische Auswertung der MIS-Kapazitäten notwendig.

Unterschwelligsteigung

Die Unterschwelligsteigung ergibt sich beim p-Kanal MISFET zu $S = 70,27 \frac{\text{mV}}{\text{dek}}$. Der zu erwartende Wert berechnet sich nach Gleichung 3.46 zu $S = 69,6 \frac{\text{mV}}{\text{dek}}$. Dabei wird sowohl die flächennormierte Raumladungskapazität C'_{Sc} als auch die Grenzflächenkapazität C'_{it} berücksichtigt. Durch die bestimmte Grenzflächenzustandsdichte $D_{it} = 3,8 \cdot 10^{11} \frac{1}{\text{eV} \cdot \text{cm}^2}$ aus der MIS-Kapazität in Kapitel 6.2.1 lässt sich die Grenzflächenkapazität nach Gleichung 3.4 bestimmen.

$$S = V_{Th} \ln(10) \left(1 + \frac{C'_{Ov} + C'_{Sc} + C'_{it}}{C'_{Ox}} \right) \quad (3.46)$$

$$C'_{Ov} = C'_{Ox} \cdot \frac{L_{ov}}{L}$$

$$C'_{Sc} = \frac{\epsilon_{Si} \epsilon_0}{x_{Sc}} \quad (2.8)$$

$$C'_{it} = q D_{it} \quad (3.4)$$

$$C'_{Ox} = \frac{\epsilon_0 \cdot \epsilon_{Al_2O_3}}{t_{Ox}} \quad (2.6)$$

$$x_{Sc} = \sqrt{\frac{2\epsilon_{Si}\epsilon_0|2\psi_B|}{qN_D}} \quad (2.7)$$

$$\psi_B = \left| -V_{Th} \ln \frac{N_D}{n_i} \right| \quad (2.4)$$

$$V_{Th} = \frac{kT}{q} \quad (2.5)$$

Maskenlayout (Kap. 6.2.2): $L_{ov} = 0 \mu\text{m}$

Maskenlayout (Anhang A): $L = 280 \mu\text{m}$

Messwert (Kap. 6.2.1): $t_{Ox} = 15,2 \text{ nm}$

Messwert (Kap. 6.2.1):	D_{it}	$= 3,8 \cdot 10^{11} \frac{1}{\text{eV} \cdot \text{cm}^2}$
Herstellerangabe:	N_D	$= 1 \cdot 10^{15} \frac{1}{\text{cm}^3}$
Konstanten:	In Anhang C	

Die gemessene Unterschwellsteigung stimmt mit dem berechneten Wert überein. Die Ursache für den geringen Unterschied der Werte ist die Nichtberücksichtigung der Überlappkapazität C'_{Ov} . Diese entsteht aufgrund der Unterdiffusion des Gates durch die Dotierung von Source/Drain.

On-Strom I_{On}

In Abbildung 6.40 ist der Unterschied der maximalen Ströme zwischen dem gemessenen Transistor und den berechneten Theoriewerten minimal. Bei den berechneten Kennlinien wird für die Kanalbeweglichkeit der Löcher der Theoriewert von $\mu = 170 \frac{\text{cm}^2}{\text{Vs}}$ eingesetzt. Beim gemessenen p-Kanal Transistor ergibt sich für diesen Parameter ein Wert von $\mu = 143,74 \frac{\text{cm}^2}{\text{Vs}}$. Dieser Unterschied ist deutlich geringer als bei den bisherigen Untersuchungen der n-Kanal Transistoren. Wird die Beweglichkeit der Löcher in Abhängigkeit des grenzflächennahen elektrischen Feldes E_{eff} bestimmt, so erhält man $\mu = 168,25 \frac{\text{cm}^2}{\text{Vs}}$. Dabei beläuft sich das elektrische Feld E_{eff} , bei einer Gate-Source Spannung V_{GS} von 1,80 V zu $2,11 \cdot 10^5 \frac{\text{V}}{\text{cm}}$.

$$\mu_{eff} = \frac{\mu_0}{1 + (\alpha E_{eff})^\gamma} \quad (3.49)$$

$$E_{eff} = \frac{Q'_{Sc} + \eta Q'_{inv}}{\epsilon_0 \epsilon_{Si}} \quad (3.50)$$

$$Q'_{Sc} = -q N_D x_{Sc,max} \quad (3.51)$$

$$Q'_{inv} = C'_{Ox} (V_{GS} - |V_{Tp}|) \quad (3.52)$$

$$C'_{Ox} = \frac{\epsilon_0 \cdot \epsilon_{Al_2O_3}}{t_{Ox}} \quad (2.6)$$

$$x_{Sc,max} = \sqrt{\frac{2\epsilon_{Si}\epsilon_0|2\psi_B|}{qN_D}} \quad (2.7)$$

$$\psi_B = \left| -V_{Th} \ln \frac{N_D}{n_i} \right| \quad (2.4)$$

$$V_{Th} = \frac{kT}{q} \quad (2.5)$$

Theoriewert ([Sze81]): $\mu_0 = 300 \frac{\text{cm}^2}{\text{Vs}}$

Theoriewert (Kap. 3.3): $\frac{1}{\alpha} = 2,7 \cdot 10^5$

Theoriewert (Kap. 3.3): $\gamma = 1$

Theoriewert (Kap. 3.3): $\eta = \frac{1}{3}$

Herstellerangabe: $N_D = 1 \cdot 10^{15} \frac{1}{\text{cm}^3}$

Messwert (Kap. 6.2.1): $t_{Ox} = 15,2 \text{ nm}$

Wert: $V_{GS} = 1,80 \text{ V}$

Messwert (Kap. 6.2.2): $V_{Tp} = -0,31 \text{ V}$

Konstanten: In Anhang C

Die Ähnlichkeit der beiden Transistoren in der Beweglichkeit spiegelt sich auch beim Maximum des Gegenleitwerts wieder. Dieser ergibt sich bei der Berechnung zu $g_{m,max} = 0,27 \frac{\mu\text{S}}{\mu\text{m}}$ bei $V_{DS} = -1 \text{ V}$ und beim gemessenen Transistor zu $g_{m,max} = 0,23 \frac{\mu\text{S}}{\mu\text{m}}$. In Tabelle 6.14 sind die Werte zusammengefasst.

	Theoriewerte	Messwerte
S [mV/dek]	69,6	71,65
V_{Tp} [V]	0,28	-0,31
μ [cm^2/Vs]	170	143,74
$g_{m,max}$ [$\mu\text{S}/\mu\text{m}$] ($V_{DS} = -1 \text{ V}$)	0,27	0,23
I_{On} [$\text{A}/\mu\text{m}$] ($V_{DS} = -1 \text{ V}$)	$8,49 \cdot 10^{-7}$	$4,71 \cdot 10^{-7}$
I_{Off} [$\text{A}/\mu\text{m}$] ($V_{DS} = -1 \text{ V}$)	$2,68 \cdot 10^{-15}$	$2,96 \cdot 10^{-14}$

Tabelle 6.14: Vergleich zwischen den Theorie- und Messwerten eines high-k Metal-Gate p-Kanal MISFETs in n-dotiertem Substrat

Der Unterschied in den Werten entsteht, da bei der Berechnung Widerstände des Transistors vernachlässigt werden. Diese führen zu geringeren angelegten Spannungen am Bauelement und demzufolge zu einem kleineren Strom. Eine Methode diese Widerstände zu ermitteln ist die Methode nach Terada Muta aus Kapitel 3.3. Jedoch sind dafür Transistoren mit unterschiedlicher Kanallänge und gleicher Kanalweite notwendig.

Anhand der dargestellten Vergleiche der gemessenen Transistoren zu den theoretischen Werten ist ersichtlich, dass die hergestellten Feldeffektbauelemente mit den zu erwartenden Werten übereinstimmen. Im nächsten Teil dieses Abschnitts werden die beiden n-Kanal Transistoren miteinander verglichen. Um den Einfluss der unterschiedlichen Gatematerialien auf die Eigenschaften des Bauelements zu zeigen.

Vergleich zwischen einem Polysilizium n-Kanal MOSFET in p-dotiertem Substrat und einem high-k Metal-Gate n-Kanal MISFET in p-dotierter Wanne

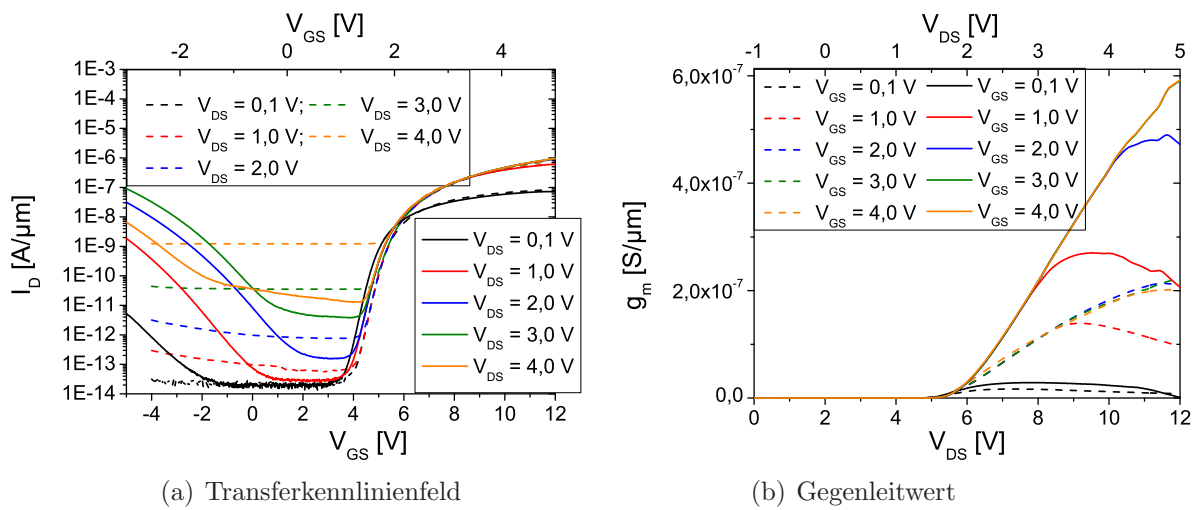


Abbildung 6.41: Vergleich der Kennlinien zwischen einem Polysilizium n-Kanal MOSFET (gestrichelte Form) und einem high-k Metal-Gate MISFET

Abbildung 6.41 stellt die Transferkennlinie und den Gegenleitwert zweier n-Kanal Transistoren gegenüber. Die gestrichelten Linien stellen das Bauelement dar, das mit dem selbstjustierenden Gateprozess hergestellt wird. Dabei wird als Gatematerial Siliziumoxid und Polysilizium verwendet. Der Vergleichstransistor hat einen Gatestack aus Aluminium und Aluminiumoxid und wird anhand des Metal-Gate Prozesses hergestellt. Zur besseren Vergleichbarkeit repräsentiert die obere x-Achse die Gate-Source Spannung des Metal-Gate Transistors. Die untere x-Achse entspricht der Spannung für den MOSFET mit Polysilizium und Siliziumoxid als Gatestack.

Off-Strom I_{Off}

Das Transferkennlinienfeld in Abbildung 6.41(a) zeigt, dass bei einer Drain-Source Spannung von $V_{DS} = 0,1\text{ V}$ und $V_{DS} = 1\text{ V}$ der Off-Strom der beiden Bauelemente identisch ist. Bei größeren Spannungen wird der Unterschied zwischen den Transistoren immer deutlicher. Dies liegt am pn-Übergang zwischen der Drain-Bulk Diode des MOSFETs, mit Polysilizium-Gate, da diese einen deutlich höheren Leckstrom als die vergleichbare Diode des Metal-Gate Transistors aufweist.

Unterschwelligsteigung

Beide Transistoren besitzen eine unterschiedliche Unterschwelligsteigung. Das Verhältnis der Unterschwelligsteigung von dem n-Kanal MOSFET zu dem high-k Metal-Gate n-Kanal MISFET beläuft sich auf 250/126. Der Unterschied entsteht durch die unterschiedliche flächennormierte Oxidkapazität C'_{Ox} und die flächennormierte Überlappkapazität C'_{Ov} . Die restlichen Kapazitäten, die nach Gleichung 3.46 einen Einfluss auf die Unterschwelligsteigung haben, sind bei diesen beiden Transistoren nahezu gleich. Bei dem high-k Metal-Gate n-Kanal MISFET ist die Überlappkapazität größer als bei dem n-Kanal MOSFET. Dies liegt an dem Überlappbereich zwischen Drain und Gate, der beim n-Kanal MOSFET maximal $1\text{ }\mu\text{m}$ beim high-k Metal-Gate n-Kanal MISFET $73,5\text{ }\mu\text{m}$ beträgt. Einen deutlich größeren Einfluss hat die Oxidkapazität C'_{Ox} . Aufgrund des unterschiedlichen Gatestacks beträgt diese beim n-Kanal MOSFET $C'_{Ox} = 0,17\text{ }\frac{\mu\text{F}}{\text{cm}^2}$ und beim high-k Metal-Gate n-Kanal MISFET $C'_{Ox} = 0,48\text{ }\frac{\mu\text{F}}{\text{cm}^2}$. Die Überlappkapazität hängt auch von der Oxidkapazität ab.

Einsatzspannung

Das Verhältnis der Einsatzspannung von dem n-Kanal MOSFET zu dem high-k Metal-Gate n-Kanal MISFET beläuft sich auf 5,28/1,75. Da die Dotierung des Substrats und der Wanne mit $1 \cdot 10^{18}\text{ }\frac{1}{\text{cm}^3}$ gleich ist, liegt der Unterschied in den Einsatzspannungen sowohl an der Oxidkapazität C'_{Ox} als auch an der Austrittsarbeitsdifferenz zwischen Metall und Halbleiter ϕ_{MS} . Die unterschiedliche Austrittsarbeit kommt durch die Verwendung der unterschiedlichen Gatemetalle zustande. Bei dem high-k Metal-Gate n-Kanal MISFET wird Aluminium und beim n-Kanal MOSFET n-dotiertes Polysilizium verwendet. Dadurch kommt es bereits zu einer Änderung der Flachbandspannung.

On-Strom I_{On}

Der Drainstrom I_D der beiden Transistoren im eingeschalteten Zustand ist identisch. Das bedeutet, dass das Aluminiumoxid nach diesem Vergleich keinen Einfluss auf den maximalen Strom sowie auf die Beweglichkeit der Ladungsträger hat. Die geringe Beweglichkeit ist auf die hohe Grunddotierung des Bulk-Materials zurückzuführen. In Tabelle 6.15 sind die Kennzahlen des n-Kanal MOSFETs und des high-k Metal-Gate n-Kanal MISFETs dargestellt.

	NMOSFET	High-k NMISFET
S [mV/dek]	250	126
V_{Tn} [V]	5,28	1,75
μ [cm^2/Vs]	173,18	167,09
$g_{m,max}$ [$\mu\text{S}/\mu\text{m}$] ($V_{DS} = 1\text{ V}$)	0,12	0,29
I_{On} [$\text{A}/\mu\text{m}$] ($V_{DS} = 1\text{ V}$)	$6,35 \cdot 10^{-7}$	$6,2 \cdot 10^{-7}$
I_{Off} [$\text{A}/\mu\text{m}$] ($V_{DS} = 1\text{ V}$)	$2,93 \cdot 10^{-13}$	$2,98 \cdot 10^{-14}$

Tabelle 6.15: Vergleich zwischen einem Polysilizium n-Kanal MOSFET und einem high-k Metal-Gate MISFET

Abbildung 6.41(b) stellt die Gegenleitwertkurven der beiden Transistoren gegenüber. Bei einer Drain-Source Spannung von $V_{DS} = 0,1$ V sind die beiden Werte für den maximalen Wert identisch. Bei größer werdender Drain-Source Spannung steigt die Diskrepanz zwischen beiden Werten. Der Unterschied lässt sich durch die unterschiedliche Steigung der beiden Kurven erklären. Die Ursache ist aber wiederum die Oxidkapazität C_{Ox} , die beim n-Kanal MOSFET kleiner ist als beim high-k Metal-Gate MISFET. Da der Gegenleitwert direkt proportional zur Kapazität ist (Gln. 3.36), hat diese einen großen Einfluss auf den Wert.

Vergleich mit früheren Polysiliziumtransistoren

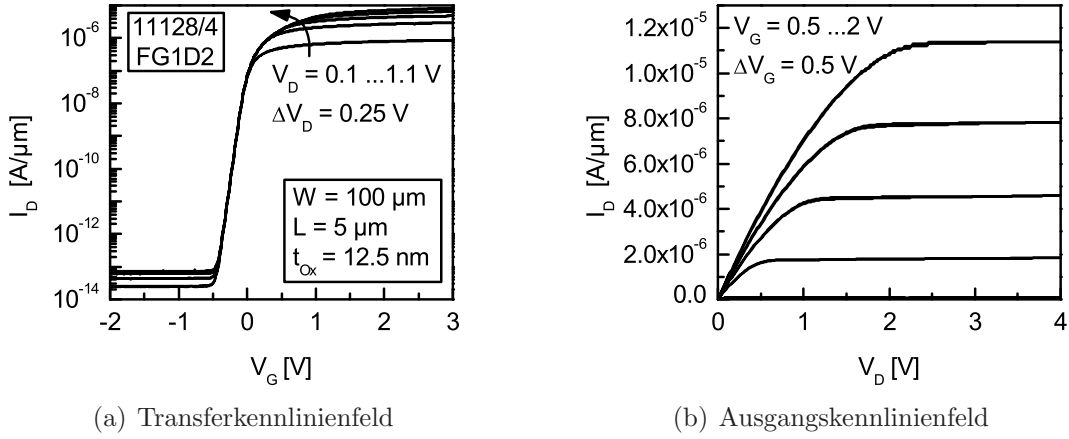


Abbildung 6.42: Kennlinien eines n-Kanal MOSFETs mit Polysilizium von [Isk12]

Am Institut für Physik sind bereits MOSFETs (Abb. 6.42) von [Isk12] prozessiert worden. Dabei ist Siliziumoxid und Polysilizium, welches insitu dotiert wurde, als Gatestack verwendet worden. Es wurden keine komplementären Bauelemente, sondern nur n-Kanal Transistoren ohne Nitridspacer hergestellt. Die Ergebnisse zeigen, dass die Transistoren sowohl mit dem Nitridspacer als auch mit dem Metal-Gate-Stack vergleichbare Resultate liefern. Der Off-Strom ist bei einer niedrigen Drain-Source Spannung identisch zu dem des n-Kanal Transistors von [Isk12]. Das gleiche Verhalten zeigt sich auch im Bereich des On-Stroms. Einziger Unterschied ist die Unterschwellsteigung. Diese beläuft sich bei [Isk12] auf etwa $S = 70 \frac{\text{mV}}{\text{dek}}$. Dies ist auf die unterschiedliche Dotierung des Substrats zurückzuführen. Sowohl der Nitridspacer als auch das Aluminiumoxid liefern vergleichbare Ergebnisse mit dem bisherigen Prozessen.

Vergleich der high-k Metal-Gate n-Kanal MISFETs mit der Literatur

Die Abbildung 6.41(a) zeigt jedoch einen erheblichen Unterschied zwischen dem Gatestack mit Polysilizium und dem mit Metal-Gate. Bei letzterem steigt der Off-Strom des Transistors mit kleiner werdender Gate-Source Spannung V_{GS} . Dieses Phänomen tritt nicht nur bei den NMISFETs, sondern auch nach Kapitel 6.2.2 bei den high-k

Metal-Gate PMISFETs auf. Zur Klärung ob es sich bei diesem Phänomen um ein Artefakt handelt, werden die Transistoren mit high-k MISFETs aus der Literatur verglichen. Dabei fällt auf, dass die Transferkennlinien von MISFETs, mit Aluminiumoxid als

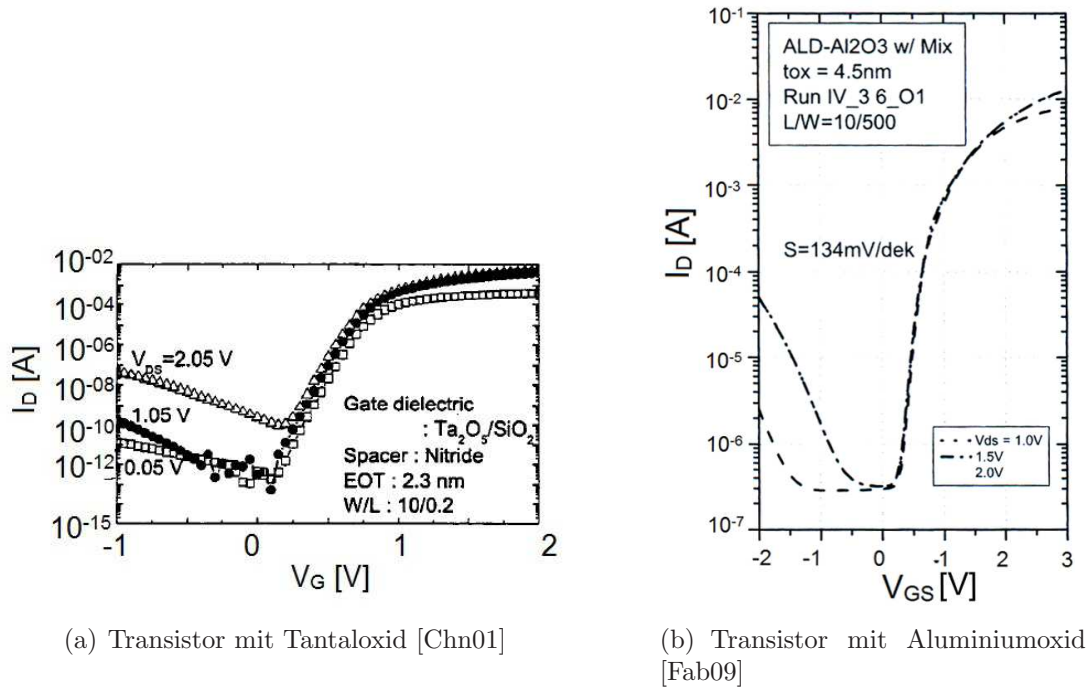


Abbildung 6.43: Transferkennlinien von high-k MISFETs aus [Chn01] und [Fab09]

Gatedielektrikum, dieselbe Abhängigkeit des Off-Stroms besitzen [Osw04], [Fab09] und [Ran10] (Abb. 6.43(b)). Daneben sind auch Untersuchungen zu Hafniumoxid als Gatedielektrikum veröffentlicht [Dai11], [Choi03] und [Hof05]. Abbildung 6.43(a) zeigt die Transferkennlinie eines MISFETs mit Tantaloxid Ta_2O_5 als Gatedielektrikum [Chn01]. Der Anstieg des Off-Stroms im Sperrbereich ist mit steigender Gate-Source Spannung auch hier ausgeprägt.

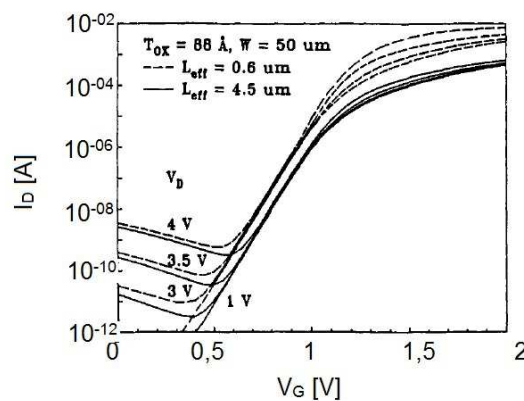


Abbildung 6.44: Transistor mit Siliziumoxid [Cha87]

Der Anstieg des Off-Stroms kann auch bei Standard-CMOS-Transistoren beobachtet werden. Die Abbildung 6.44 zeigt die Transferkennlinie eines Transistors mit einer Siliziumoxiddicke von 8,8 nm [Cha87]. Auch hier ist das gleiche Phänomen zu beobachten wie bei den vorherigen Kennlinien. Zu beachten ist, dass die hier gezeigte Oxiddicke mit der EOT des hergestellten MISFETs mit Aluminiumoxid nahezu übereinstimmt.

Abhängigkeit des Off-Stroms von der Gate-Source Spannung

Nach Gleichung 3.2 aus Kapitel 3.2 setzt sich der Off-Strom des Transistors aus drei Strömen zusammen. Dabei kann der Strom, der durch die schwache Inversion entsteht (I_{Sub}), vernachlässigt werden. Aufgrund von Berechnungen nach Gleichung 3.3 ist dieser 10 Dekaden niedriger als der Strom I_{Rev} , der durch die in Sperrrichtung geschaltete pn-Diode zwischen Drain und Bulk fließt. Die für die Berechnung notwendigen Werte und Gleichungen sind im Folgenden angegeben. Der Strom I_{Rev} beläuft sich bei einer Drain-Source Spannung von $V_{DS} = 0,1$ V auf ca. $2 \cdot 10^{-14} \frac{A}{\mu m}$. Jedoch erklärt dieser Strom nicht die Abhängigkeit des Off-Stroms von der Gate-Source Spannung V_{GS} .

$$I_{Off} = I_{Rev} + I_{Sub} + I_{GIDL} \quad (3.2)$$

$$I_{Sub} = \frac{W}{L} \mu V_{Th}^2 (C'_{Sc} + C'_{it}) \cdot 10^{-\frac{V_{Th}}{S}} \quad (3.3)$$

$$C'_{Sc} = \frac{\epsilon_{Si} \epsilon_0}{x_{Sc}} \quad (2.8)$$

$$C'_{it} = q D_{it} \quad (3.4)$$

$$x_{Sc} = \sqrt{\frac{2 \epsilon_{Si} \epsilon_0 |2\psi_B|}{q N_A}} \quad (2.7)$$

$$\psi_B = V_{Th} \ln \frac{N_A}{n_i} \quad (2.4)$$

$$V_{Th} = \frac{kT}{q} \quad (2.5)$$

$$\text{Maskenlayout (Anhang A): } W = 500 \mu m$$

$$\text{Maskenlayout (Anhang A): } L = 280 \mu m$$

$$\text{Theoriewert (Kap. 3.3): } \mu = 650 \frac{cm^2}{Vs}$$

$$\text{Messwert (Kap. 6.2.2): } S = 126 \frac{mV}{dek}$$

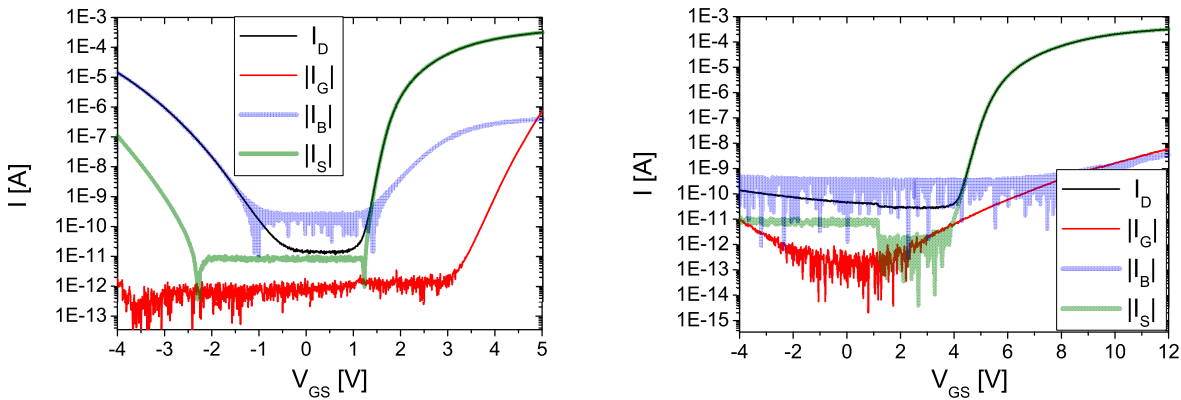
Messwert (Kap. 6.2.2): $V_{Tn} = 1,75 \text{ V}$

Messwert (Kap. 5.3.1): $N_A = 1 \cdot 10^{18} \frac{1}{\text{cm}^3}$

Messwert (Kap. 6.2.1): $D_{it} = 6,6 \cdot 10^{11} \frac{1}{\text{eV} \cdot \text{cm}^2}$

Konstanten: In Anhang C

Abbildung 6.45 stellt die Gesamtströme des n-Kanal MOSFETs und des high-k Metal-Gate MISFET bei einer Drain-Source Spannung von 1 V gegenüber. Bei dem Metal-Gate Transistor steigt mit sinkender Gate-Source Spannung V_{GS} auch der Betrag des Bulkstroms I_B an. Dadurch fließt der entstehende Leckstrom des Bauelements zum



(a) Gesamtströme beim high-k Metal-Gate NMIS-FET (b) Gesamtströme beim n-Kanal MOS-FET

Abbildung 6.45: Vergleich der Kennlinien mit Gesamtstrom

Bulk ab. Dies ist ein Indiz, dass es sich um den Strom verursacht durch den GIDL-Effekt handelt I_{GIDL} (Kap. 3.2). Die Löcher, die durch das Band-Band Tunneln entstehen fließen zum Bulk, die Elektronen aber zum Drain. Des Weiteren steigt der Off-Strom in Abhängigkeit mit der Gate-Source Spannung V_{GS} . Das heißt, dass bei einer konstanten Drain-Source Spannung V_{DS} das Potential zwischen Gate und Drain ansteigt. Dies führt schließlich zu einem höheren elektrischen Feld an dem Überlappbereich von Gate und Drain und begünstigt das Ansteigen des I_{GIDL} .

Auffällig ist jedoch, dass bei den hier hergestellten Bauelementen dies nur für die Transistoren mit Metal-Gate und Aluminiumoxid als Dielektrikum zutrifft (Abb. 6.45). Aus diesem Grund ist in Abbildung 6.46 der Off-Strom der beiden Transistoren im Vergleich zu simulierten Werten, die den GIDL-Effekt berücksichtigen, dargestellt. Diese theoretischen Kurven werden mit Hilfe der Gleichung 3.2 aus Kapitel 3.2 berechnet und sind in gestrichelter Form angegeben. Dabei wird für I_{Rev} der Sperrstrom der gemessenen Dioden verwendet. Der Strom verursacht durch den GIDL-Effekt I_{GIDL} wird nach Gleichung 3.19 und mit den folgenden Werten berechnet.

$$I_{Off} = I_{Rev} + I_{Sub} + I_{GIDL} \quad (3.2)$$

$$I_{Sub} = \text{Vernachlässigt}$$

$$I_{Rev} = \text{Wert der gemessenen Diode}$$

$$I_{GIDL} = A_0 \cdot W \cdot L_{DG} \cdot \frac{\epsilon_0 \cdot \epsilon_{Si}}{E_0 \cdot N_{Drain}} \cdot E_{Si}^4 \cdot \exp\left(-\frac{E_0}{E_{Si}}\right) \quad (3.19)$$

$$E_{Si} = \frac{qN_{Drain}}{\epsilon_0 \cdot \epsilon_{Si}} \sqrt{\frac{2\epsilon_0 \epsilon_{Si} V_{Band}}{qN_{Drain}}} \quad (3.20)$$

$$V_{Band} = V_{DG} + qN_{Drain}t_{Ox}^2 \cdot \frac{\epsilon_0 \epsilon_{Si}}{\epsilon_0^2 \epsilon_{Ox}^2} - \sqrt{(V_{DG} + qN_{Drain}t_{Ox}^2 \cdot \frac{\epsilon_0 \epsilon_{Si}}{\epsilon_0^2 \epsilon_{Ox}^2})^2 - V_{DG}^2} \quad (3.21)$$

$$\text{Theoriewert (Kap. 3.2):} \quad A_0 = 5,97 \cdot 10^{18} \frac{1}{\text{sV}^2\text{cm}}$$

$$\text{Theoriewert (Kap. 3.2):} \quad E_0 = 26,88 \frac{\text{MV}}{\text{cm}}$$

$$\text{Maskenlayout (Anhang A):} \quad W = 500 \mu\text{m}$$

$$\text{Maskenlayout für high-k MISFET (Anhang A):} \quad L_{DG} = 73,5 \mu\text{m}$$

$$\text{Maskenlayout für Polysilizium MOSFET (Kap. 5.3.1):} \quad L_{DG} = 1 \mu\text{m}$$

$$\text{Messwert (Kap. 5.3.1):} \quad N_{Drain} = 5 \cdot 10^{19} \frac{1}{\text{cm}^3}$$

$$\text{Messwert für Polysilizium MOSFET (Kap. 6.2.1):} \quad t_{Ox} = 20 \text{ nm}$$

$$\text{Messwert für high-k Metal-Gate MISFET (Kap. 6.2.1):} \quad t_{Ox} = 14,4 \text{ nm}$$

$$\text{Konstante für Polysilizium MOSFET (Anhang C):} \quad \epsilon_{Ox} = 3,9$$

$$\text{Messwert für high-k Metal-Gate MISFET (Kap. 6.2.1):} \quad \epsilon_{Ox} = 7,7$$

$$\text{Konstanten:} \quad \text{In Anhang C}$$

Die Abbildung 6.46(a) zeigt, dass der Strom des Modells ähnlich zu dem gemessenen high-k Metal-Gate MISFET ansteigt. Die Unterschiede entstehen, da die Widerstände des Transistors nicht berücksichtigt werden. Folglich handelt es sich um einen Anstieg des Stroms durch den GIDL-Effekt. Bei einem ausreichend hohen Potentialunterschied

zwischen Gate und Drain ist der Strom I_{GIDL} größer als der Sperrstrom der Drain-Bulk Diode I_{Rev} . Dadurch dominiert der Strom I_{GIDL} den Off-Strom des Transistors, was dazu führt, dass dieser mit sinkender Gate-Source Spannung V_{GS} ansteigt.

Dieses Phänomen ist beim Transistor mit Polysilizium-Gate weder beim gemessenen Transistor noch beim Modell zu beobachten (Abb. 6.46(b)). In diesem Fall ist der Strom I_{GIDL} kleiner als der Strom I_{Rev} . Dadurch dominiert der Strom I_{Rev} den Off-Strom des Transistors, was zu einem geradlinigen Verlauf des Stroms führt.

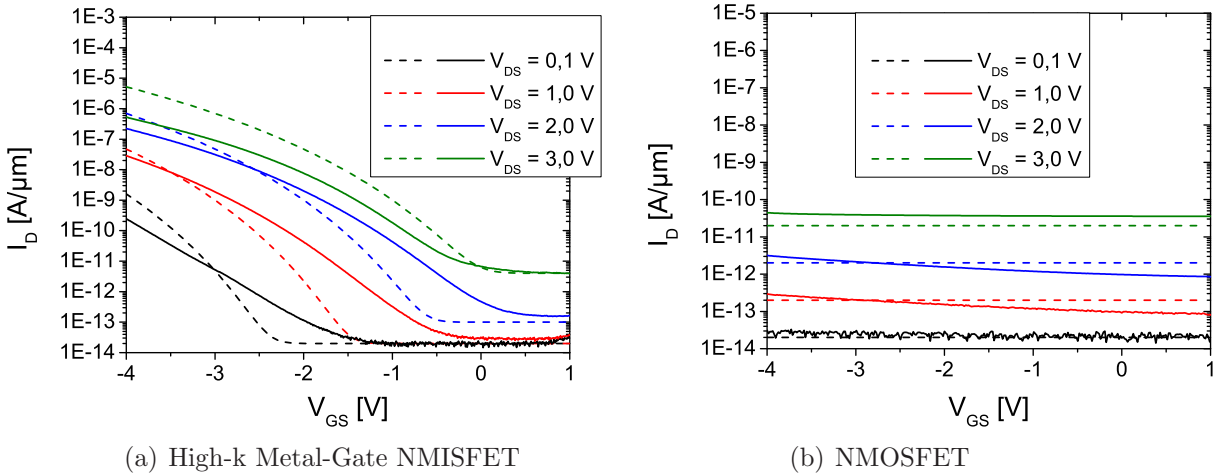


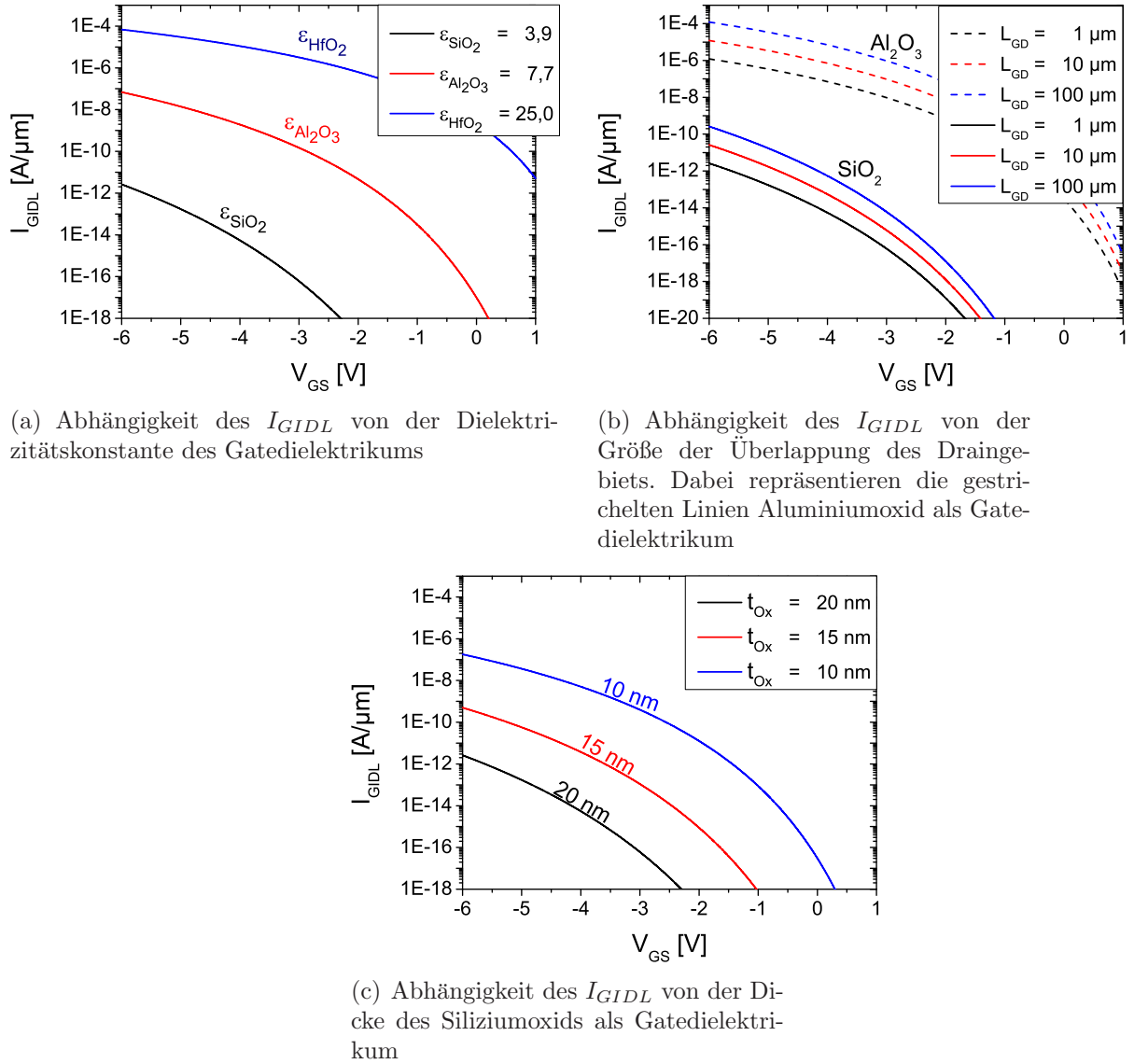
Abbildung 6.46: Vergleich des Off-Stroms mit simuliertem Transistor (gestrichelte Linie)

Ursachen für den Strom I_{GIDL}

Im nächsten Abschnitt wird auf die mögliche Ursache für den I_{GIDL} eingegangen. Der Unterschied dieser beiden Transistoren beläuft sich nicht nur auf den unterschiedlichen Gatestack sondern auch auf den Überlappbereich zwischen Drain und Gate L_{DG} . Betrachtet man die Gleichung 3.19 aus Kapitel 3.2, so hängt der Strom I_{GIDL} sowohl von diesem Überlappbereich als auch von der Dielektrizitätskonstante des Gatedielektrikums ab. Die anderen Parameter können aufgrund der gleichen Prozessierung als konstant bei diesen beiden Transistoren angesehen werden.

Abbildung 6.47(a) zeigt die Abhängigkeit des Stroms I_{GIDL} vom verwendeten Gatedielektrikum. Für alle drei Materialien wird die gleiche physikalische Schichtdicke von 20 nm und die gleiche Länge des Überlappbereichs $L_{DG} = 1 \mu m$ gewählt. Es ist ein deutlicher Anstieg des Stroms I_{GIDL} , verursacht durch die höhere Dielektrizitätskonstante, zu erkennen. Dabei ist der Strom I_{GIDL} bei Aluminiumoxid um ca. 4,5 Dekaden, bei Hafniumoxid HfO_2 um ca. 8,5 Dekaden höher als bei Siliziumoxid. Die höhere Dielektrizitätszahl verursacht ein höheres elektrisches Feld, welches zum Ansteigen des Stroms I_{GIDL} führt.

Abbildung 6.47(b) stellt den Strom I_{GIDL} in Abhängigkeit der Größe des Überlappbereichs zwischen Drain und Gate L_{DG} dar. Es werden die beiden Gatedielektrika Siliziumoxid und Aluminiumoxid verglichen. Es zeigt sich, dass die Länge des Überlappbe-

Abbildung 6.47: Abhängigkeiten des I_{GIDL} bei $V_{DS} = 3\text{ V}$

reichs L_{DG} einen Einfluss auf den Strom I_{GIDL} hat. Dieser ist jedoch im Vergleich zu der Abhängigkeit zur Dielektrizitätskonstante vernachlässigbar.

Der Überlappbereich L_{DG} bei den hergestellten Transistoren ist unterschiedlich. Bei den Polysilizium-Gate Transistoren beträgt er $1\text{ }\mu\text{m}$ bei den Metal-Gate $73,5\text{ }\mu\text{m}$. Dieser Unterschied hat nach Abbildung 6.47(b) nur geringe Auswirkungen (maximal zwei Dekaden) auf das Ergebnis der beiden Bauelemente. Bei einem Überlapp von $L_{DG} = 100\text{ }\mu\text{m}$, einer Drain-Source Spannung $V_{DS} = 3\text{ V}$ und Gate-Source Spannung $V_{GS} = -4\text{ V}$ beträgt der Strom bei Siliziumoxid etwa $I_{GIDL} = 10^{-11} \frac{\text{A}}{\mu\text{m}}$. Dieser Wert ist immer noch deutlich kleiner als der Sperrstrom der Drain-Bulk-Diode I_{Rev} . Dies zeigt, dass auch bei gleichem L_{DG} der Off-Strom, verursacht durch den GIDL-Effekt, nur beim Aluminiumoxid auftreten würde.

Dabei ist zu beachten, dass die bisherigen Untersuchungen auf die in dieser Arbeit hergestellten Transistoren gelten. Abbildung 6.44 zeigt, dass der I_{GIDL} auch bei Transistoren mit Siliziumoxid auftritt. Aus diesem Grund ist in Abbildung 6.47(c) der Strom I_{GIDL} für den in dieser Arbeit hergestellten Polysilizium MOSFET für unterschiedliche Siliziumoxiddicken dargestellt. Die Berechnungen zeigen, dass mit einer abnehmenden Oxiddicke steigt der Strom I_{GIDL} deutlich an. Dies liegt daran, dass durch das dünnere Oxid ein höheres elektrisches Feld anliegt, welches den I_{GIDL} begünstigt. Das bedeutet, würde man anstelle des 20 nm dicken Siliziumoxids, eines mit 10 nm verwenden, würde man nach diesen Berechnungen auch beim Polysilizium MOSFET einen Off-Strom abhängig von der Gate-Source Spannung V_{GS} beobachten. Aus diesem Grund steigt der Off-Strom bei dem in Abbildung 6.44 dargestellten MOSFET aus der Literatur an. Die hier getroffene Erklärung für den Anstieg des Off-Stroms gilt äquivalent auch für den in Kapitel 6.2.2 behandelten p-Kanal high-k Metal-Gate MISFET.

Anzumerken ist, dass der Strom I_{GIDL} immer existiert, wenn ein Überlappbereich zwischen Gate und Drain vorherrscht. Jedoch ist bei einer ausreichenden Dicke von Siliziumoxid der Strom I_{GIDL} gegenüber dem Strom I_{Rev} vernachlässigbar klein. Bei Aluminiumoxid ist der Strom I_{Rev} bei größerem Potentialunterschied zwischen Gate und Drain V_{GD} vernachlässigbar gegenüber dem Strom I_{GIDL} . Dieser Effekt kann leider nicht vermieden, jedoch durch einen kleineren Überlappbereich L_{DG} minimiert werden. Bei negativem Überlapp ist ein Teil des Kanals ohne Gatesteuerwirkung, was zu einem zusätzlichen seriellen Widerstand führt.

Abschließende Bemerkung

Der Vergleich der gemessenen elektrischen Parameter mit den theoretisch erwarteten Werten liefert für die hergestellten Transistoren folgendes Bild:

- Transistoren stimmen mit der Theorie gut überein.
- Ein Unterschied zwischen den Transistoren mit high-k Metal-Gate und denen mit Polysilizium ist bis auf die unterschiedliche Oxidkapazität nicht zu beobachten.
- Mithilfe der analytischen Berechnung von I_{GIDL} können Vorhersagen über den Off-Strom getroffen werden.

Kapitel 7

Zusammenfassung und Ausblick

Im Rahmen dieser Arbeit wurde erstmals am Institut für Physik ein CMOS-Prozess entwickelt und verifiziert. Speziell die Verwendung von Spin-on-Gläsern diente zur kostengünstigen Prozessierung der Transistoren. Der dabei entwickelte Prozess ist, sowohl für klassische Gatestacks aus Polysilizium und Siliziumoxid, als auch für ein high-k Material, wie zum Beispiel Aluminiumoxid, mit metallischer Gateelektrode geeignet.

Dabei muss die Diffusion sowohl für die Source/Drain Gebiete als auch für die Wanne entwickelt werden. Daneben ist auch die ätzresistente Borschicht untersucht worden. Dabei stellt sich heraus, dass diese Schicht bei einer hohen Konzentration von Bor im SOD entsteht. Bei der Untersuchung der Entfernung der BRL stellt sich heraus, dass ein trockenchemisches Ätzverfahren die besten Ergebnisse liefert.

Mit Polysilizium und Siliziumoxid sind am Institut die ersten MOSFETs mit selbstjustierendem Gate hergestellt worden. Dafür war die Entwicklung eines Nitridspacers erforderlich. Für die Strukturierung des Siliziumnitrids erweist sich ein physikalischer Trockenätzprozess als geeignet. Es zeigt sich, dass das Strukturieren des Polysilizium-Gates entscheidende Bedeutung für den Spacer hat. Dabei sind sowohl trockenchemische als auch nasschemische Ätzungen verglichen worden. Festzuhalten ist, dass für einen funktionsfähigen Spacer das Polysilizium aufgrund der hohen Anisotropie mit einem trockenchemischen Tieftemperaturprozess strukturiert werden muss. Die somit hergestellten Transistoren zeigen eine gute Übereinstimmung mit den theoretisch berechneten Werten. Jedoch weisen nur die n-Kanal MOSFETs ein typisches Transistorverhalten auf. Bei den p-Kanal Transistoren konnte nur eine Widerstandsgerade gemessen werden. Da der PMOSFET sich in einer n-dotierten Wanne befindet, kommt es aufgrund einer zu geringen Diffusionszeit der n-dotierten Wanne zu einem Kurzschluss zwischen den Source/Drain Gebieten und dem Substrat.

Beim CMOS-Prozess mit Aluminiumoxid und Metal-Gate konnten sowohl die ersten lateralen high-k Transistoren sowie die ersten CMOS-Inverter am Institut hergestellt werden. Dabei ist ein nichtselbstjustierender Gate Prozess gewählt worden. Das bedeutet, dass nachdem alle Hochtemperaturprozesse abgeschlossen sind, das Gate lithografisch über den Kanal justiert wird. Die so hergestellten Transistoren weisen eine gute Übereinstimmung mit der Theorie auf. Dabei konnte gezeigt werden, dass die Ausbeute für die p-Kanal Transistoren, die im Substrat sitzen, sehr hoch ist. Der von der Gate-Source

Spannung V_{GS} abhängige Off-Strom konnte dem GIDL-Effekt zugeordnet werden. Dabei stellte sich heraus, dass die Wahl des Gatedielektrikums einen größeren Einfluss auf den Effekt hat, als der Überlappbereich zwischen Gate und Drain. Bei den gemessenen Invertern konnte die typische Übertragungskennlinie aufgezeigt werden.

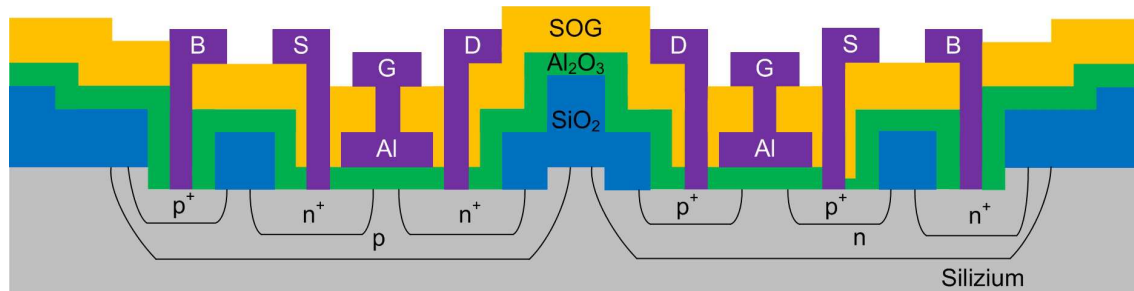


Abbildung 7.1: Zweiwannentechnik

Bei der Herstellung der Transistoren zeigt sich, dass die Wannentechnik noch nicht ausgereift ist. Bei den Polysilizium-Gate Transistoren war die n-Wanne nicht ausreichend tief, bei den Metal-Gate Transistoren war die p-Wanne zu hoch dotiert. Aus diesem Grund sollte für letzteres bei den nächsten Untersuchungen ein Dotierglas mit geringerer Dotierstoffkonzentration gewählt werden. Für die n-Wanne sollte auf die Erfahrungen der p-Wanne zurückgegriffen und der Eintreibschritt angepasst werden. Durch die Entwicklung der beiden Wannen wäre es dann möglich, eine Zwei-Wannentechnik einzusetzen. Abbildung 7.1 zeigt den Querschnitt der Transistoren mit dieser Technik. Dadurch ist es möglich die Einsatzspannung der beiden Transistoren so einzustellen, dass ein symmetrischer Inverter hergestellt werden kann. Dies sollte zu einer Verbesserung der in der Arbeit hergestellten Schaltung führen.

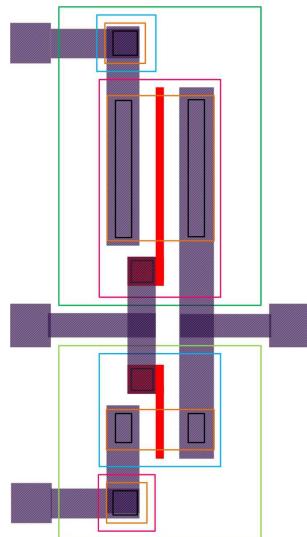


Abbildung 7.2: Überarbeitetes Design für den Inverter

Neben der prozesstechnologischen Verbesserung muss auch das Design überarbeitet werden. Aufgrund der Möglichkeit, dass das Polysilizium mit SOD dotiert wird, kann

dieses für den n-Kanal n++ und für den p-Kanal p++ dotiert werden. Dadurch wird das Einstellen der symmetrischen Einsatzspannung erleichtert. Aus diesem Grund dürfen die beiden Transistoren jedoch nicht über diese Metallebene miteinander verbunden werden, da dies zu einem pn-Übergang führt. Abbildung 7.2 zeigt das verbesserte Design des CMOS-Inverters, bei dem die beiden Gates der Transistoren über die Aluminium-Metallbahn miteinander verbunden sind. Für den Prozess mit Metal-Gate ist diese design technische Verbesserung nicht notwendig. Jedoch muss der Überlappbereich von Gate und Drain minimiert werden. Dies hat zur Folge, dass der GIDL-Strom I_{GIDL} kleiner wird. Dadurch ist eine Verbesserung des Off-Stroms der Transistoren mit high-k Dielektrikum möglich.

Bei der Charakterisierung der integrierten Schaltung ist das dynamische bzw. das Schaltverhalten des Inverters nicht behandelt worden. Dieses bestimmt die Gesamtgeschwindigkeit eines digitalen Systems. Um das Verhalten zu messen, müssen mehrere Inverter zu einem Ringoszillator hintereinander verschaltet werden. In Abbildung 7.3 ist das Design eines Ringoszillators mit drei Invertern dargestellt. Dabei wird der Ausgang des einen Inverters mit dem Eingang des anderen verbunden. Des Weiteren werden alle Inverter mit Hilfe einer Metallbahn geerdet bzw. mit der Versorgungsspannung V_{DD} versorgt. Für diese zusätzliche Schaltung sind keine technologischen Änderungen vor-

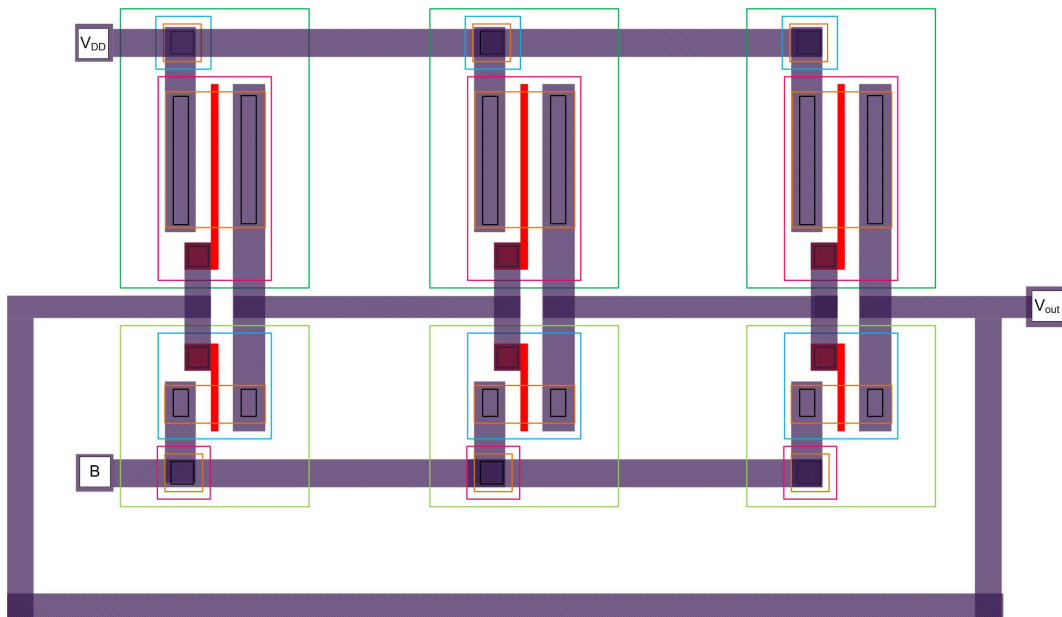


Abbildung 7.3: Design für einen 3-stufigen Ringoszillator

gesehen. Jedoch ändert sich die messtechnische Bestimmung der Kenngrößen. Anders als bei der Bestimmung des statischen Verhaltens des Inverters muss hier ein Spannungssprung angelegt werden. Die charakteristische Größe für das Schaltverhalten ist die Verzögerungszeit τ_d . Diese beschreibt die Zeitdifferenz zwischen dem 50 %-Wert des Eingangssignal und dem 50 %-Wert des Ausgangssignal. Die Verzögerung kommt dadurch zustande, dass eine Lastkapazität beim Schalten der Inverter entladen werden muss. Diese Kapazität entsteht vor allem aufgrund der Leitungsbahnen, die die Inverter

miteinander verbinden und parasitärer Kapazitäten. Durch diese Anordnung wird bestimmt, mit welcher Verzögerungszeit das angelegte Signal am Ausgang angezeigt wird.

Die Entwicklung des CMOS-Ringoszillators soll als Referenz für vertikale CMOS-Transistoren, aber auch für zukünftige Forschungsbaulemente wie TFETs (Tunneling-Field-Effect Transistor) und IMOS (Impact-Ionization-Metal-Oxide-Semiconductor) dienen.

Anhang A

Maskenlayout

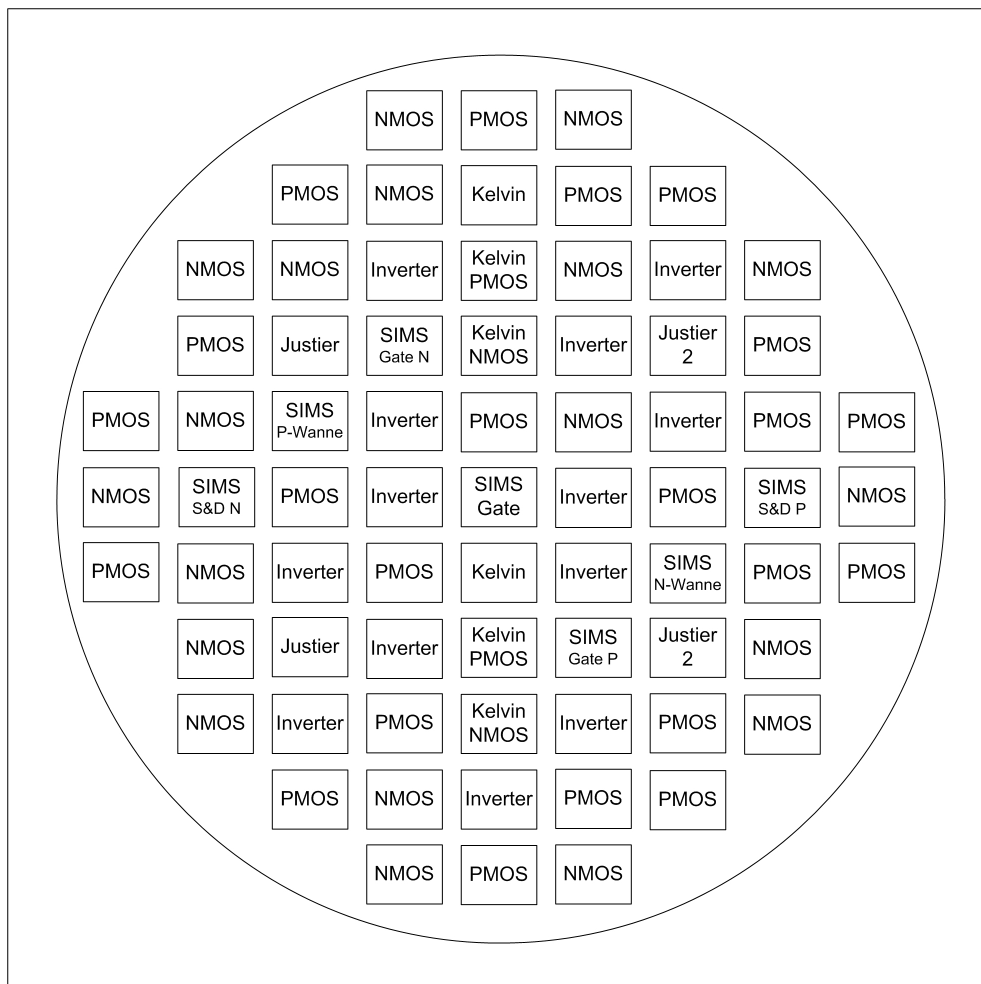


Abbildung A.1: Wafermap

Dieser Abschnitt befasst sich mit dem Maskenlayout für den CMOS-Prozess. Die Masken sind für 4“ Wafer ausgelegt und es werden 8 Masken benötigt. Die Farbcodierung der einzelnen Masken, sowie deren Funktionszweck, sind in Tabelle A.1 dargestellt.

Nr.	Maske	Art	Farbe
1	p-Wanne	Dunkelfeld	hellgrün
2	n-Wanne	Dunkelfeld	dunkelgrün
3	Aktives Gebiet	Dunkelfeld	grau
4	Gate	Hellfeld	rot
5a	Drain/Source PMOSFET	Dunkelfeld	hellrosa
5b	Drain/Source PMOSFET Metal-Gate	Dunkelfeld	rosa
6a	Drain/Source NMOSFET	Dunkelfeld	orange
6b	Drain/Source NMOSFET Metal-Gate	Dunkelfeld	blau
7	Kontaktlöcher	Dunkelfeld	gelb
8	Metallisierung	Hellfeld	violett

Tabelle A.1: Maskensatz Farbcodierung

Die Wafermap der einzelnen Chips ist in Abbildung A.1 abgebildet. Auf dem Wafer befinden sich nur ganze Chips, mit einer Größe von 10,32 mm x 8,3 mm, da durch den so entstandenen Rand eine bessere Prozesskontrolle möglich ist. Die Chips sind dabei mit 100 μ m breiten Sägestraßen voneinander getrennt. In diesen befinden sich teilweise Transistoren und Inverter. Dadurch besteht die Möglichkeit, nach dem Sägen der Chips Querschnitte der Bauteile im REM zu betrachten. Insgesamt befinden sich 71 Chips auf der Maske, die sich gemäß Tabelle A.2 aufteilen.

Abkürzung	Genaue Bezeichnung	Chipanzahl
NMOS	NMOSFET	19
PMOS	PMOSFET	22
Inverter	CMOS-Inverter	13
Justier 1 und 2	Justiermarken und Teststrukturen	4
Kelvin	Teststrukturen Kelvin und van-der-Pauw	6
SIMS	Teststrukturen für SIMS	7

Tabelle A.2: Bezeichnung der Chips

MOSFETs

In den einzelnen Transistorchips befinden sich jeweils 6 Bauelemente. Dadurch ergibt sich eine Gesamtzahl von 114 n-Kanal und 132 p-Kanal Transistoren. Bei beiden beträgt die Kanallänge 280 μ m und die Kanalweite 500 μ m. Die genauen Abmessungen für die Transistoren sind am Beispiel eines n-Kanal MOSFETs in Abbildung A.2 dargestellt. Dabei handelt es sich um den Maskensatz für den Polysiliziumgate-Prozess, da die Source/Drain Maske (orange) den kompletten Gatesteg (rot) überragt. Dadurch ist gegeben, dass das Gate bei der Source/Drain Diffusion mit dotiert wird. Dies gilt äquivalent für den PMOSFET. Zu beachten ist, dass der Bulkbereich mit der Source/Drain Maske des p-Kanals geöffnet wird, um einen besseren Kontakt zu erhalten.

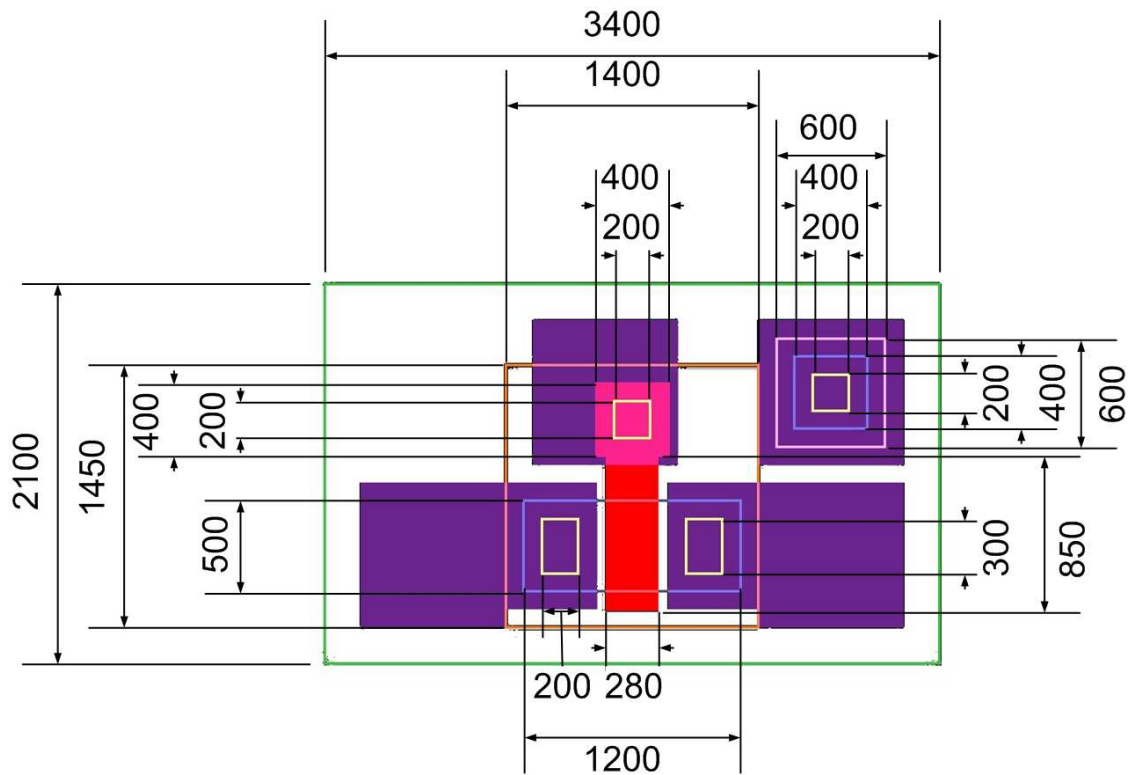


Abbildung A.2: Layout des n-Kanal MOSFETs mit Bemaßung in μm

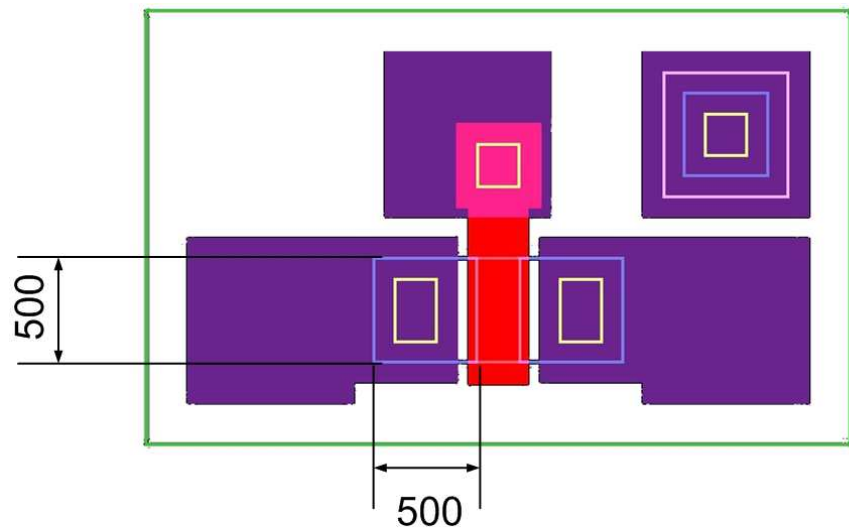


Abbildung A.3: Layout des n-Kanal MISFETs (Metal-Gate) mit Bemaßung in μm

Abbildung A.3 zeigt das Maskenlayout eines MISFETs für den Metal-Gate Prozess. Die Abmessungen sind identisch zum vorher besprochenen Transistor, jedoch wird die Maske 6b für Source/Drain verwendet. Dabei wird nicht der ganze Gatebereich geöffnet. Anhand der Abbildung sieht man den Überlappbereich (blau) zwischen Gate und den Gebieten Source/Drain. Bei allen Transistoren ist die Anordnung und die Größe der Kontaktpads ($400\text{ }\mu\text{m} \times 400\text{ }\mu\text{m}$) konstant. Dadurch können mit einem computergesteuerten Stepper automatisch die Kennlinien der Transistoren aufgezeichnet werden.

Inverter

Im Inverterchip befinden sich zwei identische CMOS-Inverter, was zu insgesamt 26 Schaltungen auf dem Wafer führt. Abbildung A.4 zeigt die Abmessungen, die sich gegenüber den Einzel-MOSFETs unterscheiden. Dabei ist die Kanallänge von $280\text{ }\mu\text{m}$ für beide Transistoren gleich, die Kanalweite beträgt für den NMOSFET $500\text{ }\mu\text{m}$ und für den PMOSFET $1500\text{ }\mu\text{m}$. Der Inverter mit dem Metal-Gate Maskensatz sieht identisch aus, er unterscheidet sich, ähnlich wie bei den Einzel-Transistoren, lediglich bei der Drain/Source Maske.

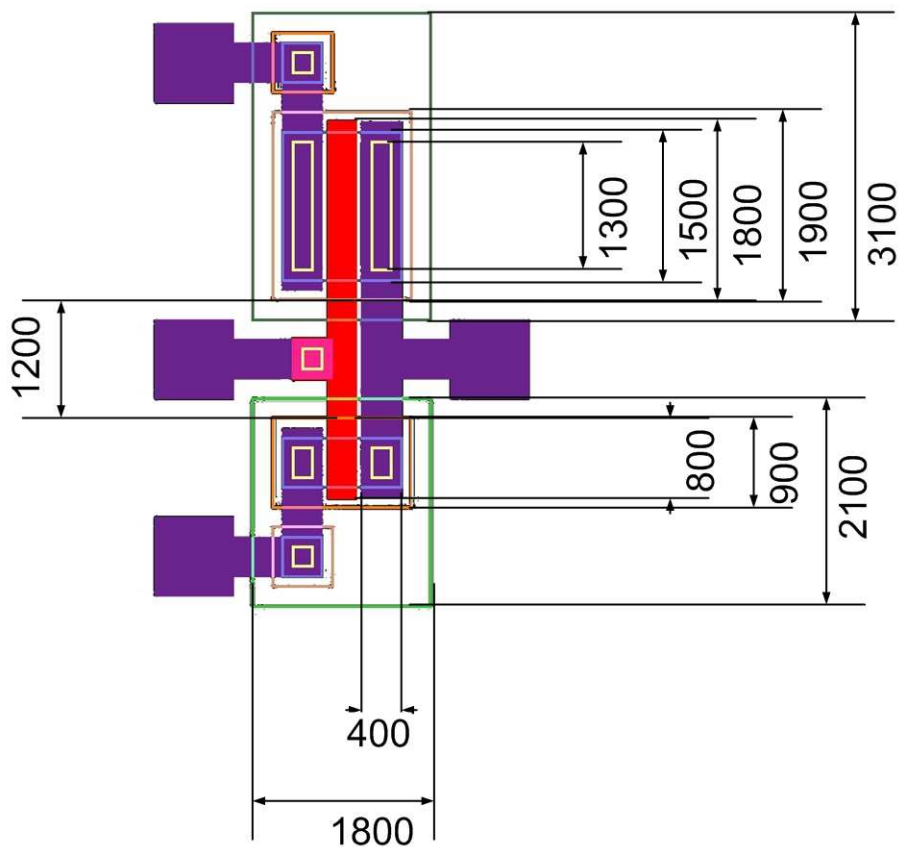


Abbildung A.4: Layout des CMOS-Inverters mit Bemaßung in μm

Jusierkreuze und Teststrukturen

Auf dem Layout befinden sich insgesamt vier Justierchips, in denen sich sowohl Teststrukturen als auch Justierkreuze befinden. Das Design ist so ausgelegt, dass jede Maske auf jede Maske justiert werden kann. Dadurch ist es möglich, nur NMOSFETs oder PMOSFETs herzustellen. Die Wafermap aus Abbildung A.1 zeigt, dass es zwei Justierchips gibt. Diese unterscheiden sich nur anhand der Teststrukturen (Tab. A.3).

Justierchip 1	Teststrukturen für NMOSFET
Justierchip 2	Teststrukturen für PMOSFET

Tabelle A.3: Unterschied der beiden Justierchips

Es befinden sich DEKTAK(Profilometer)-Teststrukturen, MOS-Kapazitäten und Vierpunkt-Messstrukturen in den Chips. Das Design und die Abmessungen der letzten beiden Strukturen ist in Abbildung A.5 dargestellt. Für die Wanne, Source/Drain, Gatemetallisierung und Kontaktmetallisierung sind Vierpunkt-Messstrukturen vorhanden. Bei den MOS-Kapazitäten sind Strukturen, bei denen das Polysilizium mit SOD, aber auch ohne SOD dotiert werden kann vorhanden.

Für die Bestimmung von Kontaktwiderständen sind Kelvin-Strukturen in den sogenannten Kelvin-Chips vorhanden. Das Design und die Abmessungen sind in Abbil-

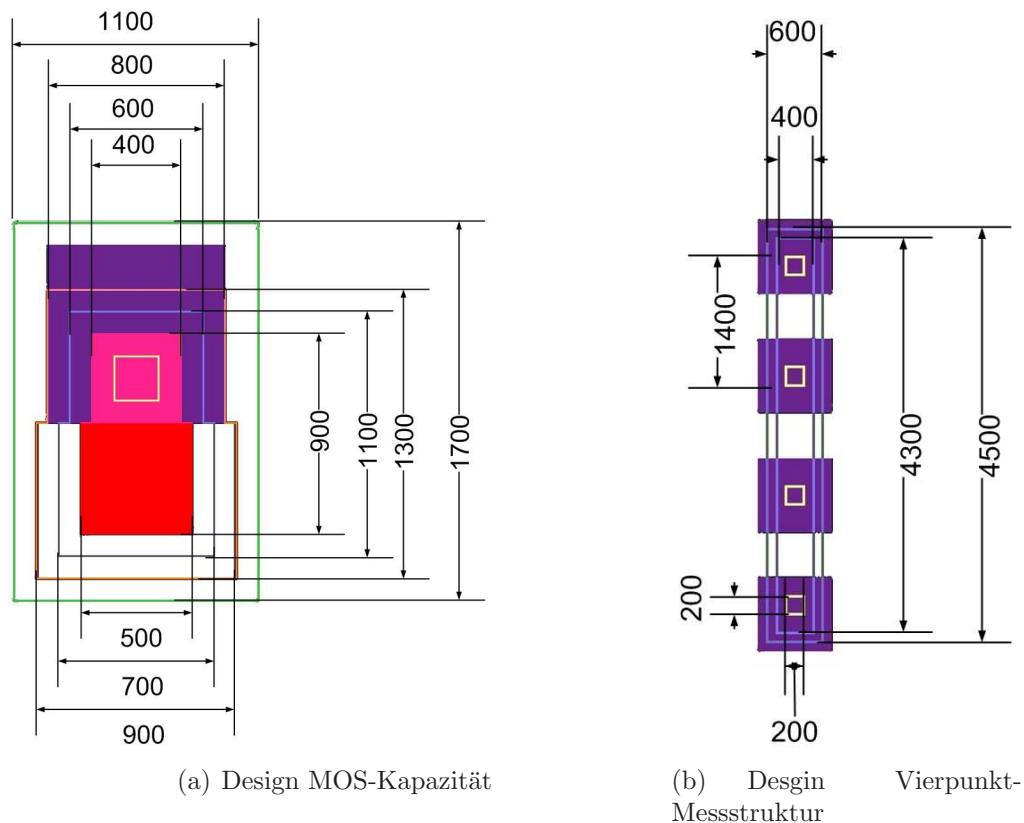


Abbildung A.5: Teststrukturen im Justierchip

dung A.6(a) dargestellt. Dadurch ist es möglich, für die Wanne, Gatemetallisierung und Source/Drain die Kontaktwiderstände zu bestimmen. Für diese Gebiete kann mithilfe der van-der-Pauw Strukturen der Schichtwiderstand bestimmt werden. Diese Strukturen befinden sich in den gleichen Chips. Das Design und die Abmessungen sind in Abbildung A.6 dargestellt.

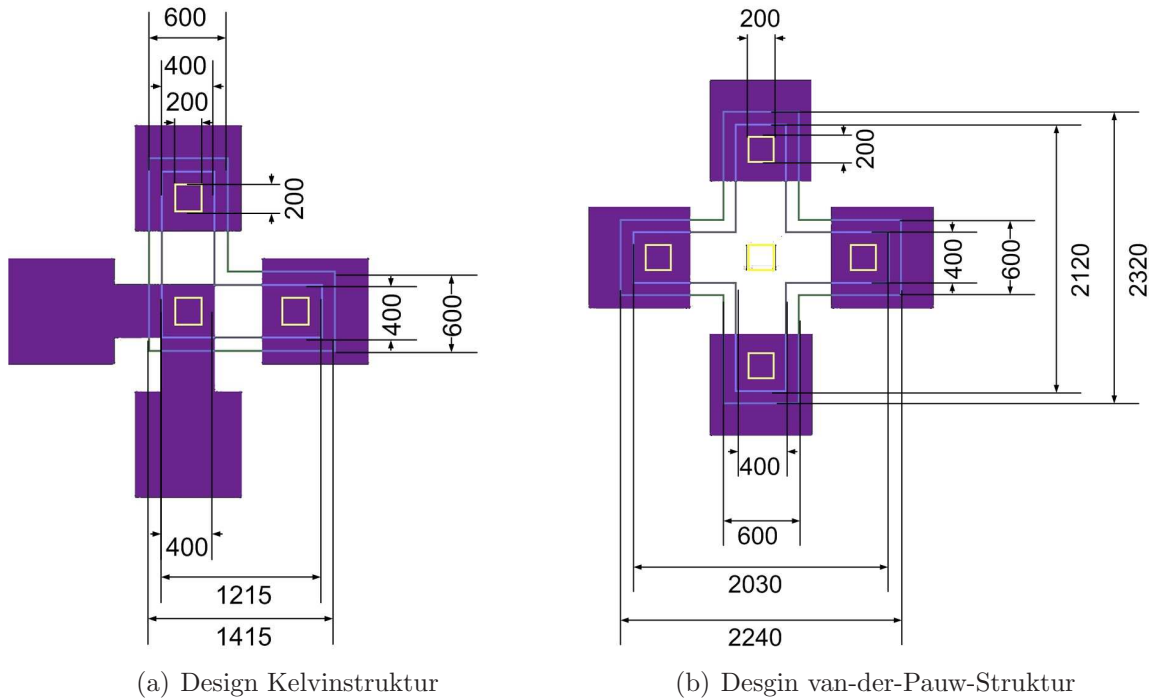


Abbildung A.6: Teststrukturen im Kelvin-Chip

Um nach dem fertigen Prozess Dotierprofile mit dem SIMS zu messen, sind 7 SIMS Strukturen vorhanden. Tabelle A.4 liefert die Erklärung der Abkürzungen der SIMS-Chips aus Abbildung A.1.

SIMS Gate	Gatedielektrikum ohne SOD-Dotierung
SIMS Gate Source/Drain n	n-dotiertes Gatedielektrikum
p-Wanne	p-dotierte Wanne
SIMS Source/Drain n	n-dotiertes Source/Drain auf p-Wanne
SIMS Gate Source/Drain p	p-dotiertes Gatedielektrikum
n-Wanne	n-dotierte Wanne
SIMS Source/Drain p	p-dotiertes Source/Drain auf n-Wanne

Tabelle A.4: Erklärung der SIMS-Strukturen

Anhang B

Prozessparameter

B.0.1 Prozessschritte Selbstjustierender-Gate-Prozess

Vorbereitung		
Wafer	Orientierung Spezifischer Widerstand Dotierung Dicke	100 0,01 - 0,02 Ωcm Bor 525 μm
Thermische Oxidation	Anlage Oxidationstyp Temperatur Zeit Gasflüsse Programm Oxiddicke	Inotherm-Oxidationsofen Nass 950 °C 110 min O ₂ 3 slm H ₂ /N ₂ 5 slm OX950Wet ca. 300 nm
Maske 2 - n-Wanne		
Lithografie	Vorbehandlung Fotolack Aufschleudern Prebake Belichter Belichtungsart	HMDS 5 min ARP-3740 500 U/min für 5 s 4000 U/min für 25 s 2 min bei 100 °C Karl-Süss MA-6 Proximity Alignment gap = 35 Exposure gap = 30 Wec offset = 0 Wec type = spacer

	Belichtungszeit Post exposure bake Entwickler Entwicklungszeit Postbake	7,0 s 2 min bei 120 °C AR-300-475 35 s 5 min bei 120 °C
n-Wanne freilegen	Ätzlösung Zeit	BHF fertig angemischt ca. 5 min
Fotolack entfernen	Lösungen	Isopropanol/Aceton 1:1
n-SOD Aufbringen	SOD Aufschleudern Ausheizen	P505 3000 U/min für 10 s 200 °C für 10 min
Vorbelegung-Diffusion	Anlage Temperatur Zeit Flüsse Programm	ATV-RTP 1050 °C 90 s N ₂ 3 slm O ₂ 1 slm P507-1050°C-90s
Entfernung des SODs	Ätzlösung Zeit	BHF fertig angemischt ca. 1 min
Reinigung	RCA-Clean	RCA1, 10 min, 75 °C RCA2, 10 min, 75 °C
Eintreiben	Anlage Temperatur Zeit Gas Programm	Polyofen-Inotherm 950°C 30 min N ₂ Wannen
Ätzen	Ätzlösung Zeit	BHF fertig angemischt 30 s
Maske 1 - p-Wanne		
Lithografie	Vorbehandlung Fotolack Aufschleudern Prebake Belichter Belichtungsart	HMDS 5 min ARP-3740 500 U/min für 5 s 4000 U/min für 25 s 2 min bei 100 °C Karl-Süss MA-6 Proximity Alignment gap = 35 Exposure gap = 30 Wec offset = 0 Wec type = spacer

	Belichtungszeit Post exposure bake Entwickler Entwicklungszeit Postbake	7,0 s 2 min bei 120 °C AR-300-475 35 s 5 min bei 120 °C
p-Wanne freilegen	Ätzlösung Zeit	BHF fertig angemischt ca. 4:30 min
Fotolack entfernen	Lösungen	Isopropanol/Aceton 1:1
Reinigung	RCA-Clean	RCA1, 10 min, 75 °C RCA2, 10 min, 75 °C
Thermische Oxidation	Anlage Oxidationstyp Temperatur Zeit Gasflüsse Programm Oxiddicke	Inotherm-Oxidationsofen Nass 950 °C 110 min O ₂ 3 slm H ₂ /N ₂ 5 slm OX950Wet ca. 300 nm
Maske 3 - Aktives Gebiet		
Lithografie	Vorbehandlung Fotolack Aufschleudern Prebake Belichter Belichtungsart Belichtungszeit Post exposure bake Entwickler Entwicklungszeit Postbake	HMDS 5 min ARP-3740 500 U/min für 5 s 4000 U/min für 25 s 2 min bei 100 °C Karl-Süss MA-6 Proximity Alignment gap = 35 Exposure gap = 30 Wec offset = 0 Wec type = spacer 7,0 s 2 min bei 120 °C AR-300-475 35 s 5 min bei 120 °C
Aktives Gebiet freilegen	Ätzlösung Zeit	BHF fertig angemischt ca. 5 min
Fotolack entfernen	Lösungen	Isopropanol/Aceton 1:1
Reinigung	RCA-Clean	RCA1, 10 min, 75 °C RCA2, 10 min, 75 °C

	1 % HF-Dip	30 s
Thermische Oxidation	Anlage Zeitbindung Oxidationstyp Temperatur Zeit Gasfluss Programm Oxiddicke	Inotherm-Oxidationsofen Sofort einschleusen Trocken 1000 °C 7 min O ₂ 5 slm Dry1000 ca. 18 nm
Polysilizium-Gate	Anlage Zeitbindung Temperatur Zeit Gasfluss Programm Schichtdicke	Polyofen-Inotherm Sofort einschleusen 625 °C 20 min SiH ₄ 50 sccm UniBW-SiH4-50-625-20min ca. 160 nm
Maske 4 - Gate		
Lithografie	Vorbehandlung Fotolack Aufschleudern Prebake Belichter Belichtungsart Belichtungszeit Post exposure bake Entwickler Entwicklungszeit	Keine ARP-3740 500 U/min für 5 s 4000 U/min für 25 s 2 min bei 100 °C Karl-Süss MA-6 Proximity Alignment gap = 35 Exposure gap = 30 Wec offset = 0 Wec type = spacer 7,0 s 5 min bei 120 °C AR-300-475 35 s
Gate strukturieren	Anlage Temperatur Zeit Gasflüsse Druck Leistung	RIE-Ätzer Oxford -110 °C 30 s SF ₆ 8 sccm O ₂ 1 sccm Ar 6 sccm 7 · 10 ⁻⁶ Torr RF 60 W

	Programm	ICP 300 W UNIBW MESA -110°C 2x Fluss
Fotolack entfernen	Lösungen	Isopropanol/Aceton 1:1
Reinigung	RCA-Clean	RCA1, 10 min, 75 °C RCA2, 10 min, 75 °C
Abscheidung von Silizium- nitrid	Anlage Temperatur Zeit Gasflüsse Programm Schichtdicke	ATV-LPCVD Nitridofen 750 °C 31 min NH ₃ 90 sccm SiH ₂ Cl ₂ 30 sccm Nitrid-750-0.4-31min ca. 45 nm
Siliziumnitrid strukturieren	Anlage Temperatur Zeit Gasfluss Druck Leistung Programm	RIE-Ätzer Oxford 25 °C 85 s Ar 25 sccm 50 mTorr RF 150 W ICP 0 W KTK Spitzen(Ar)
Reinigung	RCA-Clean	RCA1, 10 min, 75 °C RCA2, 10 min, 75 °C
TEOS abscheiden	Anlage Temperatur Zeit Druck Gasflüsse Programm Schichtdicke	ATV-LPCVD-TEOS Ofen 740 °C 30 min 500 mT O ₂ 75 sccm TEOS 0,5 g/min TEOS-740C-500mT-30min- neueKonv ca. 250 nm
Maske 6a - Source/Drain NMOSFET		
Lithografie	Vorbehandlung Fotolack Aufschleudern Prebake Belichter	HMDS 5 min ARP-3740 500 U/min für 5 s 4000 U/min für 25 s 2 min bei 100 °C Karl-Süss MA-6

	Belichtungsart	Proximity Alignment gap = 35 Exposure gap = 30 Wec offset = 0 Wec type = spacer
	Belichtungszeit	7,0 s
	Post exposure bake	2 min bei 120 °C
	Entwickler	AR-300-475
	Entwicklungszeit	35 s
	Postbake	5 min bei 120 °C
Source/Drain NMOSFET freilegen	Ätzlösung	BHF fertig angemischt
	Zeit	ca. 1:15 min
Fotolack entfernen	Lösungen	Isopropanol/Aceton 1:1
n-SOD Aufbringen	SOD	P507
	Aufschleudern	3000 U/min für 10 s
	Ausheizen	200 °C für 10 min
Vorbelegung-Diffusion	Anlage	ATV-RTP
	Temperatur	1050 °C
	Zeit	90 s
	Flüsse	N ₂ 3 slm O ₂ 1 slm
	Programm	P507-1050°C-90s
Entfernung des SODs und des TEOS	Ätzlösung	BHF fertig angemischt
	Zeit	ca. 2:30 min
Reinigung	RCA-Clean	RCA1, 10 min, 75 °C RCA2, 10 min, 75 °C
TEOS abscheiden	Anlage	ATV-LPCVD-TEOS Ofen
	Temperatur	740 °C
	Zeit	30 min
	Druck	500 mT
	Gasflüsse	O ₂ 75 sccm TEOS 0,5 g/min
	Programm	TEOS-740C-500mT-30min- neueKonv
	Schichtdicke	ca. 250 nm
Maske 5a - Source/Drain PMOSFET		
Lithografie	Vorbehandlung	HMDS 5 min
	Fotolack	ARP-3740

	Aufschleudern Prebake Belichter Belichtungsart Belichtungszeit Post exposure bake Entwickler Entwicklungszeit Postbake	500 U/min für 5 s 4000 U/min für 25 s 2 min bei 100 °C Karl-Süss MA-6 Proximity Alignment gap = 35 Exposure gap = 30 Wec offset = 0 Wec type = spacer 7,0 s 2 min bei 120 °C AR-300-475 35 s 5 min bei 120 °C
Source/Drain freilegen	PMOSFET Ätzlösung	BHF fertig angemischt
	Zeit	ca. 1:15 min
Fotolack entfernen	Lösungen	Isopropanol/Aceton 1:1
p-SOD Aufbringen	SOD Aufschleudern Ausheizen	B155 3000 U/min für 10 s 200 °C für 10 min
Vorbelegung-Diffusion	Anlage Temperatur Zeit Flüsse Programm	ATV-RTP 1050 °C 90 s N ₂ 0 slm O ₂ 1 slm B155-1050°C-90s
Entfernung des SODs	Ätzlösung Zeit	5 %HF (HF:H ₂ O = 1:10) ca. 1:15 min
Entfernung des TEOS	Ätzlösung Zeit	BHF fertig angemischt ca. 1:30 min
Reinigung	RCA-Clean	RCA1, 10 min, 75 °C RCA2, 10 min, 75 °C
Abscheidung von Silizium-nitrid	Anlage Temperatur Zeit Gasflüsse Programm	ATV-LPCVD Nitridofen 750 °C 45 min NH ₃ 90 sccm SiH ₂ Cl ₂ 30 sccm Nitrid-750-0.4-45min

	Schichtdicke	ca. 70 nm
Maske 7 - Kontaktlöcher		
Lithografie	Vorbehandlung Fotolack Aufschleudern Prebake Belichter Belichtungsart Belichtungszeit Post exposure bake Entwickler Entwicklungszeit Postbake	HMDS 5 min ARP-3740 500 U/min für 5 s 4000 U/min für 25 s 2 min bei 100 °C Karl-Süss MA-6 Proximity Alignment gap = 35 Exposure gap = 30 Wec offset = 0 Wec type = spacer 7,0 s 2 min bei 120 °C AR-300-475 35 s 5 min bei 120 °C
Siliziumnitrid strukturieren	Anlage Temperatur Zeit Gasfluss Druck Leistung Programm	RIE-Ätzer Oxford 25 °C 2 min O ₂ 4 sccm CHF ₃ 50 sccm 50 mTorr RF 150 W ICP 0 W UNIBW Si ₃ N ₄ -100nm
Fotolack entfernen	Lösungen	Isopropanol/Aceton 1:1
Reinigung	Caro-Clean 1 % HF-Dip	H ₂ SO ₄ :H ₂ O ₂ , 3:1, 10 min, 95 °C 60 s
Metallisierung	Titan Anlage Zeitbindung Vorsputtern Prozesszeit Gas Druck DC Rotation	Leybold-Sputteranlage Sofort einschleusen 3 min 6 min Ar 8 · 10 ⁻³ mbar 350 V Ein

Titanitrid	Schichtdicke	ca. 10 nm
	Vorsputtern	5 min
	Prozesszeit	45 min
	Gas	Ar
		N ₂
	Druck	1,2 · 10 ⁻² mbar
	DC-Bias	50 V
	RF	1,5 kW
	Rückwärtsleistung	< 15 W
	Rotation	Ein
Aluminium	Schichtdicke	ca. 100 nm
	Vorsputtern	3 min
	Prozesszeit	30 min
	Gas	Ar
	Druck	8 · 10 ⁻³ mbar
	DC	350 V
	Rotation	Ein
	Schichtdicke	ca. 300 nm
Maske 8 - Metallisierung		
Lithografie	Vorbehandlung	Keine
	Fotolack	ARP-3840
	Aufschleudern	500 U/min für 5 s 4000 U/min für 25 s
	Prebake	2 min bei 100 °C
	Belichter	Karl-Süss MA-6
	Belichtungsart	Proximity
		Alignment gap = 35 Exposure gap = 30 Wec offset = 0 Wec type = spacer
	Belichtungszeit	6,5 s
	Post exposure bake	2 min bei 120 °C
	Entwickler	AR-300-475
	Entwicklungszeit	40 s
	Postbake	5 min bei 120 °C
Aluminium strukturieren	Ätzlösung	Phosphorsäureätzmischung (PNA) fertig angemischt

	Temperatur Zeit	55 °C ca. 2:00 min
Titan/Titannitrid strukturieren	Ätzlösung Temperatur Zeit	H ₂ O:H ₂ O ₂ :NH ₃ , 7:2:1, 50 g Kieselsäure 55 °C ca. 2:30 min
Fotolack entfernen	Lösungen	Isopropanol/Aceton 1:1
Rückseitenmetallisierung		
Schutzschicht für Vorderseite	Schutzlack Aufschleudern Prebake	ARP-3740 500 U/min für 5 s 1500 U/min für 25 s 5 min bei 130 °C
Siliziumnitrid entfernen	Anlage Temperatur Zeit Gasfluss Druck Leistung Programm	RIE-Ätzer Oxford 25 °C 3:20 min O ₂ 4 sccm CHF ₃ 50 sccm 50 mTorr RF 150 W ICP 0 W UNIBW Si ₃ N ₄ -100nm
Entfernung des Polysiliziums	Ätzlösung Zeit	NH ₄ F:HNO ₃ :H ₂ O, 1:24:12 ca. 1:00 min
Entfernung des Siliziumoxids	Ätzlösung Zeit	BHF fertig angemischt ca. 1:30 min
Fotolack entfernen	Lösungen	Isopropanol/Aceton 1:1
Aluminium abscheiden	Anlage Vorsputtern Prozesszeit Gas Druck DC Rotation Schichtdicke	Leybold-Sputteranlage 3 min 30 min Ar 8 · 10 ⁻³ mbar 350 V Ein ca. 300 nm
Formiergastempern		
Tempern	Anlage Temperatur	Temperofen Inotherm 350 °C

	Zeit	35 min
	Gasflüsse	N ₂ 5 slm H ₂ 250 sccm
	Programm	FGAS350

Tabelle B.1: Prozessschritte Selbstjustierender Gate-Prozess**B.0.2 Prozessschritte Metal-Gate-Prozess**

Vorbereitung		
Wafer	Orientierung Spezifischer Widerstand Dotierung Dicke	100 1 - 5 Ω cm Phosphor 525 μ m
Thermische Oxidation	Anlage Oxidationstyp Temperatur Zeit Gasflüsse Programm Oxiddicke	Inotherm-Oxidationsofen Nass 950 °C 110 min O ₂ 3 slm H ₂ /N ₂ 5 slm OX950Wet ca. 300 nm
Maske 1 - p-Wanne		
Lithografie	Vorbehandlung Fotolack Aufschleudern Prebake Belichter Belichtungsart Belichtungszeit Post exposure bake Entwickler Entwicklungszeit Postbake	HMDS 5 min ARP-3740 500 U/min für 5 s 4000 U/min für 25 s 2 min bei 100 °C Karl-Süss MA-6 Proximity Alignment gap = 35 Exposure gap = 30 Wec offset = 0 Wec type = spacer 7,0 s 2 min bei 120 °C AR-300-475 25 s 5 min bei 120 °C
p-Wanne freilegen	Ätzlösung	BHF fertig angemischt

	Zeit	ca. 4:40 min
Fotolack entfernen	Lösungen	Isopropanol/Aceton 1:1
p-SOD Aufbringen	SOD Aufschleudern Ausheizen	B153 3000 U/min für 10 s 200 °C für 10 min
Vorbelegung-Diffusion	Anlage Temperatur Zeit Flüsse Programm	ATV-RTP 950 °C 6 min N ₂ 0 slm O ₂ 1 slm B153-950°C-6min
Entfernung des SODs	Ätzlösung Zeit	5 %HF (HF:H ₂ O = 1:10) ca. 2:00 min
Maske 2 - n-Wanne		
Lithografie	Vorbehandlung Fotolack Aufschleudern Prebake Belichter Belichtungsart Belichtungszeit Post exposure bake Entwickler Entwicklungszeit Postbake	HMDS 5 min ARP-3740 500 U/min für 5 s 4000 U/min für 25 s 2 min bei 100 °C Karl-Süss MA-6 Proximity Alignment gap = 35 Exposure gap = 30 Wec offset = 0 Wec type = spacer 7,0 s 2 min bei 120 °C AR-300-475 25 s 5 min bei 120 °C
n-Wanne freilegen	Ätzlösung Zeit	BHF fertig angemischt ca. 4:00 min
Fotolack entfernen	Lösungen	Isopropanol/Aceton 1:1
Reinigung	RCA-Clean	RCA1, 10 min, 75 °C RCA2, 10 min, 75 °C
Thermische Oxidation und Eintreiben von Bor	Anlage Oxidationstyp Temperatur Zeit	Inotherm-Oxidationsofen Nass 950 °C 110 min

	Gasflüsse	O ₂ 3 slm H ₂ /N ₂ 5 slm
	Oxiddicke	ca. 300 nm
	Temperatur	1050 °C
	Zeit	180 min
	Gasfluss	N ₂ 9,5 slm
	Programm	OX950Wet-1050N2
Maske 6b - Source/Drain NMOSFET		
Lithografie	Vorbehandlung Fotolack Aufschleudern Prebake Belichter Belichtungsart Belichtungszeit Post exposure bake Entwickler Entwicklungszeit Postbake	HMDS 5 min ARP-3740 500 U/min für 5 s 4000 U/min für 25 s 2 min bei 100 °C Karl-Süss MA-6 Proximity Alignment gap = 35 Exposure gap = 30 Wec offset = 0 Wec type = spacer 7,0 s 2 min bei 120 °C AR-300-475 25 s 5 min bei 120 °C
Source/Drain NMOSFET freilegen	Ätzlösung Zeit	BHF fertig angemischt ca. 4:40 min
Fotolack entfernen	Lösungen	Isopropanol/Aceton 1:1
n-SOD Aufbringen	SOD Aufschleudern Ausheizen	P507 3000 U/min für 10 s 200 °C für 10 min
Vorbelegung-Diffusion	Anlage Temperatur Zeit Flüsse Programm	ATV-RTP 1050 °C 10 s N ₂ 3 slm O ₂ 1 slm P507-1050°C-10s
Entfernung des SODs	Ätzlösung Zeit	BHF fertig angemischt ca. 1:15 min
Reinigung	RCA-Clean	RCA1, 10 min, 75 °C

		RCA2, 10 min, 75 °C
TEOS abscheiden	Anlage Temperatur Zeit Druck Gasflüsse Programm Schichtdicke	ATV-LPCVD-TEOS Ofen 740 °C 30 min 500 mT O ₂ 75 sccm TEOS 0,5 g/min TEOS-740C-500mT-30min- neueKonv ca. 250 nm
Maske 5b - Source/Drain PMOSFET		
Lithografie	Vorbehandlung Fotolack Aufschleudern Prebake Belichter Belichtungsart Belichtungszeit Post exposure bake Entwickler Entwicklungszeit Postbake	HMDS 5 min ARP-3740 500 U/min für 5 s 4000 U/min für 25 s 2 min bei 100 °C Karl-Süss MA-6 Proximity Alignment gap = 35 Exposure gap = 30 Wec offset = 0 Wec type = spacer 7,0 s 2 min bei 120 °C AR-300-475 25 s 5 min bei 120 °C
Source/Drain PMOSFET freilegen	Ätzlösung Zeit	BHF fertig angemischt ca. 5:20 min
Fotolack entfernen	Lösungen	Isopropanol/Aceton 1:1
p-SOD Aufbringen	SOD Aufschleudern Ausheizen	B155 3000 U/min für 10 s 200 °C für 10 min
Vorbelegung-Diffusion	Anlage Temperatur Zeit Flüsse Programm	ATV-RTP 1050 °C 10 s N ₂ 0 slm O ₂ 1 slm B155-1050°C-10s

Entfernung des SODs	Ätzlösung Zeit	5 %HF (HF:H ₂ O = 1:10) ca. 1:15 min
BRL entfernen	Anlage Temperatur Zeit Gasfluss Druck Leistung Programm	RIE-Ätzer Oxford 25 °C 20 s O ₂ 4 sccm CHF ₃ 50 sccm 50 mTorr RF 150 W ICP 0 W UNIBW Si ₃ N ₄ -100nm
Entfernung des TEOS	Ätzlösung Zeit	BHF fertig angemischt ca. 45 s
Maske 3 - Aktives Gebiet		
Lithografie	Vorbehandlung Fotolack Aufschleudern Prebake Belichter Belichtungsart Belichtungszeit Post exposure bake Entwickler Entwicklungszeit Postbake	HMDS 5 min ARP-3740 500 U/min für 5 s 4000 U/min für 25 s 2 min bei 100 °C Karl-Süss MA-6 Proximity Alignment gap = 35 Exposure gap = 30 Wec offset = 0 Wec type = spacer 7,0 s 2 min bei 120 °C AR-300-475 25 s 5 min bei 120 °C
Aktives Gebiet freilegen	Ätzlösung Zeit	BHF fertig angemischt ca. 3 min
Fotolack entfernen	Lösungen	Isopropanol/Aceton 1:1
Reinigung	RCA-Clean	RCA1, 10 min, 75 °C RCA2, 10 min, 75 °C
Aluminiumoxid abscheiden	Anlage Zeitbindung Flash Anneal Temperatur Zyklen	ALD-ATV Sofort einschleusen 400 °C, 30 s 200 °C 150

	Spülen Programm	15 s, N ₂ , 100 sccm, Flash Anneal 400°C 30s, mit 150 Zyklen, 200°C, 0.5TMA+H ₂ O, 10+5s spülen@100sccm
	Schichtdicke	ca. 15 nm
Aluminium-Gate	Anlage Zeitbindung Druck Rotation Aufdampfanzahl Schichtdicke	Balzers-Aufdampfanlage Sofort einschleusen 2 · 10 ⁻⁵ mbar Aus 2 ca. 700 nm
Maske 4 - Gate		
Lithografie	Vorbehandlung Fotolack Aufschleudern Prebake Belichter Belichtungsart Belichtungszeit Post exposure bake Entwickler Entwicklungszeit Postbake	Keine ARP-3740 500 U/min für 5 s 4000 U/min für 25 s 2 min bei 100 °C Karl-Süss MA-6 Proximity Alignment gap = 35 Exposure gap = 30 Wec offset = 0 Wec type = spacer 6,0 s 2 min bei 120 °C AR-300-475 30 s 5 min bei 120 °C
Gate strukturieren	Ätzlösung Temperatur Zeit	Phosphorsäureätzmischung (PNA) fertig angemischt 22 °C ca. 21:00 min
Tempern	Anlage Zeitbindung Temperatur Zeit Gasflüsse Programm	Temperofen Inotherm Sofort einschleusen 350 °C 35 min N ₂ 5 slm H ₂ 250 sccm FGAS350

Passivierung	SOG Aufschleudern Ausheizen Aushärten Temperatur Zeit Gasfluss Programm	21F 3000 U/min für 10 s 80 °C für 1 min 150 °C für 1 min 250 °C für 1 min Anlage ATV-RTP 400 °C 30 min N ₂ 3 slm Ausheizen-400°C
--------------	--	--

Maske 7 - Kontaktlöcher

Lithografie	Vorbehandlung Fotolack Aufschleudern Prebake Belichter Belichtungsart Belichtungszeit Post exposure bake Entwickler Entwicklungszeit Postbake	Keine ARP-3740 500 U/min für 5 s 4000 U/min für 25 s 2 min bei 100 °C Karl-Süss MA-6 Proximity Alignment gap = 35 Exposure gap = 30 Wec offset = 0 Wec type = spacer 7,0 s 2 min bei 120 °C AR-300-475 30 s 5 min bei 120 °C
Strukturieren des SOGs	Ätzlösung Zeit	5 %HF (HF:H ₂ O = 1:10) ca. 35 s
Fotolack entfernen	Lösungen	Isopropanol/Aceton 1:1
Aluminium	Anlage Zeitbindung Druck Rotation Aufdampfanzahl Schichtdicke	Balzers-Aufdampfanlage Sofort einschleusen $2 \cdot 10^{-5}$ mbar Ein 2 ca. 500 nm

Maske 8 - Metallisierung

Lithografie	Vorbehandlung Fotolack	Keine ARP-3740
-------------	---------------------------	-------------------

	Aufschleudern Prebake Belichter Belichtungsart Belichtungszeit Post exposure bake Entwickler Entwicklungszeit Postbake	400 U/min für 5 s 4000 U/min für 25 s 2 min bei 100 °C Karl-Süss MA-6 Proximity Alignment gap = 35 Exposure gap = 30 Wec offset = 0 Wec type = spacer 6,0 s 2 min bei 120 °C AR-300-475 30 s 5 min bei 120 °C
Aluminium strukturieren	Ätzlösung Temperatur Zeit	Phosphorsäureätzmischung (PNA) fertig angemischt 25 °C ca. 9:00 min
Fotolack entfernen	Lösungen	Isopropanol/Aceton 1:1
Rückseitenmetallisierung		
Entfernung Natürlichesoxid	1 % HF-Dip	20 s
Aluminium	Anlage Zeitbindung Druck Rotation Aufdampfanzahl Schichtdicke	Balzers-Aufdampfanlage Sofort einschleusen $2 \cdot 10^{-5}$ mbar Ein 1 ca. 250 nm

Tabelle B.2: Prozessschritte Metal-Gate-Prozess

Anhang C

Konstanten

Symbol	Bedeutung	Zahlenwert	Einheit
E_g	Bandabstand von Silizium	1,1	eV
\hbar	Reduziertes Planck'sches Wirkungsquantum	$1,05 \cdot 10^{-34}$	Js
k	Boltzmann-Konstante	$1,38 \cdot 10^{-23}$	J/K
n_i	Intrinsische Ladungsträgerdichte bei 300 K	$1,5 \cdot 10^{10}$	$1/\text{cm}^3$
q	Elementarladung	$1,602 \cdot 10^{-19}$	C
V_{Th}	Temperaturspannung bei 300 K	0,026	V
ϵ_0	Dielektrizitätskonstante des Vakuums	$8,854 \cdot 10^{-14}$	F/cm
$\epsilon_{Al_2O_3}$	Relative Dielektrizitätskonstante des Aluminiumoxids	7,7	
ϵ_{HfO_2}	Relative Dielektrizitätskonstante des Hafniumoxids	25,0	
ϵ_{Si}	Relative Dielektrizitätskonstante des Siliziums	11,9	
ϵ_{SiO_2}	Relative Dielektrizitätskonstante des Siliziumoxids	3,9	
τ_{Gen}	Zeitkonstante der Generation-Rekombination	0,001	s

Formelzeichen

Symbol	Erklärung	Einheit
a	Geometrischer Parameter	1
A	Fläche	m^2
A_0	Faktor beim GIDL-Strom	$1/\text{sV}^2\text{m}$
A_{Diode}	pn-Diodenfläche	m^2
C_{FB}	Flachbandkapazität	F
C_{Ges}	Gesamtkapazität	F
C'_{it}	Flächennormierte Grenzflächenzustandskapazität	F/m^2
C_{it}	Grenzflächenzustandskapazität	F
C_{korr}	Korrigierte Oxidkapazität	F
C_{m}	Gemessene Oxidkapazität	F
C_{ma}	Gemessene Oxidkapazität in Akkumulation	F
C'_{ov}	Flächennormierte Überlappkapazität	F/m^2
C'_{Ox}	Flächennormierte Oxidkapazität	F/m^2
C_{Ox}	Oxidkapazität	F
C'_{p}	Flächennormierte parasitären Kapazitäten	F/m^2
C'_{Sc}	Flächennormierte Raumladungskapazität	F/m^2
C_{Sc}	Raumladungskapazität	F
CET	Äquivalente kapazitiv gemessene Dicke	m
$D_{\text{A,D}}$	Diffusionskonstante des p, n Dotierstoffes	m^2/s
D_{e}	Diffusionskonstante der Elektronen	m^2/s
D_{i}	Intrinsische Diffusionskonstante	m^2/s
D_{it}	Grenzflächenzustandsdichte	$1/\text{eVm}^2$
D_{h}	Diffusionskonstante der Löcher	m^2/s
E_0	Faktor beim GIDL-Strom	V/m
E_{C}	Energieniveau der Leitungsbandkante	eV
E_{eff}	Effektive Feldstärke	V/m
E_{F}	Fermienergie	eV
E_{g}	Bandlücke	eV
E_{i}	Intrinsische Fermienergie im Halbleiter	eV

E_{\max}	Maximale Elektrische Feldstärke	V/m
E_{Si}	Elektrische Feldstärke in der Verarmungszone	V/m
E_{V}	Energieniveau der Valenzbandkante	eV
EOT	Äquivalente Oxiddicke	m
f	Frequenz	1/s
f_{D}	Skalierungsfaktor zur Bestimmung der Grenzflächenzustandsdichte	1
f_{HF}	Hochfrequenz	Hz
f_{LF}	Niederfrequenz	Hz
G_{it}	Leitwert eines Grenzflächenzustands	S
G_{korr}	Korrigierter Leitwert	S
G_{m}	Gemessener Leitwert	S
G_{ma}	Gemessener Leitwert in Akkumulation	S
G_{max}	Maximaler Leitwert	S
g_{m}	Gegenleitwert	S
$g_{\text{m,max}}$	Maximaler Gegenleitwert	S
\hbar	Reduziertes Planck'sches Wirkungsquantum	Js
I	Gesamtstrom des Inverters	A
I_{B}	Bulkstrom	A
I_{D}	Drainstrom	A
I_{Dn}	Drainstrom des NMOSFETs	A
I_{Dp}	Drainstrom des PMOSFETs	A
I_{DSat}	Drainsättigungsstrom	A
I_{DSatn}	Drainsättigungsstrom des NMOSFETs	A
I_{DSatp}	Drainsättigungsstrom des PMOSFETs	A
I_{DSn}	Drain-Source Strom des NMOSFETs	A
I_{DSp}	Drain-Source Strom des PMOSFETs	A
I_{Gen}	Generations-Rekombinations-Sperrstrom	A
I_{GIDL}	GIDL-Strom	A
I_{Off}	Off-Strom	A
I_{On}	On-Strom	A
I_{Rev}	Sperrstrom	A
I_{So}	Diffusions-Sperrstrom	A
I_{stat}	Statischer Strom	A
I_{Sub}	Subthreshold Strom	A
I_{Tunn}	Tunnelstrom	A
k	Boltzmann-Konstante	J/K
K_1	Dimensionslose Konstante	1
L	Kanallänge	m
L'	Effektive Kanallänge	m

L_{DG}	Länge des Überlappbereichs zwischen Gate/Drain	m
L_e	Diffusionslänge der Elektronen	m
L_{eff}	Effektive Kanallänge	m
L_h	Diffusionslänge der Löcher	m
L_M	Kanallänge Maske	m
L_n	Kanallänge des NMOSFETs	m
L_p	Kanallänge des PMOSFETs	m
m^*	Effektive Elektronenmasse	kg
N_A	P-Dotierstoffkonzentration	$1/m^3$
$N_{A,D}$	p, n Dotierstoffkonzentration	$1/m^3$
N_D	N-Dotierstoffkonzentration	$1/m^3$
N_{Drain}	Dotierstoffkonzentration des Draingebiets	$1/m^3$
n_i	Intrinsische Ladungsträgerdichte	$1/m^3$
$N_{S_{A,D}}$	Löslichkeitsgrenze des p, n Dotierstoffs	$1/m^3$
NM_H	Noise Margin (Störabstand) High	V
NM_L	Noise Margin (Störabstand) Low	V
P_{stat}	Statischer Leistungsverbrauch	W
q	Elementarladung	C
Q	Belegungsdichte der dotierten Schicht	$1/m^2$
Q_f	Feste Ladungen im Gateoxid	C
Q'_f	Feste Ladungen im Gateoxid, flächennormiert	C/m^2
Q'_{Gate}	Flächennormierte Ladung der Gateelektrode	C/m^2
Q'_{Inv}	Flächennormierte Inversionsladungsträgerdichte im Kanal	C/m^2
Q_{it}	Grenzflächenladungen	C
Q'_{it}	Grenzflächenladungen, flächennormiert	C/m^2
Q'_m	Mobile Ladungen im Gateoxid, flächennormiert	C/m^2
Q_{ot}	Im Oxid gefangene Ladung	C
Q'_{ot}	Im Oxid gefangene Ladung, flächennormiert	C/m^2
Q'_{Sc}	Inversionsladungsträgerdichte im Kanal, flächennormiert	C/m^2
R_{Ges}	Gesamtwiderstand	Ω
R_{Kanal}	Kanalwiderstand	Ω
R_S	Serieller Widerstand	Ω
R_{SD}	Source/Drain Widerstand	Ω
S	Unterschwelsteigung	mV/dek
T	Temperatur	K
t	Zeit	s
t_{Ox}	Oxiddicke	m
$t_{phy,high-k}$	Dicke des high-k Dielektrikums	m

V_{Band}	Bandverbiegungsspannung	V
V_{DD}	Versorgungsspannung	V
V_{DDmin}	Minimale Versorgungsspannung	V
V_{DG}	Potentialunterschied zwischen Drain und Gate	V
V_{DSATn}	Drain-Source Sättigungsspannung des NMOS-FETs	V
V_{DSATp}	Drain-Source Sättigungsspannung des PMOS-FETs	V
V_{DSn}	Drain-Source Spannung des NMOSFETs	V
V_{DSp}	Drain-Source Spannung des PMOSFETs	V
V_{FB}	Flachbandspannung	V
V_{GB}	Gate-Bulk Spannung	V
$V_{\text{GB,max}}$	Maximale Gate-Bulk Spannung	V
V_{GSn}	Gate-Source Spannung des NMOSFETs	V
V_{GSp}	Gate-Source Spannung des PMOSFETs	V
V_{IH}	Eingangsspannung Hoch	V
V_{IL}	Eingangsspannung Niedrig	V
V_{in}	Eingangsspannung	V
V_{M}	Schwellspannung	V
V_{OH}	Ausgangsspannung Hoch	V
V_{OL}	Ausgangsspannung Niedrig	V
V_{out}	Ausgangsspannung	V
V_{r}	Sperrspannung	V
V_{T}	Einsatzspannung	V
V_{Th}	Temperaturspannung	V
V_{Tn}	Einsatzspannung des NMOSFETs	V
V_{Tp}	Einsatzspannung des PMOSFETs	V
W	Kanalweite	m
W_{n}	Kanalweite des NMOSFETs	m
W_{p}	Kanalweite des PMOSFETs	m
x_{Sc}	Tiefe der Raumladungszone	m
$x_{\text{Sc,max}}$	Maximale Tiefe der Raumladungszone	m
α	Faktor bei der Beweglichkeitsberechnung	m/V
γ	Faktor bei der Beweglichkeitsberechnung	1
γ_{n}	Substratsteuerfaktor des NMOSFETs	\sqrt{V}
γ_{p}	Substratsteuerfaktor des PMOSFETs	\sqrt{V}
ΔE_{g}	Minimierung des Bandabstands	eV
ΔL	Reduktion der Kanallänge	m
ΔV_{FB}	Verschiebung der Flachbandspannung	V
ϵ_0	Dielektrizitätskonstante	F/m

$\epsilon_{\text{high-k}}$	Relative Dielektrizitätskonstante vom high-k Dielektrikum	1
ϵ_{Ox}	Relative Dielektrizitätskonstante von Oxid	1
ϵ_{Si}	Relative Dielektrizitätskonstante von Silizium	1
ϵ_{SiO_2}	Relative Dielektrizitätskonstante von Siliziumoxid	1
ϑ	Reduktion der Grenzflächenbeweglichkeit	m/V
λ	Kanallängenmodulationsfaktor	1/V
λ_n	Kanallängenmodulationsfaktor des NMOSFETs	1/V
λ_p	Extrinsische Debye-Länge	m
λ_{ph}	Kanallängenmodulationsfaktor des PMOSFETs	1/V
μ	Beweglichkeit der Ladungsträger	m ² /Vs
μ_e	Elektronenbeweglichkeit	m ² /Vs
μ_{eff}	Effektive Beweglichkeit	m ² /Vs
μ_h	Löcherbeweglichkeit	m ² /Vs
μ_n	Elektronenbeweglichkeit beim NMOSFET	m ² /Vs
μ_p	Löcherbeweglichkeit beim PMOSFET	m ² /Vs
μ_s	Grenzflächenbeweglichkeit	m ² /Vs
μ_v	Volumenbeweglichkeit	m ² /Vs
τ_e	Ladungsträgerlebensdauer der Elektronen	s
τ_{Gen}	Zeitkonstante der Generation-Rekombination	s
τ_h	Ladungsträgerlebensdauer der Löcher	s
ϕ_M	Austrittsarbeit Metall	V
ϕ_{MS}	Austrittsarbeitsdifferenz Metall Halbleiter	V
χ_{Si}	Elektronenaffinität von Silizium	V
χ_{SiO_2}	Elektronenaffinität von Siliziumoxid	V
ψ_B	Fermipotential	V
ψ_{B2}	Fermipotential	V
ψ_s	Oberflächenpotential im Halbleiter	V
ω	Kreisfrequenz	1/s

Abkürzungen

Abkürzung	Erklärung
ALD	Atomic Layer Deposition
AR	Allresist
ASIC	Application-Specific Integrated Circuit
B	Bulk
BHF	Gepufferte Flusssäure
BRL	Boron Rich Layer
CET	Capacitance Equivalent Thickness
CMOS	Complementary Metal-Oxide-Semiconductor
CMP	Chemical Mechanical Polishing
CVD	Chemical Vapor Deposition
D	Drain
DC	Direct Current
DI	Deionisiertes Wasser
DK	Relative Dielektrizitätskonstante
DRAM	Dynamic Random Access Memory
DSP	Digital Signal Processor
EOT	Equivalent Oxide Thickness
G	Gate
GIDL	Gate-Induced Drain Leakage
HF	Hochfrequenz
HMDS	Hexamethyldisilazan
ICP	Inductively Coupled Plasma
IMOS	Impact-Ionization-Metal-Oxide-Semiconductor
ITRS	International Technology Roadmap
Kap.	Kapitel
LPCVD	Low Pressure Chemical Vapor Deposition
MIS	Metal-Insulator-Semiconductor
MISFET	Metal-Insulator-Semiconductor Field-Effect-Transistor
MOS	Metal-Oxide-Semiconductor
MOSFET	Metal-Oxide-Semiconductor Field-Effect-Transistor

Abkürzung	Erklärung
LF	Niederfrequenz
NM	Noise Margin
NMISFET	n-Kanal MISFET
NMOSFET	n-Kanal MOSFET
OED	Oxidation Enhanced Diffusion
PMISFET	p-Kanal MISFET
PMOSFET	p-Kanal MOSFET
PNA	Phosphorsäureätzmischung
Poly	Polysilizium
QM	Quantenmechanisch
RCA	Radio Company America
RF	Radio Frequency
RIE	Reactive Ion Etching
RTP	Rapid Thermal Process
S	Source
SIMS	Sekundärionenmassenspektrometrie
SOD	Spin-On-Dopant
SOG	Spin-On-Glass
TFET	Tunneling-Field-Effect Transistor
TEM	Transmission Electron Microscopy
TEOS	Tetraethylorthosilicat
TMA	Trimethylaluminium
TMAH	Tetramethylammoniumhydroxid
VTC	Voltage Transfer Characteristic

Abbildungsverzeichnis

2.1	Schematische Zeichnung einer MOS-Struktur, dabei ist t_{Ox} die Dicke des Gatedielektrikums	3
2.2	Querschnitt einer MOS-Kapazität	4
2.3	Bänderdiagramme einer MOS-Struktur [Sze81]	6
2.4	Hoch- (HF) und Niederfrequenz- (LF) Kapazitätsverlauf eines idealen MOS-Kondensators	7
2.5	Einfluss der Oxidladungen auf die CV-Kurven	9
2.6	Ersatzschaltbilder einer MOS-Struktur	11
3.1	Schematische Zeichnung eines n-Kanal MOSFETs	15
3.2	Banddiagramm eines n-Kanal MOSFETs [Pao66][Sze81]	16
3.3	Typische experimentelle Kennlinien von Langkanaltransistoren	18
3.4	Stromverlauf der Komponenten des Off-Stroms	19
3.5	Querschnitt eines MOSFETs im Sättigungsbereich	24
3.6	Kennlinien und Symbole für verschiedene MOSFET-Typen	25
3.7	Typische experimentelle Kennlinie des Gegenleitwerts g_m	27
3.8	Bestimmung der Einsatzspannung eines Langkanal-MOSFETs	29
3.9	Oxiddicke t_{Ox} aufgetragen über die Akzeptordichte N_A für verschiedene Werte des geometrischen Parameters a [Bre79]	30
3.10	Effektive Beweglichkeit für Elektronen und Löcher [Che96]	32
3.11	Schematische Zeichnung mit Definition der effektiven Kanallänge	33
3.12	Bestimmung der effektiven Kanallänge L_{eff}	34
4.1	Schaltbild und Logiksymbol für einen CMOS-Inverter	36
4.2	Schematische Zeichnung eines CMOS Inverters	36
4.3	Übertragungskennlinie mit Gesamtstrom I [Til05]	37
4.4	Kennlinie eines Inverters mit Störungen	39
4.5	Übertragungskennlinie mit unity gain line	40
4.6	Übertragungskennlinie mit den Kenngrößen V_{IH} , V_{IL} , V_{OH} und V_{OL} [Cal11]	41
4.7	Übertragungskennlinien [Rab99]	43
4.8	Experimentelle Stromverstärkung eines CMOS Inverters	43
5.1	Feldoxid, die gestrichelte Linie stellt die ursprüngliche Siliziumoberfläche dar	46
5.2	Definition der p-Wanne, die gestrichelte Linie stellt die ursprüngliche Siliziumoberfläche dar	47

5.3	Vorbelegung der p-Wanne, die gestrichelte Linie stellt die ursprüngliche Siliziumoberfläche dar	47
5.4	Definition der n-Wanne, die gestrichelte Linie stellt die ursprüngliche Siliziumoberfläche dar	48
5.5	Isolierung und Eintreiben der Wanne	48
5.6	Öffnung des aktiven Gebiets	49
5.7	Strukturierter Gatestack	50
5.8	Siliziumnitridspacer	50
5.9	Vorbelegung der Source/Drain Gebiete des n-Kanal Transistors	50
5.10	Vorbelegung der Source/Drain Gebiete des p-Kanal Transistors	51
5.11	Transistoren nach abgeschlossenen Dotierungsschritten	51
5.12	Öffnung der Kontaktlöcher	52
5.13	CMOS Polygate	52
5.14	Vorbelegung der Source/Drain Gebiete des n-Kanal Transistors	53
5.15	Vorbelegung der Source/Drain Gebiete des p-Kanal Transistors	53
5.16	Öffnung des aktiven Gebiets	54
5.17	Strukturiertes Metal-Gate	54
5.18	Geöffnete Kontaktlöcher	55
5.19	Strukturierung der Kontaktpads	55
5.20	Inverter-Layout	56
5.21	Berechnete Dotierprofile nach der Diffusion von Bor und Phosphor aus einer unerschöpflichen Quelle unter Voraussetzung der intrinsischen Diffusion. Parameter aus [Tra00]	59
5.22	Dotierprofile nach der Diffusion von Bor und Phosphor	60
5.23	Dotierprofile aus der Literatur	61
5.24	Vergleich der gemessenen Borprofile (1050 °C) mit analytischer Berechnung nach [Fai75] (gestrichelte Linien)	62
5.25	Analytisches Diffusionsprofil von Phosphor nach [Tsa69]	62
5.26	Dotierprofile mit verschiedenen Dotierstoffkonzentrationen	63
5.27	Berechnete Dotierprofile nach der Diffusion von Bor und Phosphor aus einer erschöpflichen Quelle unter Voraussetzung der intrinsischen Diffusion. Parameter aus [Tra00]	65
5.28	Auswirkungen der Vorbelegung auf das Eintreiben, bei intrinsischer Diffusion. Parameter aus [Tra00]	66
5.29	Diffusionsprofile von Vorbelegung und Eintreiben	67
5.30	Diffusionsprofil von Polysilizium	67
5.31	Diffusionsprofile einer bordotierten Wanne bei unterschiedlicher Wahl des Eintreibens	69
5.32	Diffusionsprofile bei der Verwendung einer Diffusionsbarriere	70
5.33	Einfluss der SOD-Konzentration und der Gase auf die Entstehung der SiB_4/SiB_6 -Schicht und Vergleich mit Literatur	72
5.34	Vergleich der Diffusionsprofile für die Entfernung der SiB_4/SiB_6 Schicht	75
5.35	Prozessschwierigkeiten ohne Spacertechnologie	76
5.36	Anisotrop geätzter Siliziumnitridspacer	78

5.37	Überätzung des Polysiliziums	79
5.38	Nitridspacer mit unterschiedlichen Strukturierungen des Polysiliziums	80
5.39	Scharfe Kanten des Polysiliziums	80
5.40	Nitridspacer mit zusätzlichem Spacer Zero	81
5.41	Abgelöster Siliziumnitridspacer nach der Entfernung des SODs	81
5.42	Symbolischer Ablauf eines ALD-Zyklus	82
5.43	Durchgeätztes Aluminiumkontaktloch	83
5.44	SOG im Verlauf des Metallisierungsprozesses	84
6.1	Schematische Zeichnung der hergestellten CMOS-Transistoren auf einem Wafer	85
6.2	Kennlinien eines NMOSFETs	86
6.3	Bestimmung der Einsatzspannung des NMOSFETs	87
6.4	Bestimmung des Gegenleitwerts	88
6.5	Abhängigkeit des Off-Stroms eines Transistors	89
6.6	Messung des Stroms zwischen Gate und Drain	91
6.7	Statistik der Kennzahlen des NMOSFETs bei $V_{DS} = 1\text{ V}$	92
6.8	Abhängigkeit des I_{On}/I_{Off} Verhältnisses	92
6.9	Stromverlauf der Source-Drain Diode	93
6.10	Kurzschluss zwischen Drain und Bulk	93
6.11	MIS-Kapazität auf n-dotiertem Substrat	95
6.12	MIS-Kapazität auf p-dotierter Wanne	96
6.13	Schematische Zeichnung der hergestellten CMOS-Transistoren auf einem Wafer	97
6.14	Kennlinien eines PMISFETs mit Aluminiumoxid als Gatedielektrikum	98
6.15	Bestimmung der Einsatzspannung des PMISFETs	99
6.16	Bestimmung des Gegenleitwerts	99
6.17	Drain-Bulk-Diode eines PMISFETs mit berechneter Kennlinie (gestrichelte Form)	101
6.18	Gemessene Ströme des PMISFETs	102
6.19	Statistik der Kennzahlen des PMISFETs bei $V_{DS} = -1\text{ V}$	103
6.20	Abhängigkeit des I_{On}/I_{Off} Verhältnisses	104
6.21	Kennlinien eines NMISFETs mit Aluminiumoxid als Gatedielektrikum	104
6.22	Bestimmung der Einsatzspannung des NMISFETs	106
6.23	Bestimmung des Gegenleitwerts	107
6.24	Statistik der Kennzahlen des NMISFETs bei $V_{DS} = 1\text{ V}$	108
6.25	Abhängigkeit des I_{On}/I_{Off} Verhältnisses	109
6.26	Kennlinien eines NMISFETs mit Aluminiumoxid als Gatedielektrikum auf demselben Wafer	110
6.27	Drain-Bulk-Diode der zwei unterschiedlichen NMISFETs mit berechneter Kennlinie (gestrichelte Form)	111
6.28	Gemessene Ströme des NMISFETs	111
6.29	Kennlinien eines Inverters bei unterschiedlichen Versorgungsspannungen V_{DD}	113
6.30	Betriebsbereiche der Transistoren eines CMOS-Inverters	114
6.31	Bestimmung der Schwellspannung V_M eines Inverters bei unterschiedlichen Versorgungsspannungen V_{DD}	115

6.32	Vergleich des Inverters mit einem symmetrischen bei $V_{DD} = 3\text{ V}$	116
6.33	Bestimmung der vier kritischen Spannungen	117
6.34	Bestimmung der Stromverstärkung g	118
6.35	Vergleich von Invertern mit unterschiedlicher Versorgungsspannung	119
6.36	Vergleich der gemessenen Kennlinien eines high-k Metal-Gate n-Kanal MIS-FETs mit den Theoriewerten (gestrichelte Linie)	120
6.37	Vergleich der gemessenen Kennlinien eines high-k Metal-Gate n-Kanal MIS-FETs mit den Theoriewerten bei angepasster Beweglichkeit der Ladungsträger (gestrichelte Linie)	125
6.38	Vergleich der gemessenen Kennlinien eines n-Kanal MOSFETs mit den Theoriewerten (gestrichelte Linie)	126
6.39	Vergleich der gemessenen Kennlinien eines n-Kanal MOSFETs mit den Theoriewerten bei angepasster Beweglichkeit der Ladungsträger (gestrichelte Linie)	132
6.40	Vergleich der gemessenen Kennlinien eines high-k Metal-Gate p-Kanal MIS-FETs mit den Theoriewerten (gestrichelte Linie)	133
6.41	Vergleich der Kennlinien zwischen einem Polysilizium n-Kanal MOSFET (gestrichelte Form) und einem high-k Metal-Gate MISFET	139
6.42	Kennlinien eines n-Kanal MOSFETs mit Polysilizium von [Isk12]	141
6.43	Transferkennlinien von high-k MISFETs aus [Chn01] und [Fab09]	142
6.44	Transistor mit Siliziumoxid [Cha87]	142
6.45	Vergleich der Kennlinien mit Gesamtstrom	144
6.46	Vergleich des Off-Stroms mit simuliertem Transistor (gestrichelte Linie)	146
6.47	Abhängigkeiten des I_{GIDL} bei $V_{DS} = 3\text{ V}$	147
7.1	Zweiwannentechnik	150
7.2	Überarbeitetes Design für den Inverter	150
7.3	Design für einen 3-stufigen Ringoszillator	151
A.1	Wafermap	153
A.2	Layout des n-Kanal MOSFETs mit Bemaßung in μm	155
A.3	Layout des n-Kanal MISFETs (Metal-Gate) mit Bemaßung in μm	155
A.4	Layout des CMOS-Inverters mit Bemaßung in μm	156
A.5	Teststrukturen im Justierchip	157
A.6	Teststrukturen im Kelvin-Chip	158

Tabellenverzeichnis

3.1	Beweglichkeit für Elektronen und Löcher [Pau94]	31
3.2	Nach [Che96] Parameter für Kanalbeweglichkeit μ_{eff}	31
5.1	Vergleich der Methoden zur Bestimmung der Oberflächendotierstoffkonzentration	64
5.2	Prozess zur Strukturierung von SiB_4/SiB_6	74
5.3	Schichtwiderstände und daraus berechnete Dotierstoffkonzentration nach der Strukturierung von SiB_4/SiB_6	75
5.4	Prozess zur Strukturierung von Siliziumnitrid	77
5.5	Prozess zur Strukturierung von Polysilizium	79
6.1	Tabellierte Ergebnisse des NMOSFETs	89
6.2	Tabellierte Ergebnisse der gesamten NMOSFETs auf dem Wafer	91
6.3	Tabellarische Zusammenstellung der Kennzahlen der MIS-Kapazitäten	97
6.4	Tabellierte Ergebnisse des PMISFETs	100
6.5	Tabellierte Ergebnisse der gesamten PMISFETs auf dem Wafer	102
6.6	Tabellarische Zusammenstellung der wichtigen Größen für die Unterschwellsteigung	105
6.7	Tabellarische Zusammenstellung der wichtigen Größen für die Einsatzspannung	106
6.8	Tabellierte Ergebnisse des NMISFETs	108
6.9	Tabellierte Ergebnisse der gesamten NMISFETs auf dem Wafer	109
6.10	Tabellierte Werte zur Berechnung der Schwellspannung V_M	116
6.11	Gegenüberstellung der kritischen Spannungen bei einer Versorgungsspannung $V_{DD} = 3\text{ V}$	118
6.12	Vergleich zwischen den Theorie- und Messwerten eines high-k Metal-Gate n-Kanal MISFETs in p-dotierter Wanne	126
6.13	Vergleich zwischen den Theorie- und Messwerten eines n-Kanal MOSFETs	132
6.14	Vergleich zwischen den Theorie- und Messwerten eines high-k Metal-Gate p-Kanal MISFETs in n-dotiertem Substrat	138
6.15	Vergleich zwischen einem Polysilizium n-Kanal MOSFET und einem high-k Metal-Gate MISFET	140
A.1	Maskensatz Farbcodierung	154
A.2	Bezeichnung der Chips	154

A.3	Unterschied der beiden Justierchips	157
A.4	Erklärung der SIMS-Strukturen	158
B.1	Prozessschritte Selbstjustierender Gate-Prozess	169
B.2	Prozessschritte Metal-Gate-Prozess	176

Literaturverzeichnis

- [Ara73] E. Arai, H. Nakamura and Y. Terunuma, "Interface Reactions of B_2O_3 -Si System and Boron Diffusion into Silicon", J. Electrochem. Soc.: Solid-State Science and Technology, Vol. 120, No. 7, 980-987, 1973
- [Ast96] ASTM Standard F1096, "Standard Methode of Measuring MOSFET Saturated Threshold Voltage", Annual Book of ASTM Standards, Am.Soc. Test. Mat., Conshocken, PA (USA), 1996
- [Ben87] A. Benninghoven, F.G. Rudenauer, H.W. Werner, "Secondary Ion Mass Spectrometry: Basic Concepts, Instrumental Aspects, Applications and Trends", Chemical Analysis, John Wiley and Sons, 1987
- [Bor07] M. Born: "Vertical Gate Controlled Tunnel Transistor in Si and SiGe", Cuviller Verlag Göttingen, 2007
- [Bot83] Ch.M. Botchek, "Basic MOS Engineering", Pacific Technical Group Inc., 1983
- [Bou97] A. Bouhdada, S. Bakkali and A. Touhami, "Modelling of Gate-Induced Drain Leakage in relation to Technological Parameters and Temperature", Microelectron. Reliab., Vol. 37, No. 4, 649-652, 1997
- [Bre78] J.R. Brews, "A Charge-Sheet Model of the MOSFET", Solid-State Elec., 20(7), 607-608, 1977
- [Bre79] J.R. Brews, "Subthreshold Behavior of Uniformly and Nonuniformly Doped Long-Channel MOSFET, IEEE Trans. Elec. Dev., ED-26(9), 1282-1291, 1979
- [Bre83] J.R. Brews, "Rapid interface parameterization using a single MOS conductance curve", Solid-State Elec., 26(8), 711-716, 1983
- [Bro53] W.I. Brown, "n-Type Surface Conductivity on p-Type Germanium", Phys.Rev., 91, 518-537, 1953
- [Bro71] D.M. Brown and P.R. Kennicott, "Glass Source B Diffusion in Si and SiO_2 ", J. Electrochem. Soc.: Solid State Science, Vol. 118, No.2, 293-300, 1971
- [Bus68] K.M. Busen, W.A. FritzGibbons and W.K. Tsang, "Ellipsometric Investigations of Boron-Rich Layers on Silicon", J. Electrochem. Soc.: Solid State Science, Vol. 115, No.3, 291-294, 1968

- [Cal11] B.H. Calhoun, "Design Principles for Digital CMOS Integrated Circuits", Nts Press, 2011
- [Cha87] T.Y. Chan, J. Chen, P.K. Ko and C. Hu, "The Impact of Gate-Induced Drain Leakage Current on MOSFET Scaling", IEDM Tech. Dig., 718-721, 1987
- [Cha97] A. Chatterjee, R.A. Chapman and I.-C. Chen, "Sub-100 nm Gate Length Metal Gate NMOS Transistors Fabricated by a Replacement Gate Process", IEDM, 97, 821-824, 1997
- [Chn96] C.Y. Chang und S.M. Sze, "ULSI Technology", McGraw-Hill, 1996
- [Chn01] S. Chang, H. Lee and H. Shin, "Effects of S/D Non-Overlap and High-k Dielectrics on Nano CMOS Design", Semiconductor Device Research Symposium, 661-664, 2001
- [Cao11] Y. Cao, "Evaluation of Spin-On Dopant Material and its Application", Master Thesis, School of Electrical and Electronic Engineering, Nanyang Technological University Singapur, 2011
- [Che96] K. Chen, H.C. Wann, P.K. Ko and C. Hu, "The Impact of Device Scaling and Power Supply Change on CMOS Gate Performance", IEEE Electron Dev. Lett., Vol. 17, 202-204, 1996
- [Choi03] Y-K. Choi, D. Ha, T-J. King and J. Bokor, "Investigation of Gate-Induced Drain Leakage (GIDL) Current in Thin Body Devices: Single-Gate Ultra-Thin Body, Symmetrical Double-Gate, and Asymmetrical Double-Gate MOSFETs", J. Appl. Phys., Vol.42, 2073-2076, 2003
- [Dai11] C-H. Dai, T-C. Chang and C.T. Huang, "Hot carrier effect on gate-induced drain leakage current in high-k/metal gate n-channel metal-oxide-semiconductor field-effect transistors", App. Phys. Lett., 99, 012106-1 - 012106-3, 2011
- [Fab09] B. Fabel, "Gate Stack Engineering mit atomar selbstlimitierenden Dielektrika", Dissertation, Technische Universität München, 2009
- [Fai75] R.B. Fair, "Boron Diffusion in Silicon-Concentration and Orientation Dependence, Background Effects, and Profile Estimation", J. Electrochem. Soc.: Solid-State Science and Technology, Vol. 122, No. 6, 800-805, 1975
- [Fai77] R.B. Fair, J.C.C. Tsai, "A Quantitative Model for the Diffusion of Phosphorus in Silicon and the Emitter Dip Effect", J. Electrochem. Soc.: Solid-State Science and Technology, Vol. 124, No. 7, 1107-1118, 1977
- [Fal05] F. Fallah and M. Pedram, "Standby and Active Leakage Current Control and Minimization in CMOS VLSI Circuits", IEICE Trans. Electron. (Special Section on Low-Power LSI and Low-Power IP), Vol. E88-C, No. 4, pp. 509-519, 2005
- [Fil04] Filmtronics, "Spin-On Diffusants", Filmtronics Inc., 2004

- [Fra04] G. Franz, "Niederdruckplasmen und Mikrostrukturtechnik, dritte Auflage, Springer Verlag, 2004
- [Gra95] P.B. Grabiec, W. Zagozdzon-Wosik and G. Lux, "Kinetics of phosphorus proximity rapid thermal diffusion using spin-on dopant source for shallow junctions fabrication", J. Appl. Phys., 78 (1), 204-211, 1995
- [Gro67] A.S. Grove, "Physics and Technology of Semiconductor Devices", John Wiley and Sons, 1967
- [Hof03] K. Hoffmann, "Systemintegration: vom Transistor zur großintegrierten Schaltung", Oldenbourg-Verlag, 2003
- [Hof05] T. Hoffmann, G. Doornbos and S. Biesemans, "GIDL (Gate-Induced Drain Leakage) and Parasitic Schottky Barrier Leakage Elimination in Aggressively Scaled HfO_2/TiN FinFET Devices", IEEE, 2005
- [Hol09] L. Höllt, "Quantenmechanische und ballistische Nanobauelemente auf Siliziumbasis", Cuviller Verlag Göttingen, 2009
- [Isk12] P. Iskra, "Entwicklung von siliziumbasierten Transistoren für den Einsatz bei hohen Temperaturen in der Gassensorik", Cuviller Verlag Göttingen, 2012
- [Jae88] R.C. Jaeger, "Modular Series on Solid State Devices, Volume V, Introduction to Microelectronic Fabrication", Addison-Wesley Publishing Company, 1988
- [Jae03] R.C. Jaeger and T.N. Blalock, "Microelectronic Circuit Design", The McGraw-Hill Companies, 2003
- [Kan96] S.M. Kang and Y. Leblebici, "CMOS Digital Integrated Circuits, Analysis and Design", The Mc Graw-Hill Companies, 1996
- [Kas01a] S. Kasap, "The pn Junction: The Shockley Model", e-Booklet, 2001
- [Kas01b] S. Kasap, "Design of a pn Junction Diode", e-Booklet, 2001
- [Ken06] S.W. Kenney, "Formation of Self-Aligned Shallow Junction MOSFET Source/Drains by Proximity Rapid Thermal Diffusion", 24th Annual Microelectronic Engineering Conference, 16-19, 2006
- [Ker70] W. Kern, D.A. Puotinen, "Cleaning Solutions Based on Hydrogen Peroxide for use in Silicon Semiconductor Technology", RCA Review, 31, 187-206, 1970
- [Kes09] M.A. Kessler, T. Ohrdes and N.P. Harder, "Characterisation and implications of the boron rich layer resulting from open-tube liquid source BBr₃ boron diffusion processes", Proc. 34th IEEE Photovoltaic Specialists Conference, IEEE, 001556-001561, 2009
- [Kub12] T. Kubot, "To be published", Dissertation, Universität der Bundeswehr München, 2012

- [Kov98] G.T.A. Kovacs, G. T. A., N.I. Maluf and K.E. Petersen, "Bulk Micromachining of Silicon", Proceedings of the IEEE, 86(8), 1536–1549, 1998
- [Lee82] H.G. Lee, S.Y. Oh and G. Fuller, "A Simple and Accurate Methode to Measure the Threshold Voltage of an Enhancement Mode MOSFET", IEEE Trans. Electron Dev., ED-29, 346-348, 1982
- [Lee04] J.Y. Lee, S.H. Lee, "Boron Back Surface Filed using Spin-On Dopants by Rapid Thermal Processing", Journal of the Korean Physical Society, Vol. 44, No. 6, 1581-1586, 2004
- [Li06] D. Li, "Charakterisierung der Einsatzspannung des MOSFETs in der Halbleitertechnologie", Diplomarbeit, Lehrstuhl für Technische Elektronik, Fachgebiet Halbleiterproduktionstechnik, Technische Universität München, 2006
- [Lon67] H.E. Longo und M. Zerbst, "Zur Oberflächen-Termanlyse bei MIS-Transistoren", Zeitschrift Angew. Phys., 24, 138-142, 1967
- [Mat98] D. Mathiot, A. Lachiq and A. Slaoui, "Phosphorus diffusion from a spin-on doped glass (SOD) source during rapid thermal annealing", Materials Science in Semiconductor Processing 1, 231-236, 1998
- [Maz92] C. Mazuré, C. Gunderson and B. Roman, "Impact of LDD Spacer Reduction on MOSFET Performance for SUB- μm Gate/Space Pitches", IEDM, 92, 893-896, 1992
- [Mel84] T.C. Mele, J. Nulman, J.P. Krusius, "Selective and anisotropic reactive ion etch of LPCVD silicon nitride with CHF_3 based gases", J. Vac. Sci. Technol. B2(4), 684-687, 1984
- [Men05] Prof. W. Menz, Dr. J. Mohr und Prof. O. Paul, "Mikrosystemtechnik für Ingenieure", Wiley-VCH Verlag, 2005
- [Miz88] T. Mizuno, S. Sawada, Y. Saitoh and S. Shinozaki, " $\text{Si}_3\text{N}_4/\text{SiO}_2$ Spacer Induced High Reliability in LDDMOSFET and its Simple Degradation Model, IEDM, 88, 234-237, 1988
- [Moo65] G.E. Moore, "Cramming more components onto integrated circuits", Electronics, Volume 38, Number 8, 1965
- [Nic67] E.H. Nicollian and A. Goetzberger, "The $\text{Si} - \text{SiO}_2$ Interface - Electrical Properties as determined by the Metal Insulator-Silicon Conductance Technique", Bell Sys. Techn. J., XLVI(6), 1055-1133, 1967
- [Ngb90] K.K. Ng and J.R. Brews, "Measuring the Effective Channel Length of MOSFETs, IEEE, 33-38, 1990
- [Nic82] E.H. Nicollian and J.R. Brews, "MOS (Metal Oxide Semiconductor) Physics and Technology", John Wiley and Sons, 1982

- [Osw04] M.Oswald, "Entwicklung eines Qualitätsanalysesystem zur Untersuchung von high-k Dielektrika in MOS-Bauelementen", Dissertation, Technische Universität München, 2004
- [Pao66] H.C. Pao and C.T. Sah, "Effects of Diffusion current on Characteristics of Metal-Oxide (Insulator)- Semiconductor Transistors", Solid State Electronics, Vol. 9, 927-937, 1966
- [Pau94] R. Paul, "MOS-Feldeffekt-Transistoren, Band21 der Reihe Halbleiter-Elektronik, Springer-Verlag, erste Auflage, 1994
- [Pig80] G.U. Pignatelli and G. Queirolo, "Further Insight on Boron Diffusion in Silicon obtained with Auger Electron Spectroscopy", Thin Solid Films, 67, 233-237, 1980
- [Rab99] J.M. Rabaey, A. Chandrakasan, B. Nikolic, "Digital Integrated Circuits, A Design Perspective", Prentice Hall Electronics and VLSI Series, 1999
- [Ran10] V.E. Rangelov, "Entwurf und Charakterisierung einer Anlage zur Abscheidung atomar selbstregelnder Schichten", Dissertation, Technische Universität München, 2010
- [Rug91] I. Ruge und H. Mader, "Halbleiter-Technologie", dritte Auflage, Springer-Verlag, 1991
- [Sca07] B. Schäfer, "Fabrication and Characterization of Field emitting Devices with suspended Anodes", Studienarbeit, Lehrstuhl für Technische Elektronik, Fachgebiet Halbleiterproduktionstechnik, Technische Universität München, 2007
- [Sci10] R. Schindler, "Evaluierung von Spin-on-Glasses", Diplomarbeit, Institut für Physik, Universität der Bundeswehr München, 2010
- [Scm99] D. Schmitt-Landsiedel, "Elektronische Bauelemente", Skript zur Vorlesung, TU-Muenchen, 1999
- [Scu91] G. Schumicki und P. Seegebrecht, "Prozesstechnologie: Fertigungsverfahren für Integrierte MOS-Schaltungen" Springer-Verlag, 1991
- [Scr98] D.K. Schroder, "Semiconductor Material and Device Characterization", 2nd Edition, John Wiley and Sons Inc., 1998
- [Sel90] S. Selberherr, W. Hänsch, M. Seavey and J. Slotboom, "The Evolution of the MINI-MOS Mobility Model", Solid-State Electronics, 33, 1425-1436, 1990
- [Sem02] O. Semenov, A. Pradzynski and M. Sachdev, "Impact of Gate Induced Drain Leakage on Overall Leakage of Submicrometer CMOS VLSI Circuits", IEEE Transactions on Semiconductor Manufacturing, Vol. 15, No. 1, 9-18, 2002
- [Ste08] M. Sterkel, "Spacer-Gate TFET", Dissertation, Technische Universität München, 2008

- [Sto09] S. Stoll, "Dotierung durch Diffusion mit Spin On Dopants", Diplomarbeit, Universität der Bundeswehr München, 2009
- [Sun80] S.C. Sun and J.D. Plummer, "Electron Mobility in Inversion and Accumulation Layers on Thermally Oxidized Silicon Surfaces", IEEE Trans. Electron Dev., ED-34, 2501-2509, 1980
- [Sze81] S.M. Sze, "Physics of Semiconductor Devices", John Wiley and Sons, Second Auflage, 1981
- [Tak94] S. Takagi, A. Toriumi, M. Iwase and H. Tango, "On the universality of inversion layer mobility in Si MOSFET's: Part II-effects of surface orientation", IEEE Trans. Electron Dev., ED-41, 2363, 1994
- [Tau98] Y. Taur, T.H. Ning, "Fundamentals of Modern VLSI Devices", Cambridge University Press, 1998
- [Ter79] K. Terada, H. Muta, "A New Method to Determine Effective MOSFET Channel Length", Jap. J. Appl. Phys., 18, 953-959, 1978
- [Til05] Th. Tille, D. Schmitt-Landsiedel, "Mikroelektronik, Halbleiterbauelemente und deren Anwendung in elektronischen Schaltungen", Springer-Verlag, 2005
- [Toa99] N.N. Toan, "Spin-on-Glass: Materials and Applications in Advanced IC Technologies", Dissertation, Universität Twente, 1999
- [Tra00] O.D. Trapp, L.J. Lopp, R.A. Blanchard, "Semiconductor Technology Handbook", Sixth Edition, Components Technology Institute, 2000
- [Tsa69] J.C.C. Tsai, "Shallow Phosphorus Diffusion Profiles in Silicon", IEEE, Vol. 57, No. 9, 1499-1506, 1969
- [Uye99] J.P. Uyemura, "CMOS Logic Circuit Design", Kluwer Academic Publishers, 1999
- [Vog03] E.M. Vogel and G.A. Brown, "Challenges of Electrical Measurements of Advanced Gate Dielectrics in Metal-Oxide-Semiconductor Devices", ICCMUT, 2003
- [Wan87] H.S. Wang, M.H. White, T.J. Krutsick and R.V. Booth, "Modelling of Transconductance Degradation and Extraction of Threshold Voltage in Thin Film Oxide MOSFETs", Solid-State Electron., 30, 953-968, 1987
- [Wan03] J. Wang, D. Wheeler and A. Seabaugh, "Silicon Tunnel Diodes Formed by Proximity Rapid Thermal Diffusion", IEEE Electron Device Letters, Vol. 24, No. 2, 93-95, 2003
- [Wid96] D. Widmann, H. Mader, H. Friedrich, "Technologie hochintegrierter Schaltungen", 2.Auflage, Springer-Verlag, 1996

-
- [Wil96] K.R. Williams, "Etch Rates for Micromachining Processing", Journal of Microelectromechanical Systems, Vol. 5, No: 4, December 1996
- [Zag91] W. Zagozdzon-Wosik, J.C. Wolfe and C.W. Teng, "Doping of Trench Capacitors by Rapid Thermal Diffusion", IEEE Electron Device Letters, Vol. 12, No. 6, 264-266, 1991
- [Zag94a] W. Zagozdzon-Wosik, P.B. Grabiec and G. Lux, "Silicon doping from phosphorus spin-on dopant sources in proximity rapid thermal diffusion", J. Appl. Phys., 75 (1), 337-344, 1994
- [Zag94b] W. Zagozdzon-Wosik, P.B. Grabiec and G. Lux, "Fabrication of Submicron Junctions-Proximity Rapid Thermal Diffusion of Phosphorus, Boron, and Arsenic", IEEE Transactions on Electron Devices, Vol. 41, No. 12, 2281-2290, 1994
- [Zil09] T. Zilbauer, "Atomlagenabscheidung von Hafniumoxid", Cuviller Verlag Göttingen, 2009

Publikationen

Thomas Maul, Markus Becherer, Josef Biba and Walter Hansch, *MOSFET-controlled Emission from Nanoscale Silicon Field Emitters*, ISIC 2009, Singapore, 2009

Carolin Axt, Helmut Lochner, Marc Dressler, Ronny Schindler, Josef Biba, Rudolf Nüssl, Torsten Sulima and Walter Hansch, *SOD as self-acting passivation for lateral TFETs*, DPG Frühjahrstagung Regensburg 2010

Josef Biba, Dorota Kulaga-Egger, Torsten Sulima and Walter Hansch, *Application of a parameter extraction method for MOSFETs*, DPG Frühjahrstagung Regensburg 2010

Marc Dressler, Helmut Lochner, Carolin Axt, Ronny Schindler, Josef Biba, Oliver Hammer, Florian Palitschka, Dorota Kulaga-Egger, Rudolf Nüssl, Tanja Stimpel-Lindner, Torsten Sulima and Walter Hansch, *Improvement of TFET performance by spacer technology*, DPG Frühjahrstagung Regensburg 2010

Oliver Hammer, Florian Palitschka, Helmut Lochner, Tina Kubot, Dorota Kulaga-Egger, Daniel Beckmeier, Carolin Axt, Josef Biba, Ronny Schindler, Marc Dressler, Torsten Sulima and Walter Hansch, *Ammonium hydroxide (NH_4OH) as etch-stop chemical for highly boron-doped silicon δ -layers*, DPG Frühjahrstagung Regensburg 2010

Ronny Schindler, Josef Biba, Marc Dressler, Carolin Axt, Helmut Lochner, Dorota Kulaga-Egger, Tanja Stimpel-Lindner, Florian Palitschka, Oliver Hammer, Torsten Sulima and Walter Hansch, *Properties of an interface layer created by Boron-SOD diffusion*, DPG Frühjahrstagung Regensburg 2010

Roniyus Marjunus, Stefan Simon, Josef Biba, Michael Görlich, Christoph Senft and Walter Hansch, *Sensor Material for Small Concentration Measurement of Carbon Monoxide in Air at Room Temperature Based on Work Function Properties*, DPG Frühjahrstagung Berlin, 2012

Danksagung

Zum Abschluss möchte ich mich bei allen bedanken, die zum Gelingen dieser Arbeit beigetragen haben.

Mein besonderer Dank gilt Herrn Prof. Dr.-Ing. Walter Hansch für die Aufnahme in sein Team an der TU München und später an der Universität der Bundeswehr. Des Weiteren bedanke ich mich für die sehr interessante und abwechslungsreiche Themenstellung. Sein Vertrauen, der persönliche Umgang und seine individuelle Unterstützung trugen zum Erfolg meiner Tätigkeit und zu einer angenehmen Arbeitsatmosphäre bei.

Herrn Prof. Dr.-Ing. Hermann Baumgärtner danke ich für die hilfreichen Diskussionen und das Seminar, das mich in die höheren Weihen der MOS-Kapazitäten einführte.

Ein herzlicher Dank gebührt meinem Kollegen Florian Palitschka für die große Unterstützung im Reinraum, seiner Diskussionsbereitschaft rund um die Technologie und das Rückenfreihalten beim Aufbau vom x-Lab.

Des Weiteren möchte ich mich bei meiner Kollegin Tina Kubot für die freundschaftliche Unterstützung und dem Aufwachen der ALD-Schichten bedanken. Bei Frau Eva Schober bedanke ich mich für das freundschaftliche miteinander und die Hilfe bei der Infrastruktur der x-Lab.

Dr.-Ing. Peter Iskra möchte ich für die Einweisung in die Anlagen und das Beibringen der Reinraumgepflogenheiten bedanken.

Ein herzlicher Dank gilt auch den Reinraummitarbeitern der Firma Ketek, Hayrettin Altinbas, Maria Bieniek-Barth, Torsten Bötzwow, Anke Heller und Dr.-Ing. Lothar Höllt, die mit Rat und Tat zur Stelle waren.

Frau Dr.-Ing. Tanja Stimpel-Lindner gilt mein Dank für die Durchführung und Auswertung von XPS-Messungen für die dotierten Siliziumschichten. Bei Frau Dorota Kulaga-Egger bedanke ich mich für die Durchführung der SIMS-Messungen.

Dank gebührt auch Michael Meyer, der die Versorgung des Reinraums gewährleistet und bei technischen Fragen immer hilfsbereit ist. Andreas Rippler danke ich für die unzähligen RCA-Cleans. Des Weiteren möchte ich mich bei Johann Messarosch bedanken, der

mir bei Fragen rund um die Vakuumtechnik zur Seite stand.

Bei Herrn Georg Behringer, Peter Ciecierski, Walter Funke, Sebastian Winter und Tobias Kisthardt möchte ich mich für die tatkräftige Unterstützung und der guten Zusammenarbeit beim Bau der x-Lab bedanken. Des Weiteren Bedanke ich mich bei Herrn Hans Bergauer und Frau Swetlana Lutschinin für die gute Nachbarschaft während und nach dieser Zeit.

Für die freundliche Hilfe in allen verwaltungstechnischen Belangen bedanke ich mich bei Frau Karin Bächle, Cornelia Budach und Dr.-Ing. Torsten Sulima.

Nicht vergessen werden sollen sind die Studenten, deren Diplom-, Master- und Bachelorarbeiten, die ich betreuen durfte und die Studentischen Hilfskräfte. Die meist zielorientierte und selbstständige Arbeitsweise brachte in vielerlei Hinsicht wertvolle Erkenntnisse.

Bedanken möchte ich mich bei meinen Arbeitskollegen Daniel Beckmeier, Fabian Florek, Michael Görlich, Helmut Lochner, Roniyus Marjunus, Dr.-Ing. Rudolf Nüßl, Wolfgang Pfleger, Stefan Simon, Martin Schlosser, Vijesh Vijayakumar, Dr.-Ing. Thomas Zilbauer und all den jenen, die ich vergessen habe, für das gute Arbeitsklima und die schöne Zeit am Institut.

Neben meiner Tätigkeit am Institut für Physik an der Universität der Bundeswehr, war ich auch ein Jahr an der Technischen Universität München am Fachgebiet Halbleiterproduktionstechnik als wissenschaftlicher Mitarbeiter tätig. An dieser Stelle möchte mich bei meinen Kollegen Dr.-Ing. Bernhard Fabel, Dr.-Ing. Linda Nowack und Dr.-Ing. Thomas Maul für die schöne Zeit bedanken. Des Weiteren Dank auch bei den Mitarbeitern des Lehrstuhls für Technische Elektronik Dr.-Ing. Markus Becherer, Silke Boche, Josef Kiermaier und Dr.-Ing. Werner Kraus für das freundschaftliche Miteinander in dieser Zeit.

Für das Korrekturlesen dieser Arbeit möchte ich mich bei Fabian Florek, Tina Kubot, Dr.-Ing. Thomas Maul, Florian Palitschka und Dr.-Ing. Torsten Sulima bedanken.

Last but not least möchte ich mich noch bei meinen Eltern bedanken, die in allen Lebenslagen für mich da waren und mich tatkräftig unterstützt haben.

